

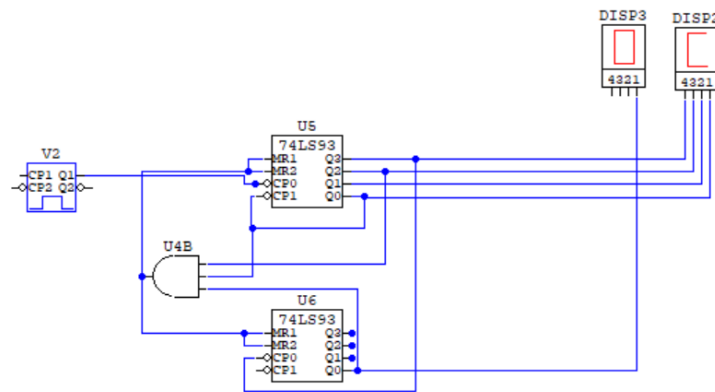
PONTIFÍCIA UNIVERSIDADE CATÓLICA DO RIO DE JANEIRO - PUC RIO
ENG1414
Laboratório 5

Marcos Vinicius Araujo Almeida

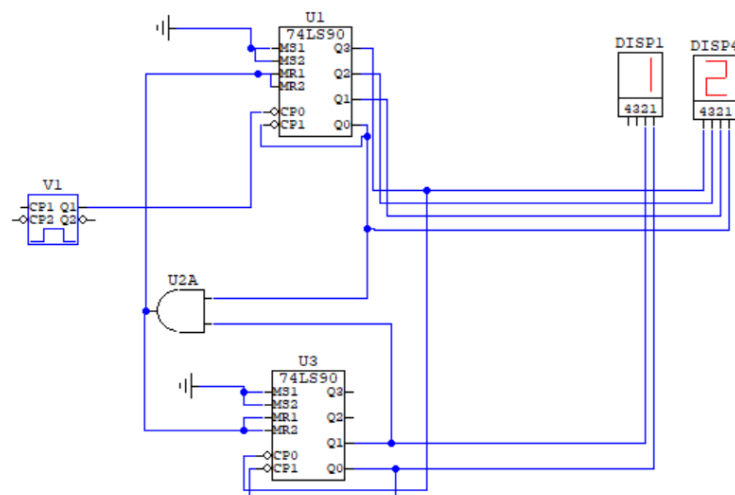
Felipe Gonzalez

Rio de Janeiro, Setembro de 2022

1. Divisor 21

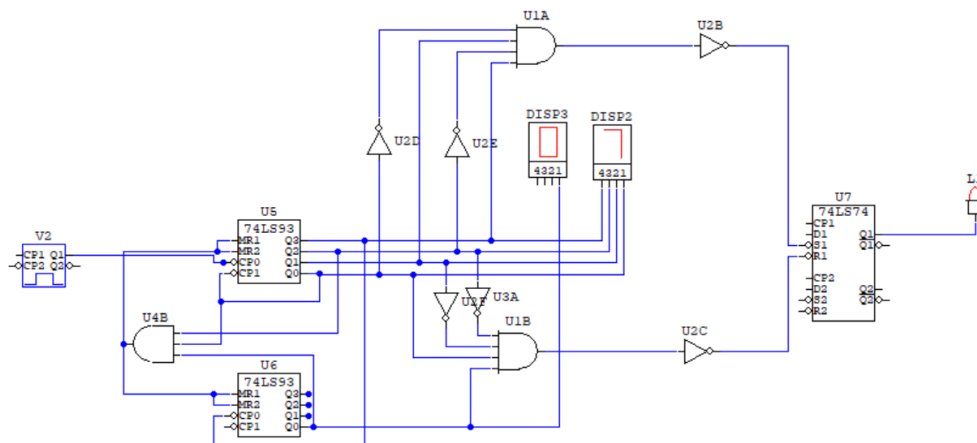


Para projetar o divisor por 21, foram utilizados dois divisores por 16 7493, e os utilizando como um divisor por 32. O contador foi utilizado em conjunto com um AND para verificar se 21 períodos já tinham passado, sendo resetados quando isso ocorresse. As saídas foram ligadas em dois displays de 7 segmentos, apresentando a contagem em hexadecimal. Logo, a contagem é resetada quando o display chega em 15. O sinal de saída do divisor sai na saída Q0 do segundo componente 7493.



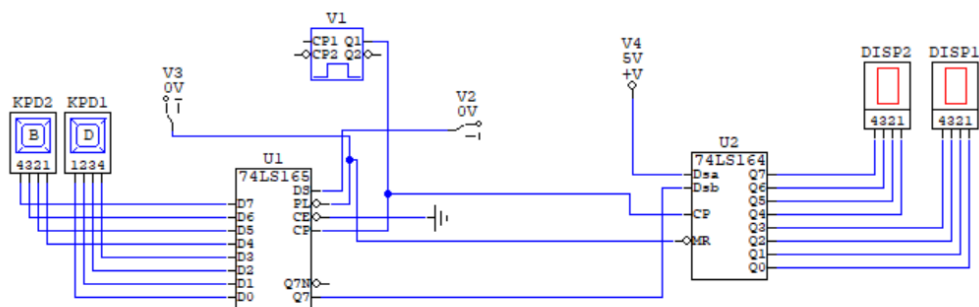
Para projetar o divisor utilizando o componente 7490, foi utilizada a mesma lógica do circuito acima. Porém, a saída do componente está disponível em BCD. Portanto, utilizamos um bit a mais do segundo contador, e o portão AND responsável por verificar se os 21 períodos tinham passado teve que ser modificado. As novas entradas foram colocadas em terra. A saída do divisor está na saída Q1 do segundo componente 7490.

2. Modificação



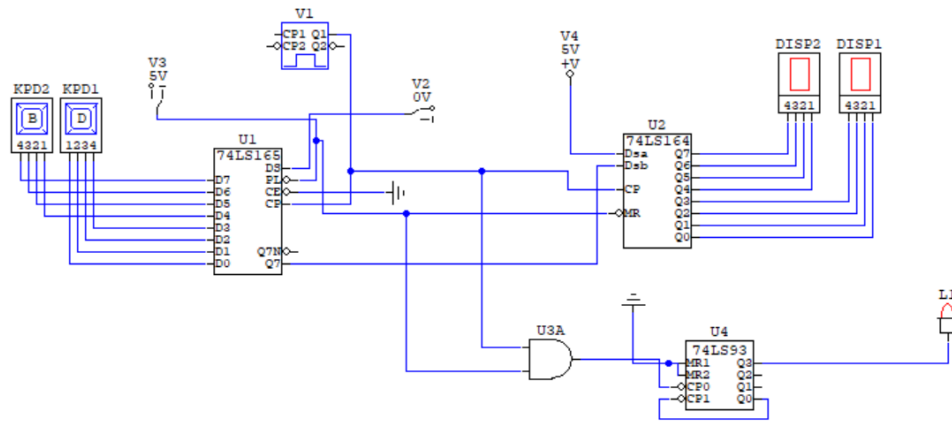
O circuito projetado no item 1-a já funcionava como contador, utilizando dos displays de 7 segmentos. Para adicionar o FF do tipo D, foram utilizados portões lógicos AND para verificar quando a contagem chegaria nos valores relevantes. Tais portões foram conectados às entradas set e reset do FF em questão.

3. Paralelo/Série para Série/Paralelo



Os chips foram ligados entre si, pegando a saída Q7 e inserindo na entrada Serial.

4. Modificação



Para acender o led, colocamos um AND gate para checar se o clock estava sendo transmitido e se o primeiro Chip estava em modo SHIFT. Colocado a saída do contador em Q3, ele acenderá apenas quando o contador chegar em 8.