

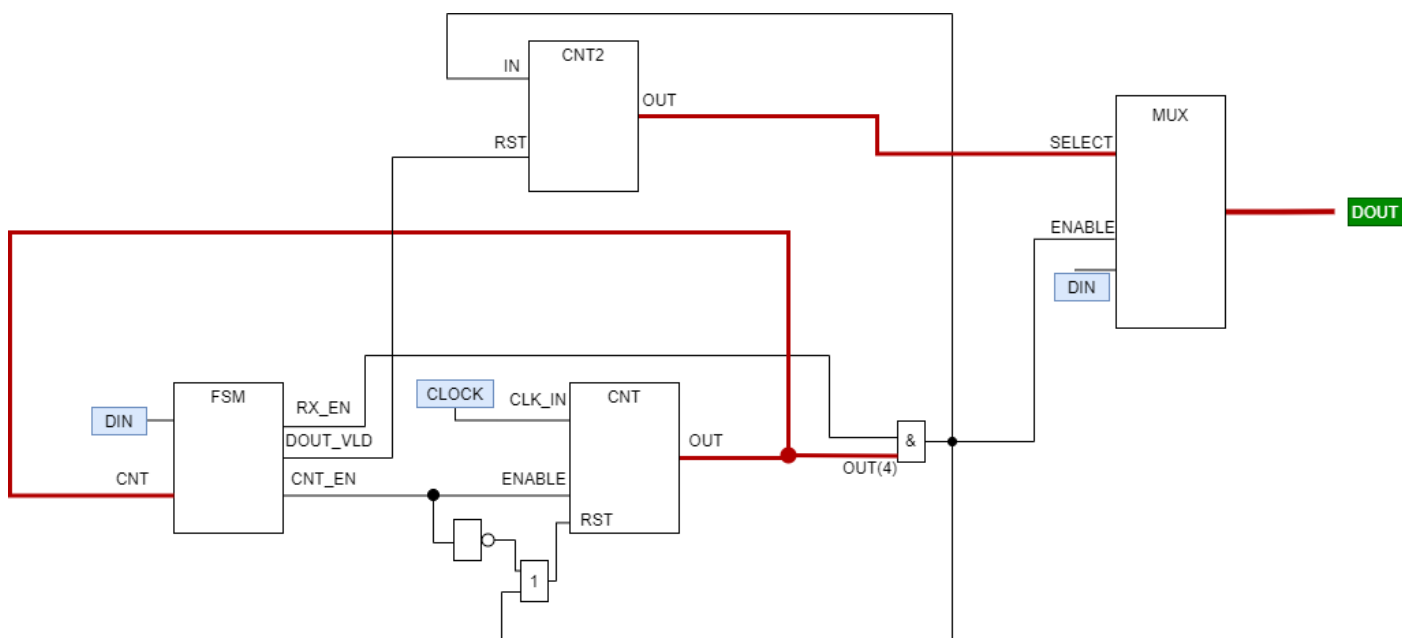
Výstupní zpráva INC projekt 2021

Jméno: Vojtěch Orava

Login: xorava02

Architektura navrženého obvodu (RTL)

Schéma obvodu



Popis funkce

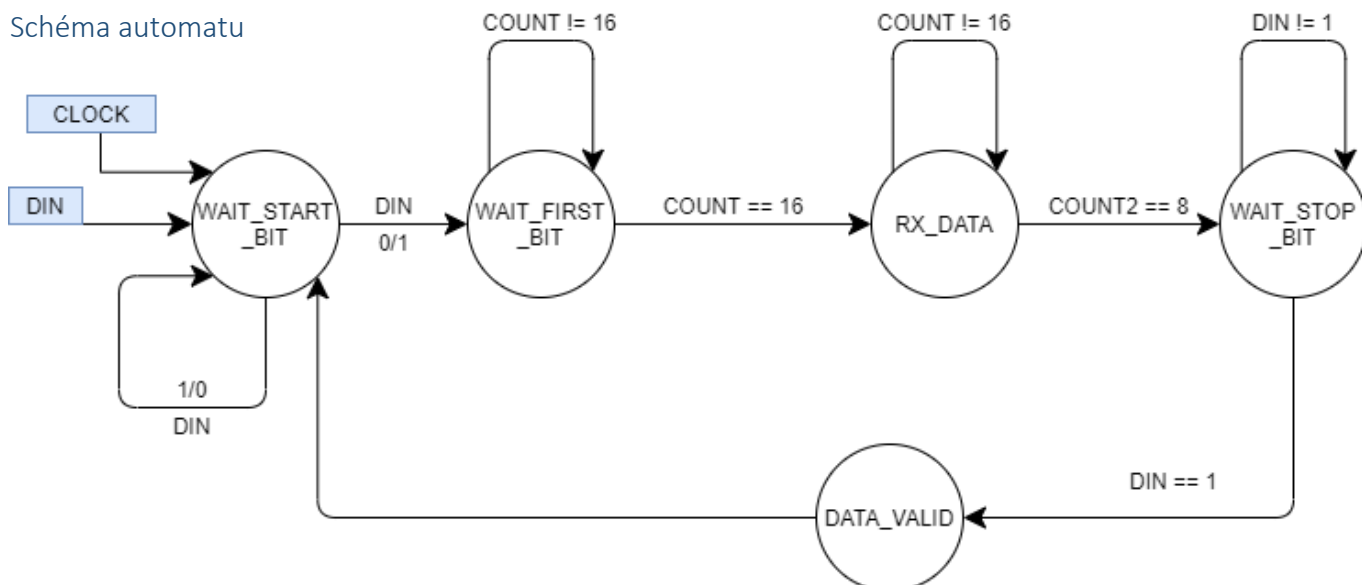
CNT = counter, čítač

Modře jsou vyznačeny vstupní signály hodin (CLK) a dat (DIN). Zeleně je vyznačen datový výstup (DOUT). Červené čáry představují sběrnice (výstup z CNT je 5bitová sběrnice, výstup z CNT2 je 3bitová sběrnice). CNT je v kódu realizován jako **std_logic_vector**, zatímco CNT2 je pouze proměnná procesu.

Popis funkce obvodu: FSM nastavuje podle vnitřního stavu výstupy **RX_EN** (receive enable), **DOUT_VLD** (data out valid) a **CNT_EN** (counter enable). Do CNT vstupuje CLK (hodinový signál) a při každé 16. náběžné hraně (**OUT(4)**) a povoleném (=1) **RX_EN** je zapnut multiplexor (MUX). Multiplexor na výstup posílá aktuální hodnotu **DIN**, na pozici danou **CNT2** (0-7) – celkem 8 bitů.

Návrh automatu (Finite State Machine)

Schéma automatu



Popis funkce

Automat čeká ve stavu **WAIT_START_BIT** dokud není DIN = 0 (začátek přijímání). Poté se přepne do stavu **WAIT_FIRST_BIT** a po 16 hodinových cyklech načte 1 bit a přepíná se do stavu **RX_DATA**. V tomto stavu načítá dalších 7 bitů (celkem tedy 8 bitů) a přepíná se do stavu **WAIT_STOP_BIT**, ve kterém setrvává, dokud se signál DIN nerovná 1. Pak se přepne do stavu **DATA_VALID** a opět do stavu **WAIT_START_BIT**, kde čeká na zahájení dalšího vysílání.

Snímky simulace

