

Práctica:

Diseño Lógico

Configurable I.

1

¿Si la corriente de programación de un antifusible es de 5 mA y el diámetro del contacto es de 20 nm cuál es la densidad de corriente durante la programación?

2

¿Si la resistencia promedio de un antifusible cuando finaliza la programación es de 500 Ω y la corriente de 5 mA cuál es la caída de tensión en ese momento?

3

¿Cuál es la potencia disipada en un antifusible en el momento de completar la programación?

4

Suponga que se desea reducir la resistencia de un antifusible de 500 a 50 Ω . ¿Si el antifusible tiene la forma de un cilindro cuál es el nuevo diámetro?

5

Para las FPGAs de Actel ¿cuál es el tiempo de programación de cada fusible, teniendo en cuenta que el tiempo de programación total demora entre 5 y 10 min.?

6

Construya el diagrama en bloques a nivel compuertas de una LUT con $K = 3$.

7

Considere una LUT con $K = 4$, por ejemplo las CLB de Xilinx de la serie XC2000 y XC5200. Suponga que se desea implementar la función:

$$Z = A(B + C) + BD + EFGHI$$

Se puede realizar de la siguiente manera:

$$CLB1: Z = Z1 + BD + Z3$$

$$CLB2: Z1 = A(B + C)$$

$$CLB3: Z3 = EFGZ5$$

$$CLB4: Z5 = HI$$

¿Cuál es el camino crítico? Encuentre una solución mejor en cuanto a área y camino crítico.

8

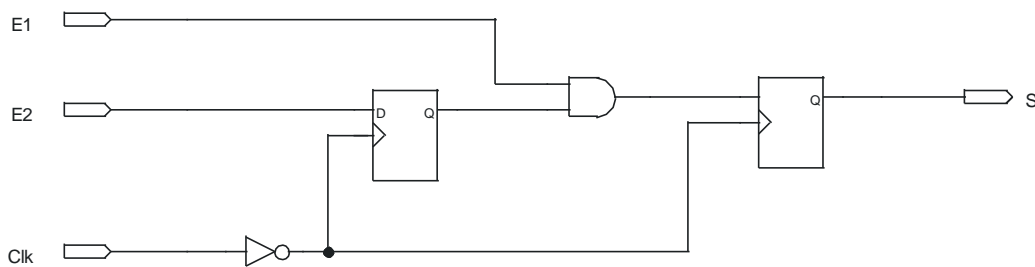
Emplee el módulo ACT1 de Actel para sintetizar la función:

$$F = AB + \bar{B}C + D$$

Nota: use el teorema de expansión de Shannon.

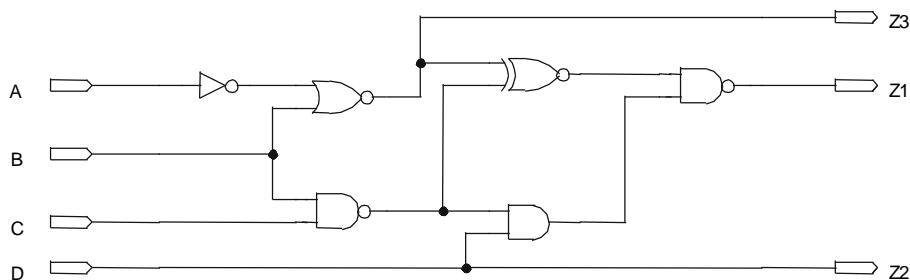
9

Sobre un diagrama de un CLB de la serie XC3000 indique las conexiones y el contenido de la LUT para realizar:



10

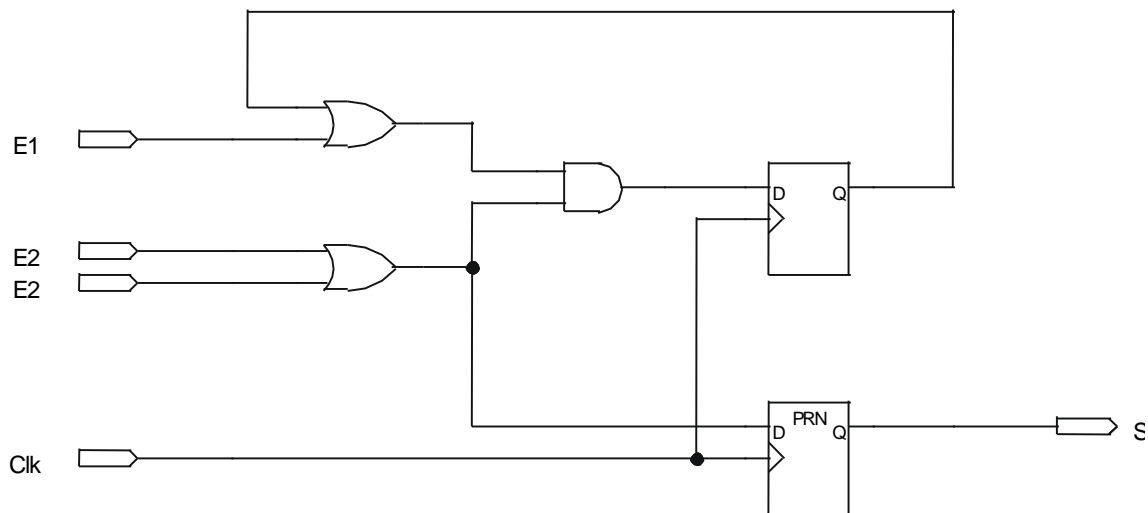
Indicar como se debe particionar el circuito siguiente para que ocupe el menor número de CLBs de



la serie XC3000.

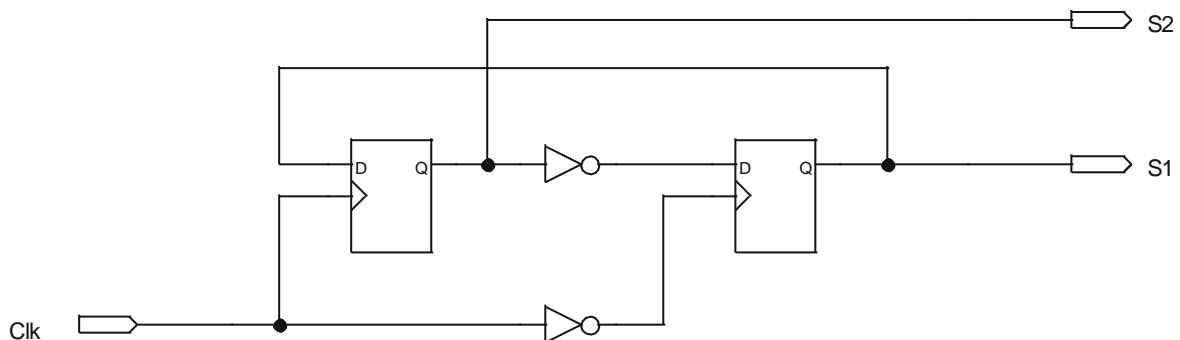
11

Sobre una CLB de la serie XC3000 determine las conexiones a realizar y el contenido de la LUT para implementar el siguiente circuito:



12

En una FPGA de la serie XC3000 no ha quedado otro camino que implementar el circuito que se muestra en un IOB. Indicar las líneas de interconexión y donde quedan ubicadas las señales S1 y S2.

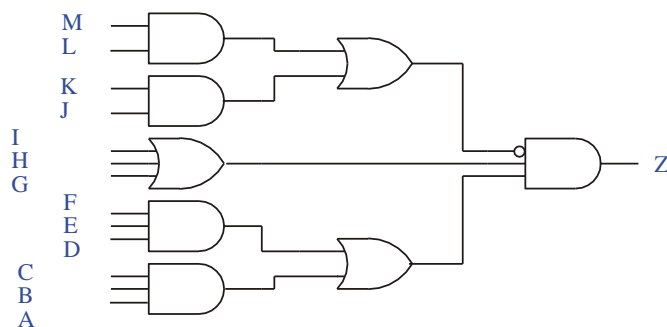


13

Sintetizar el circuito que se muestra, cuya función lógica es:

$$Z = (ABC + DEF)(G + H + I)(\overline{JK + LM})$$

mediante tablas de búsqueda de cinco entradas.



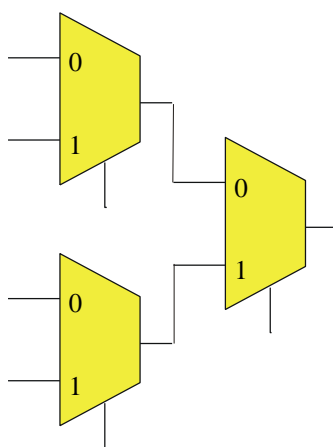
14

Empleando el módulo ACT 1 implementar: a) una compuerta nor de tres entradas, b) un multiplexor de 2 a 1, c) un semisumador, d) una compuerta orex de tres entradas y d) un multiplexor de cuatro entradas.

15

Mediante el arreglo de multiplexores mostrado sintetizar:

$$Z = \bar{A}(\bar{B}C + BD) + A(\bar{E}F + EG)$$



16

El módulo de Actel ACT 1 tiene ocho entradas y puede sintetizar la mayoría de las funciones lógicas de tres variables y unas pocas funciones de cuatro variables. Por el contrario la CLB del XC5200 de Xilinx tiene sólo cuatro entradas pero puede implementar todas las funciones con cuatro variables o menos. ¿Cómo puede Actel elegir este tipo de módulo y ser competitiva con las FPGA de Xilinx?

17

Mediante los bloques que se muestran en la tabla siguiente determinar la realización más veloz de las funciones de los ejercicios 12, 13, 23, 24 y 26.

Nombre	Función lógica	Retardo ns (CMOS 1,2 μ m)
Compuertas NAND		
Nand2	Compuerta Nand de dos entradas	0,70
Nand3	Compuerta Nand de tres entradas	0,88
Nand4	Compuerta Nand de cuatro entradas	1,08
Nand2 (ip)	Compuerta Nand de dos entradas con ip	1,26
Nand3 (ip)	Compuerta Nand de tres entradas con ip	1,42
Nand4 (ip)	Compuerta Nand de cuatro entradas con ip	1,80
Multiplexores		
Mux2:1	2 a 1	1,08
Mux4:1	4 a 1	1,31
Actel	Actel Act-1	1,31
LUTs		
K2	Tabla de búsqueda, 2 entradas	1,39
K3	Tabla de búsqueda, 3 entradas	1,44
K4	Tabla de búsqueda, 4 entradas	1,71
K5	Tabla de búsqueda, 5 entradas	2,03
K6	Tabla de búsqueda, 6 entradas	2,38
K7	Tabla de búsqueda, 7 entradas	2,85
K8	Tabla de búsqueda, 8 entradas	3,26
K9	Tabla de búsqueda, 9 entradas	3,78
Compuertas AND-OR (suma de productos)		
A2O3 (ip)	Or de 3 entradas, and de 2 entradas	1,88
A4O3 (ip)	Or de 3 entradas, and de 4 entradas	2,17
A8O3 (ip)	Or de 3 entradas, and de 8 entradas	2,69
A16O3 (ip)	Or de 3 entradas, and de 16 entradas	3,77
A32O3 (ip)	Or de 3 entradas, and de 32 entradas	5,98
A2O5 (ip)	Or de 5 entradas, and de 2 entradas	1,98
A4O5 (ip)	Or de 5 entradas, and de 4 entradas	2,27
A8O5 (ip)	Or de 5 entradas, and de 8 entradas	2,80
A16O5 (ip)	Or de 5 entradas, and de 16 entradas	3,95
A32O5 (ip)	Or de 5 entradas, and de 32 entradas	6,05

ip = inversión programable

Módulo ACT1 de Actel:

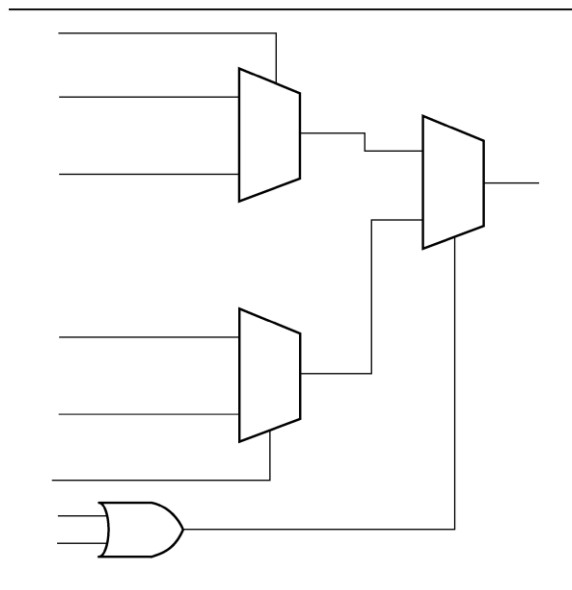


Figure 2 • ACT1 Logic Module

Prepared by: carlos@actel.com

CLB de la serie 3000.

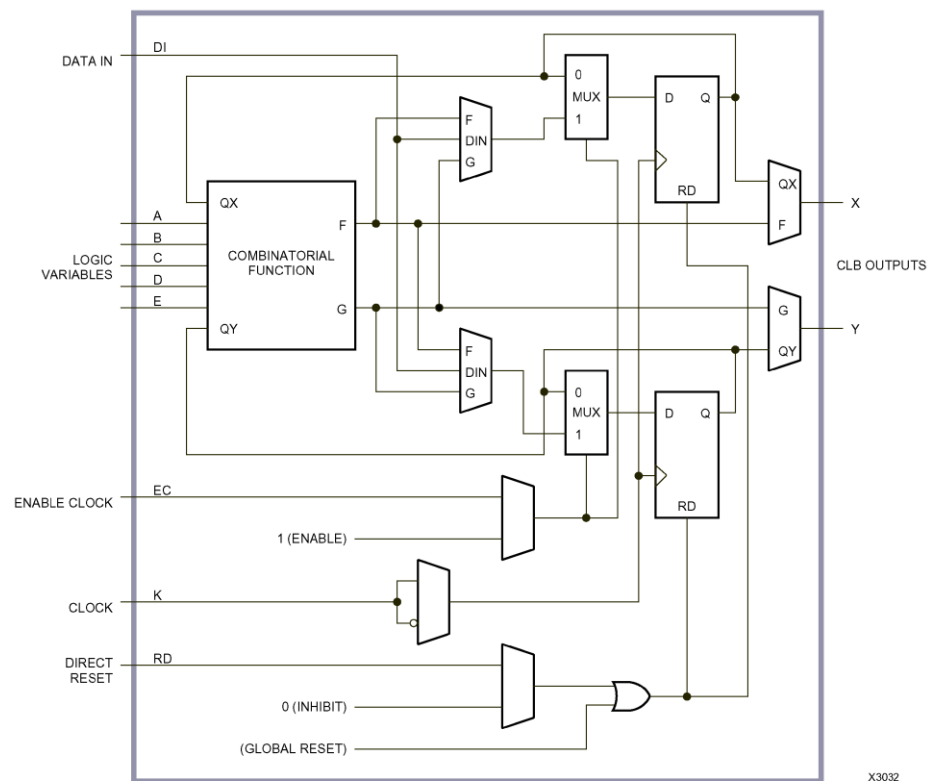


Figure 5: Configurable Logic Block.

Printed with FinePrint - purchase at www.fineprint.com

Módulo de entrada/salida de la serie 3000.

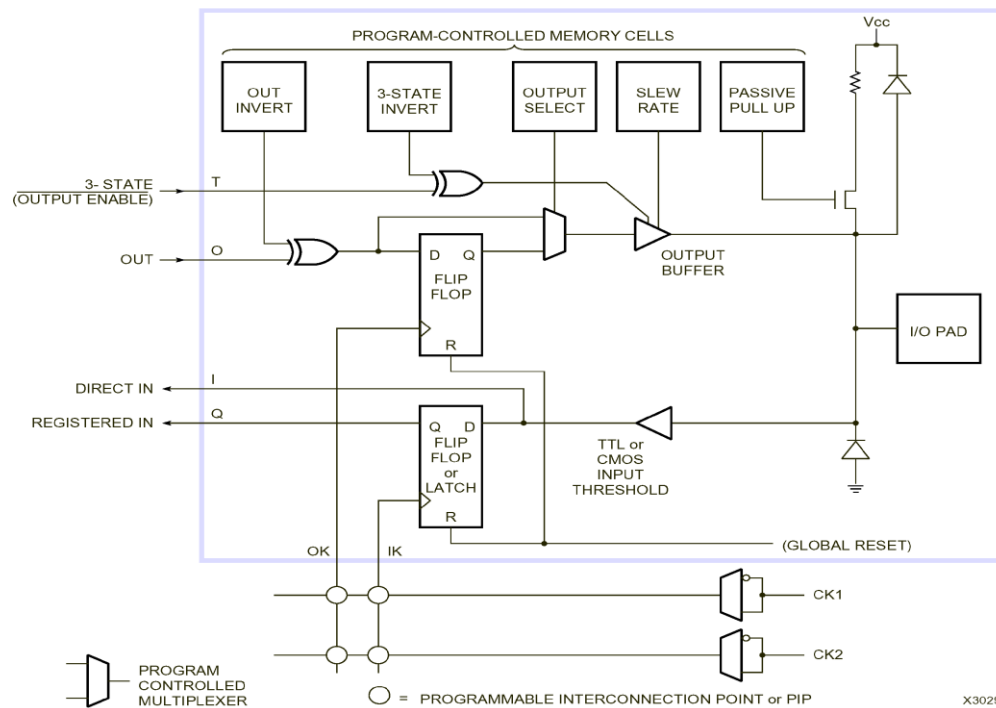


Figure 4: Input/Output Block.

Printed with FinePrint - purchase at www.fineprint.com

X3029

Celda Lógica de la familia Xilinx 5200.

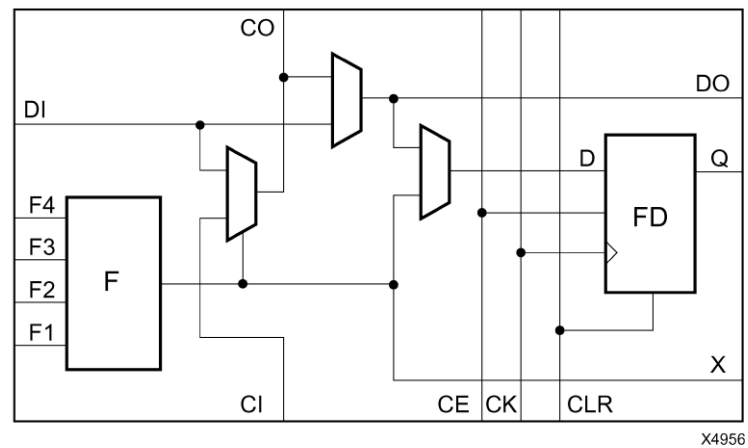


Figure 3: XC5200 Logic Cell (Four LCs per CLB)

Product of Xilinx, Inc. and Xilinx, Inc. Xilinx, Inc.