

- 1) ¿Si la corriente de programación de un antifusible es de 5 mA y el diámetro del contacto es de 20 nm cuál es la densidad de corriente durante la programación?

$$I=5\text{mA}; D=20\text{nm}=2\cdot\pi\cdot r; \text{Área de un círculo}=\pi\cdot r^2$$

La densidad de corriente durante la programación es de  $I/\text{Área}=5\text{Ma}/\pi\cdot(D/2\cdot\pi\text{ nm})^2=1.5915\times10^{-5}\text{ A/nm}^2$ .

- 2) ¿Si la resistencia promedio de un antifusible cuando finaliza la programación es de 500  $\Omega$  y la corriente de 5 mA cuál es la caída de tensión en ese momento?

$$R=500\text{ ohm}; I=5\text{mA}$$

$$V=500\cdot5\text{mA}=2.5\text{V}$$

- 3) ¿Cuál es la potencia disipada en un antifusible en el momento de completar la programación?

La potencia disipada en un antifusible en el momento de completar la programación es el valor de resistencia del mismo multiplicado por la corriente que consume al cuadrado.

$$\text{Para el caso anterior: } 500\text{ ohm} \cdot 5\text{mA}^2=0.0125\text{W}$$

- 4) Suponga que se desea reducir la resistencia de un antifusible de 500 a 50  $\Omega$ . ¿Si el antifusible tiene la forma de un cilindro cuál es el nuevo diámetro?

Si se reduce la resistencia, aumenta la corriente. Por lo tanto el área deberá ser más grande.

$$\Rightarrow (\pi \cdot r^2 \cdot 10\text{veces}) = \pi \cdot \text{radio\_nuevo}^2 \Rightarrow r=31.6\text{nm} \Rightarrow D=63.2\text{nm}$$

- 5) Para las FPGAs de Actel ¿cuál es el tiempo de programación de cada fusible, teniendo en cuenta que el tiempo de programación total demora entre 5 y 10 min.?

Como el porcentaje que se programa es el del 2% (siendo la cantidad de antifusibles un promedio entre 10000 y 100000) y un tiempo promedio total puede ser  $(10+5)/2\text{ min}=7.5\text{ min}$  entonces, un tiempo promedio para la programación de cada fusible puede ser:  $7.5\text{min}/55000=0.0001363\text{ min}=8.18\text{mseg}$

Otra manera de calcularlo sería por modelo. Conociendo la cantidad de fusibles que posee y promediando el tiempo para cada 2%.

6) Construya el diagrama en bloques a nivel compuertas de una LUT con K = 3.

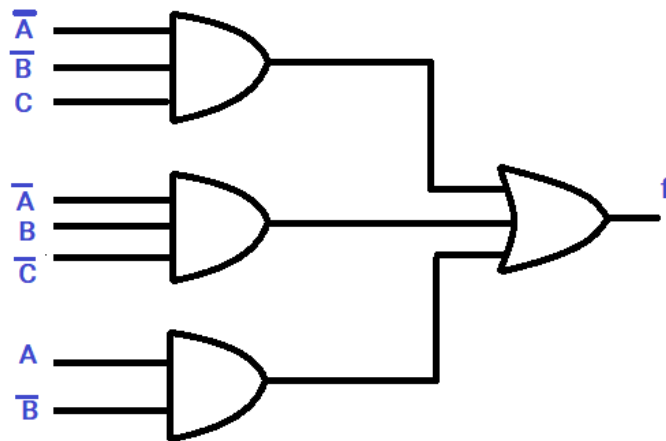
Para construir un diagrama en bloques a nivel compuertas lógicas de una LUT de K=3, se opta por la función de multiplexor.

Multiplexor:

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

La función que se sintetiza es:

$$\bar{A}.\bar{B}.C + \bar{A}.B.\bar{C} + A.\bar{B}$$



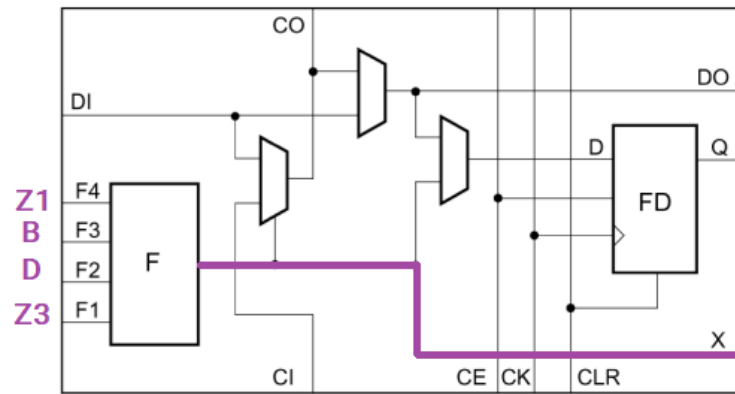
7) Considere una LUT con K = 4, por ejemplo las CLB de Xilinx de la serie XC2000 y XC5200. Suponga que se desea implementar la función:

$$Z = A ( B + C ) + B D + E F G H I$$

¿Cuál es el camino crítico? Encuentre una solución mejor en cuanto a área y camino crítico.

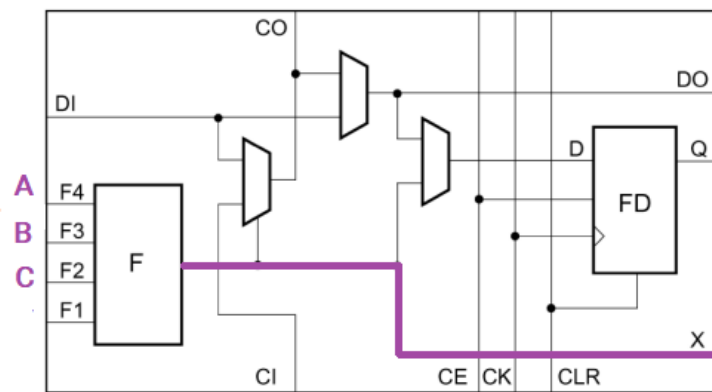
Para el primer camino:

$$CLB1: Z = Z1 + B D + Z3$$



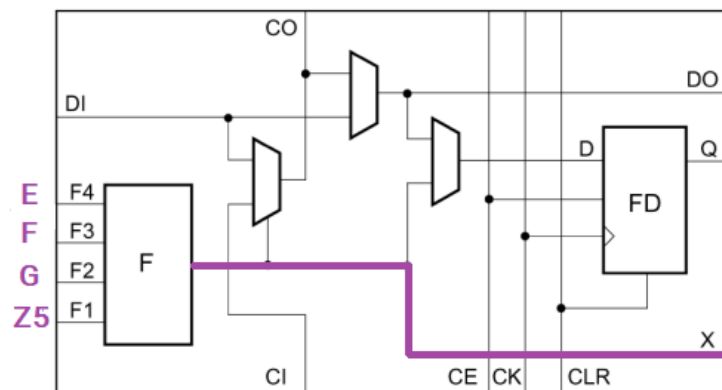
Para el segundo:

$$\text{CLB2: } Z1 = A ( B + C )$$



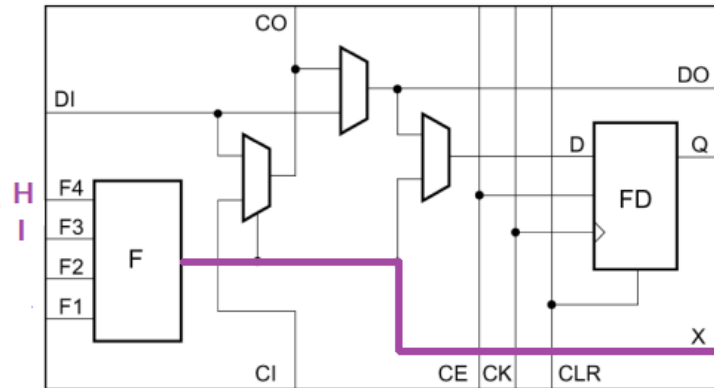
Para el tercero:

$$\text{CLB3: } Z3 = E F G Z5$$

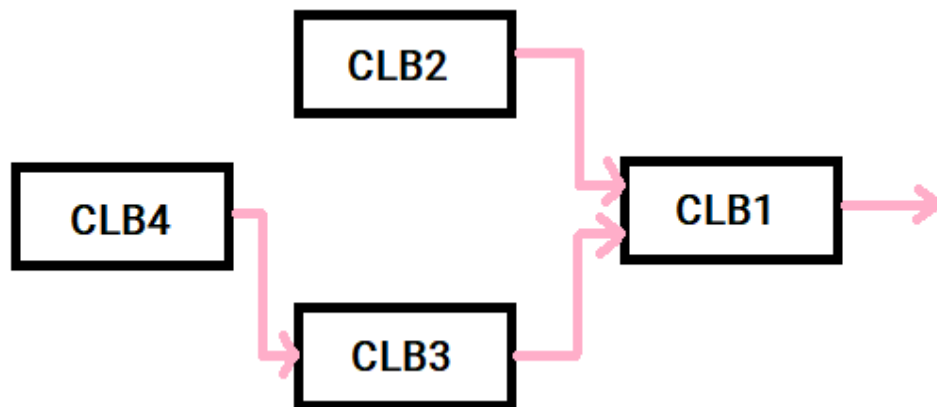


Para el cuarto:

CLB4:  $Z5 = H I$

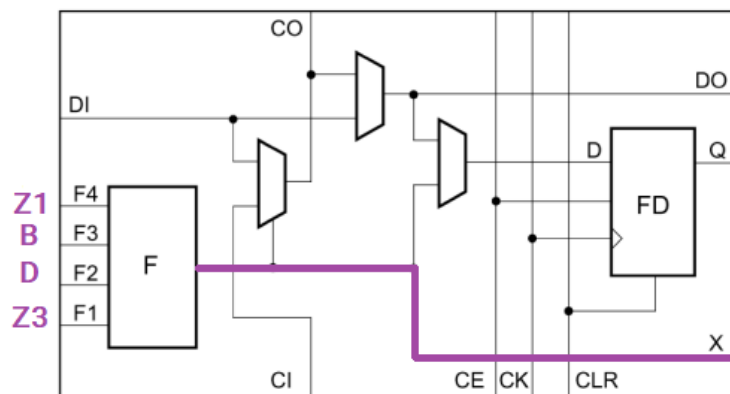


El camino crítico es el de F a X. Partiendo de la configuración del ejercicio:

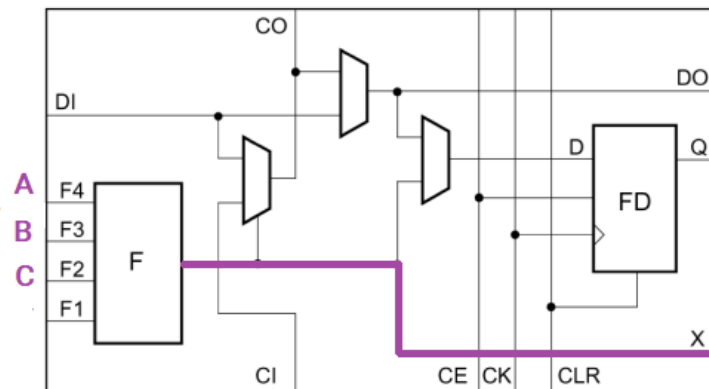


Para mejorar en cuanto al área y el camino crítico se plantea la siguiente solución:

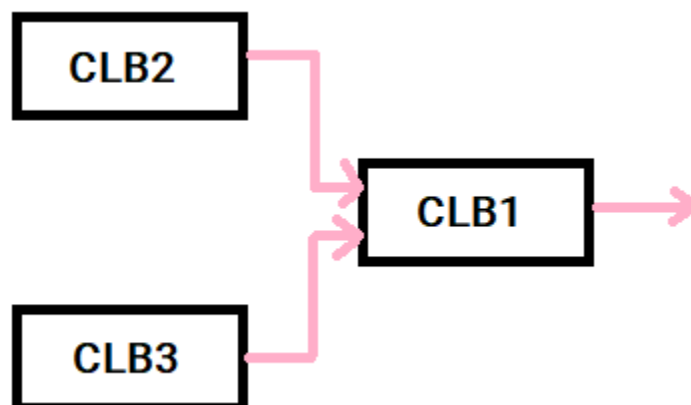
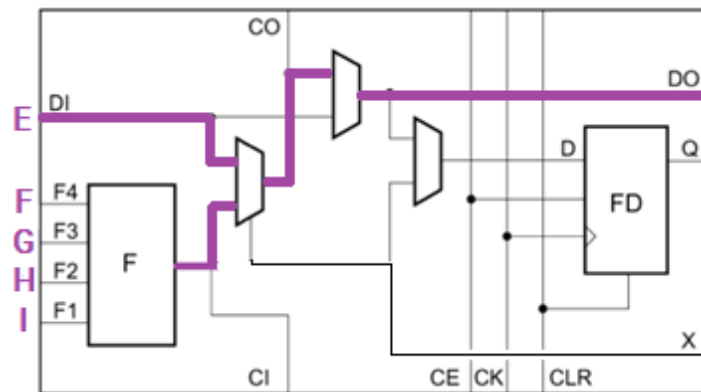
CLB1:  $Z = Z1 + BD + Z3$



CLB2:  $Z1 = A (B + C)$



CLB3:  $Z3 = E F G H I$



8) Emplee el módulo ACT1 de Actel para sintetizar la función:  $F = A.B + \bar{B}.C + D$

Nota: use el teorema de expansión de Shannon.

Utilizando el teorema de expansión de Shannon y las leyes de De Morgan binarias se desarrolla:

$$F = \bar{A} + \bar{B}.B + \bar{C}\bar{D}$$

$$F = \bar{A} + 0 + \bar{C}\bar{D}$$

$$F = \bar{A} + \bar{C}\bar{D}$$

$$F = A.C + D$$

Aplicándolo al módulo ACT1 de Actel:

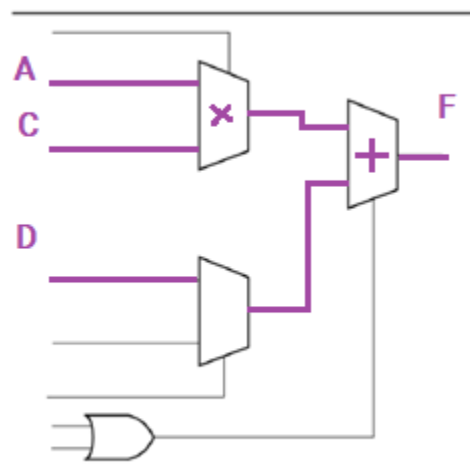
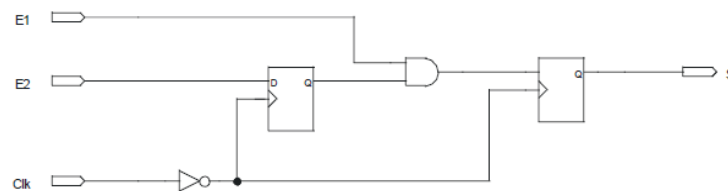
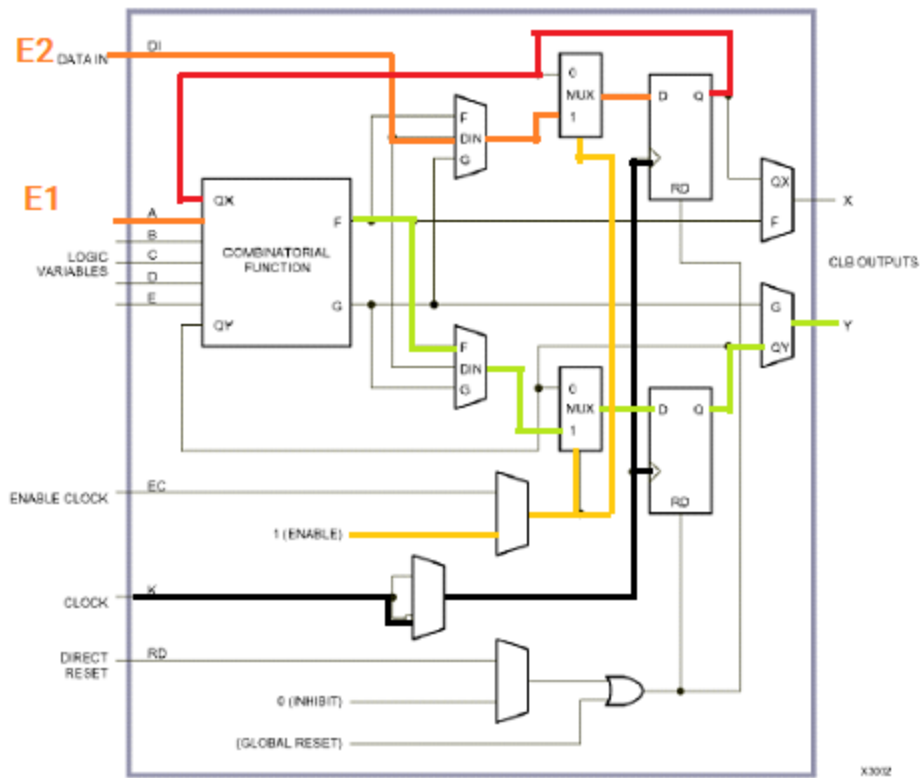


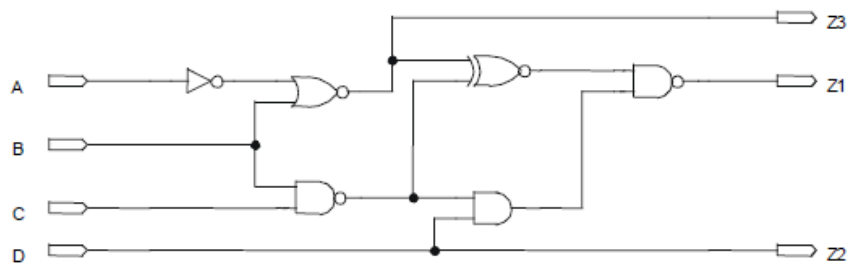
Figure 2 • ACT1 Logic Module

9) Sobre un diagrama de un CLB de la serie XC3000 indique las conexiones y el contenido de la LUT para realizar:

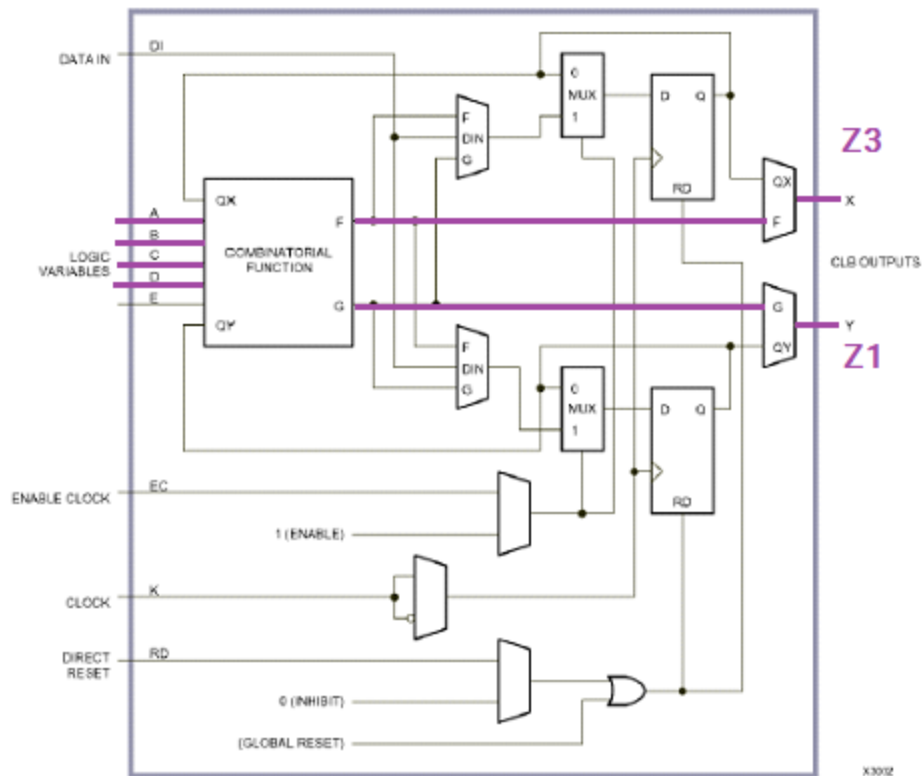




10) Indicar como se debe particionar el circuito siguiente para que ocupe el menor número de CLBs de la serie XC3000.

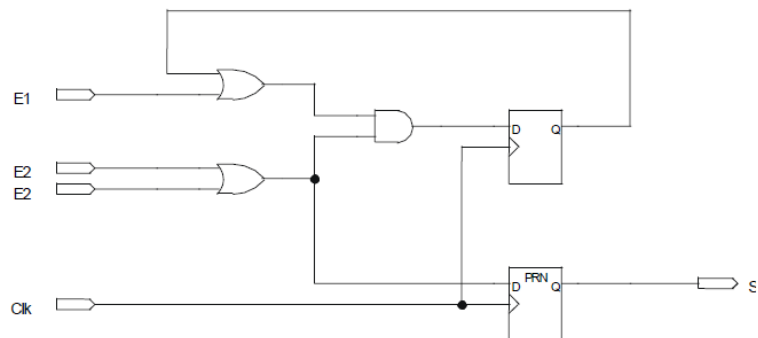


Utilizaría la entrada D como salida directa y luego utilizaría la siguiente configuración:



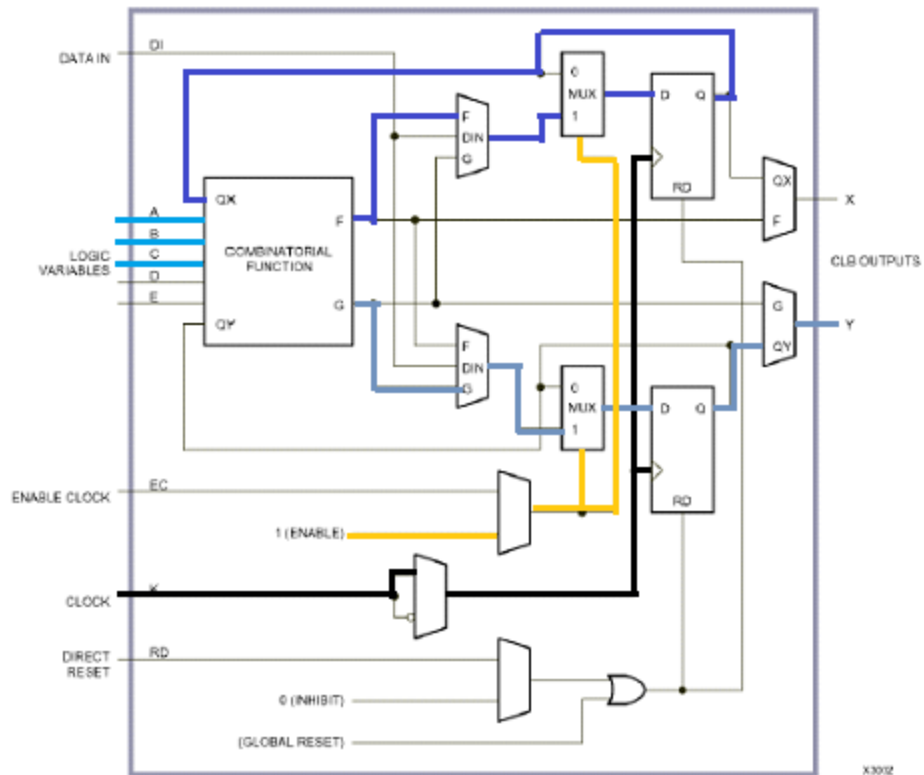
Donde las operaciones con compuertas lógicas se desarrollan en el sector de funciones combinacionales.

- 11)** Sobre una CLB de la serie XC3000 determine las conexiones a realizar y el contenido de la LUT para implementar el siguiente circuito:

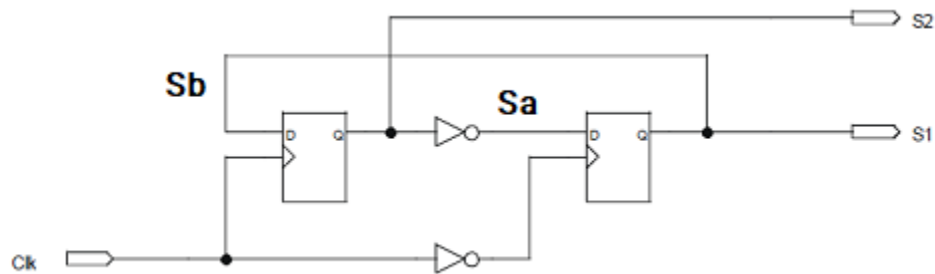


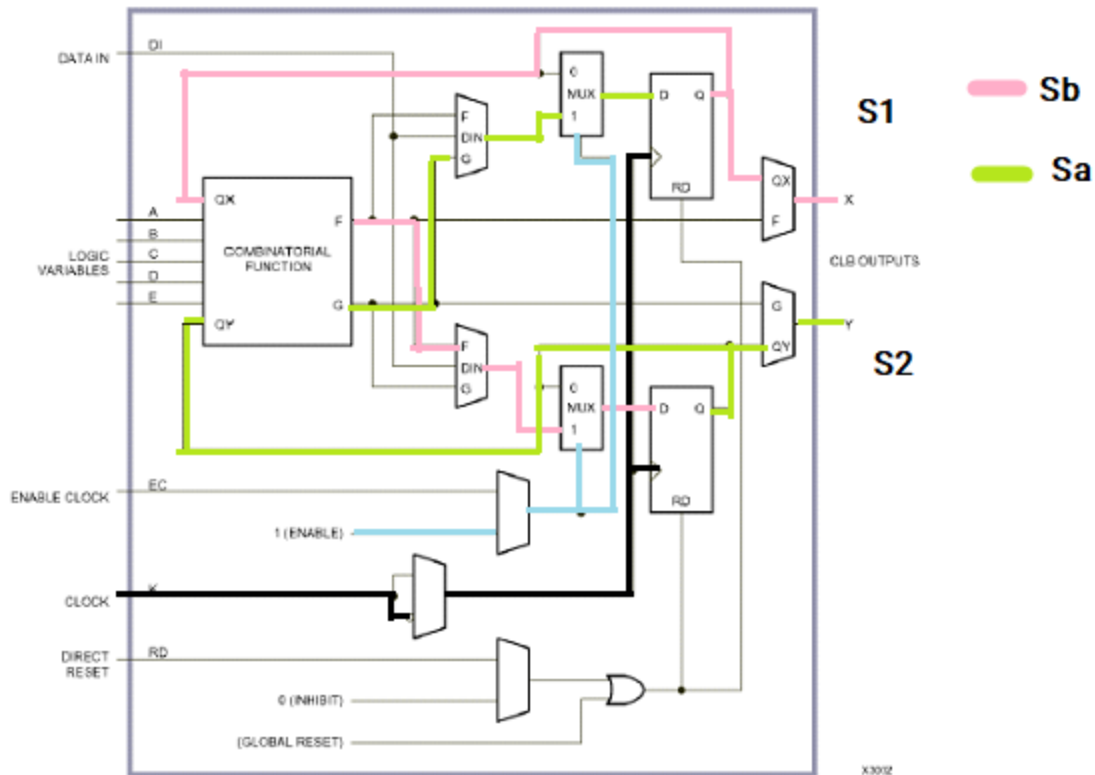
Siendo A: E1; B:E2; C:E2 e Y: S, el circuito queda determinado de la siguiente manera:



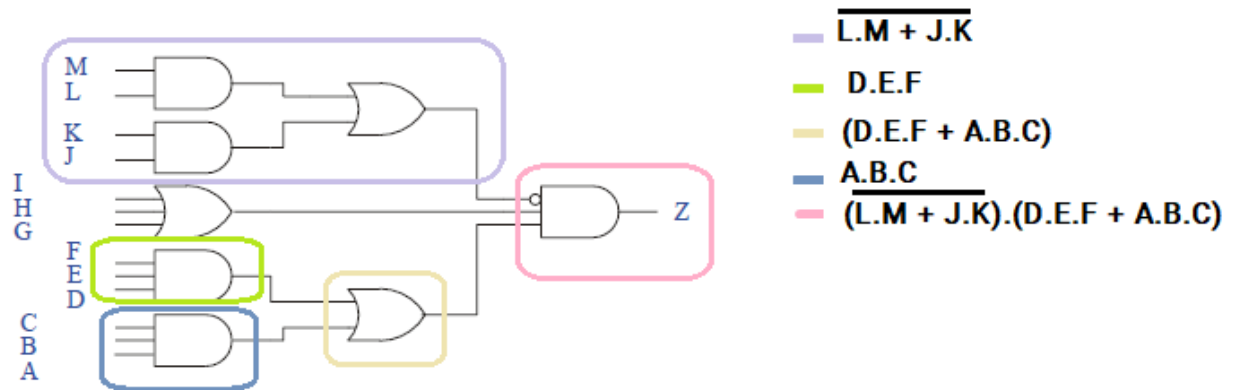


- 12) En una FPGA de la serie XC3000 no ha quedado otro camino que implementar el circuito que se muestra en un IOB. Indicar las líneas de interconexión y donde quedan ubicadas las señales S1 y S2.





13) Sintetizar el circuito que se muestra, cuya función lógica es:  $Z = (ABC + DEF)(G + H + I)(\overline{JK + LM})$  mediante tablas de búsqueda de cinco entradas.



LUT1: Violeta

LUT2: Verde

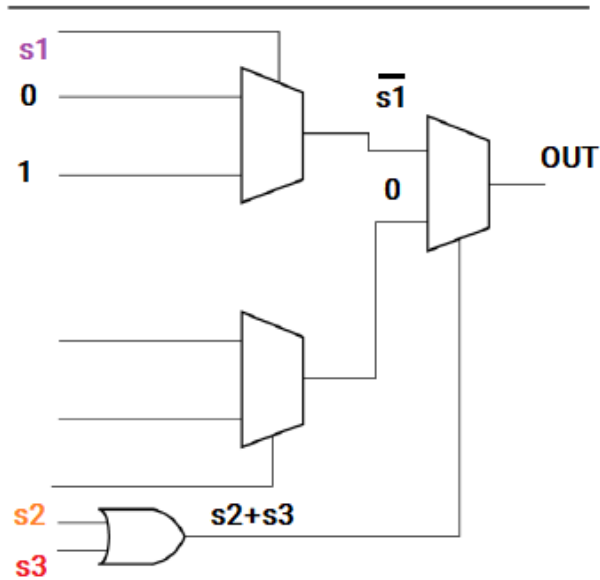
LUT3: Azul

LUT4 (2da etapa): Amarilla

LUT5 (3ra etapa): Rosa

14) Empleando el módulo ACT 1 implementar: a) una compuerta nor de tres entradas, b) un multiplexor de 2 a 1, c) un semisumador, d) una compuerta orex de tres entradas y d) un multiplexor de cuatro entradas.

a)

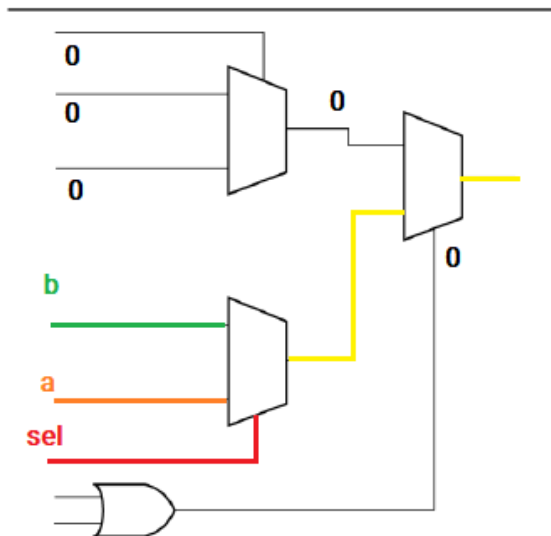


s1	s2	s3	OUT
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

Figure 2 • ACT 1 Logic Module

b)

Multiplexor de 2 a 1

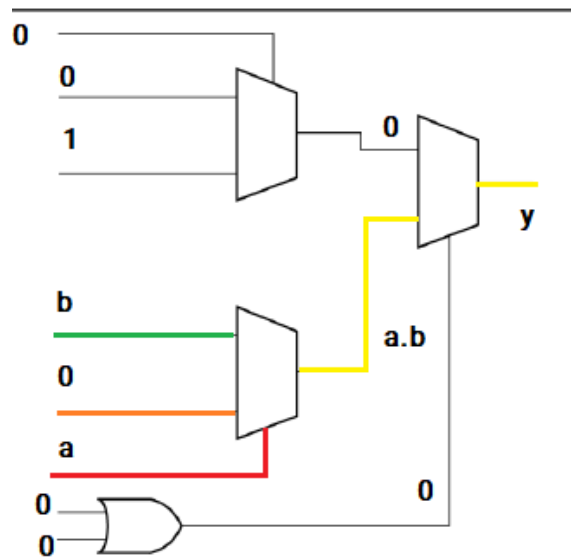


ENA	SEL	A	B	Y
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

Figure 2 • ACT 1 Logic Module

c)

Para el semisumador se plantea el siguiente circuito y tabla de verdad:



SEL	A	B	Y
0	0	0	0
1	0	1	0
1	1	0	0
0	1	1	1

Figure 2 • ACT 1 Logic Module

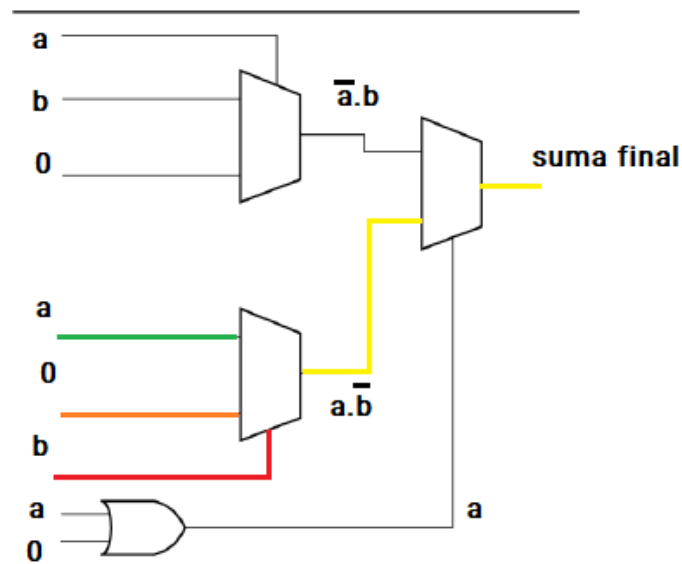


Figure 2 • ACT 1 Logic Module

d) Xor de 3 entradas:

$$OUT = \bar{C}(\bar{A}B + A\bar{B}) + C(\bar{A}\bar{B} + AB)$$

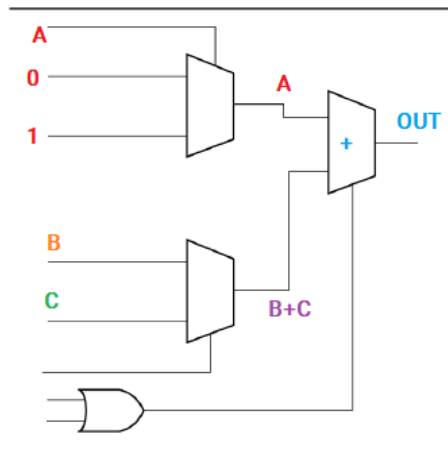


Figure 2 • ACT 1 Logic Module

A	B	C	OUT
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

e) Multiplexor de 4 entradas:

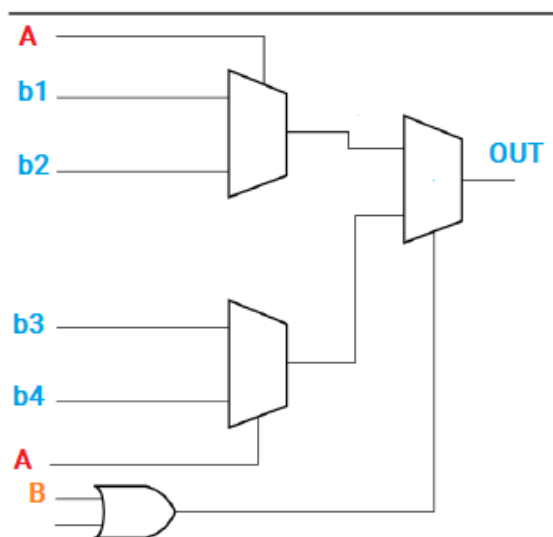
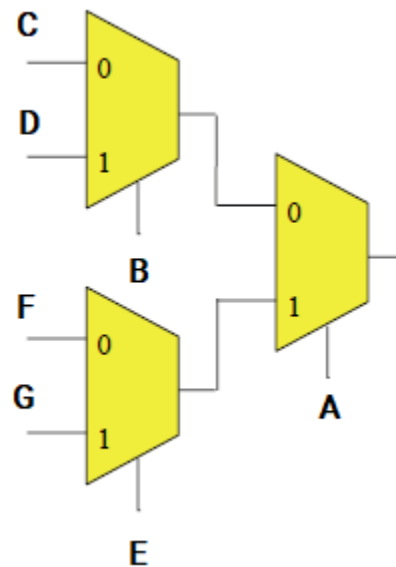


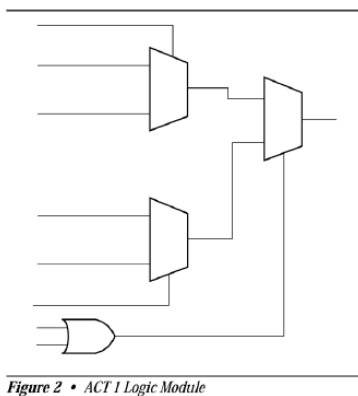
Figure 2 • ACT 1 Logic Module

A	B	OUT
0	0	b1
0	1	b2
1	0	b3
1	1	b4

15) Mediante el arreglo de multiplexores mostrado sintetizar:  $Z = \overline{A}(\overline{B}C + BD) + A(\overline{E}F + EG)$



16) El módulo de Actel ACT 1 tiene ocho entradas y puede sintetizar la mayoría de las funciones lógicas de tres variables y unas pocas funciones de cuatro variables. Por el contrario la CLB del XC5200 de Xilinx tiene sólo cuatro entradas pero puede implementar todas las funciones con cuatro variables o menos. ¿Cómo puede Actel elegir este tipo de módulo y ser competitiva con las FPGA de Xilinx?



Celda Lógica de la familia Xilinx 5200.

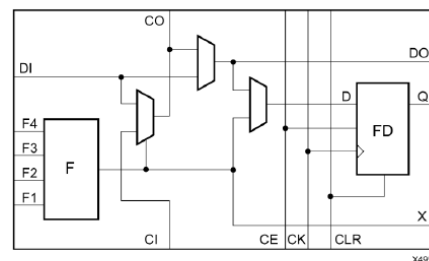
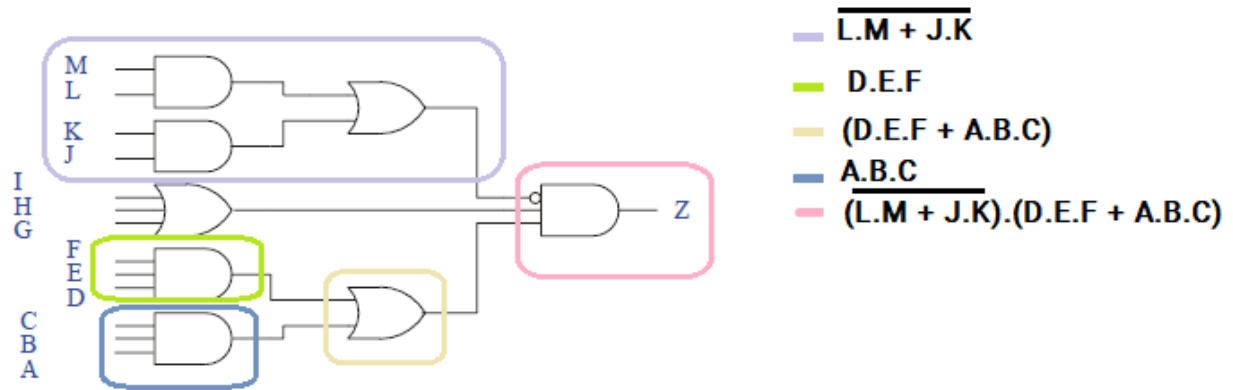


Figure 3: XC5200 Logic Cell (Four LCs per CLB)

Rta: Porque las de Actel, al ser mas veloces, de menor tamaño y al permitir el control de decisión de los multiplexores, gana en competitividad contra la Xilinx.

17) Mediante los bloques que se muestran en la tabla siguiente determinar la realización más veloz de las funciones del ejercicio 13.



Según la tabla, utilizando 3 LUT para la primera etapa (LUT de 4 entradas para M, L, K, J, LUT de 3 entradas para I, H, G y LUT para 6 entradas F, E, D, C, B, A) más dos multiplexores de 2 a 1 para administrar la salida junto con otro multiplexor de 2 a 1 (Actel), se calcula un tiempo de retardo mayor total de:  $1,71 \text{ nseg} + 1,44 \text{ nseg} + 2,38 \text{ nseg} = 5,53 \text{ nseg}$  contra  $1,31 \text{ nseg}$  del Actel Act-1. Esta es una de varias posibilidades que se pueden desarrollar.