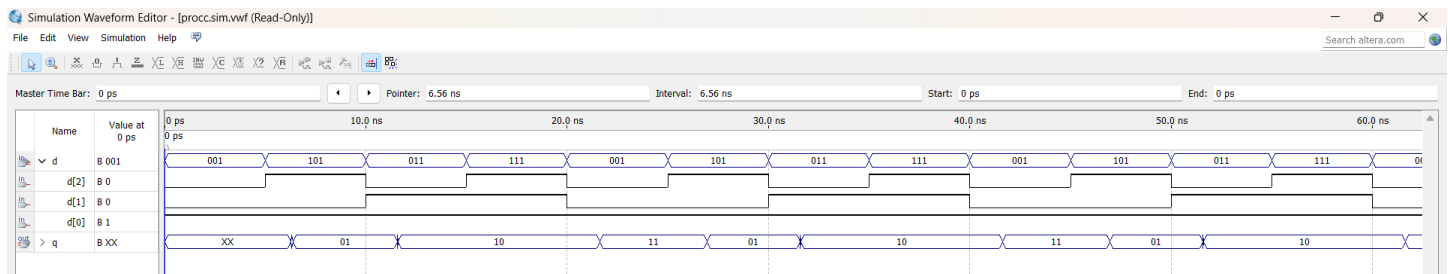


## Guía de análisis de circuitos en VHDL – Rosatelli

1)

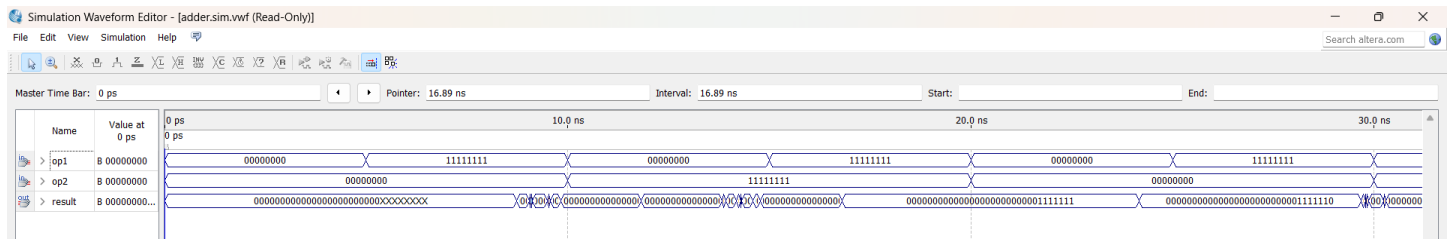
A la señal q se le asigna un valor entre 0 y 3 porque son los valores mínimo y máximo que puede llegar a tomar la señal debido a num\_bits que es un acumulador inicializado en 0 y, según la componente dentro del vector “d”, se incrementa en 1 pero solo hasta 3.



El tiempo de retardo que se puede apreciar en la simulación es de 6.56ns.

2)

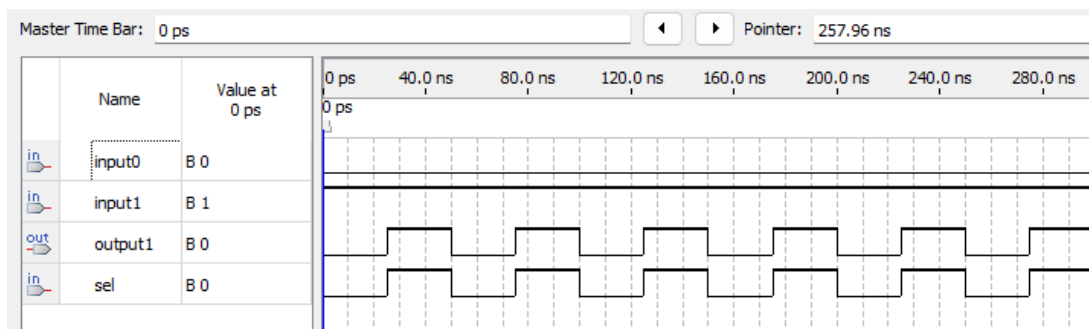
La función conv\_integer() convierte el parámetro ingresado a un entero. Proviene de la librería ieee.std\_logic\_arith.



El tiempo de retardo es de 16.89ns.

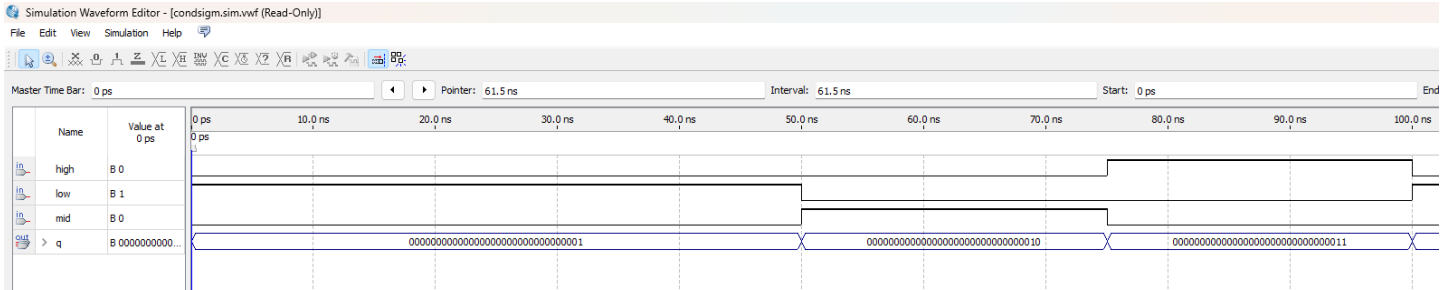
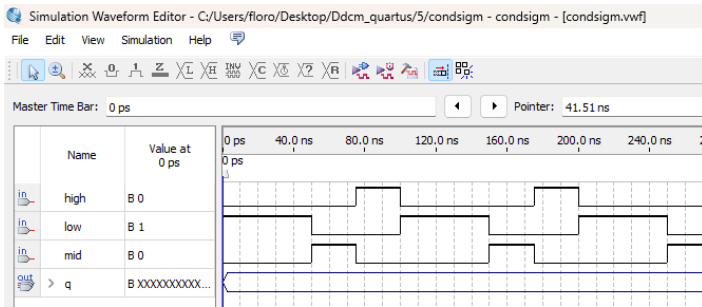
3) No se hace

4) El circuito es un multiplexor que envía a la salida la entrada0 si el selector es '0' o entrada1 si el selector toma el valor de '1'.

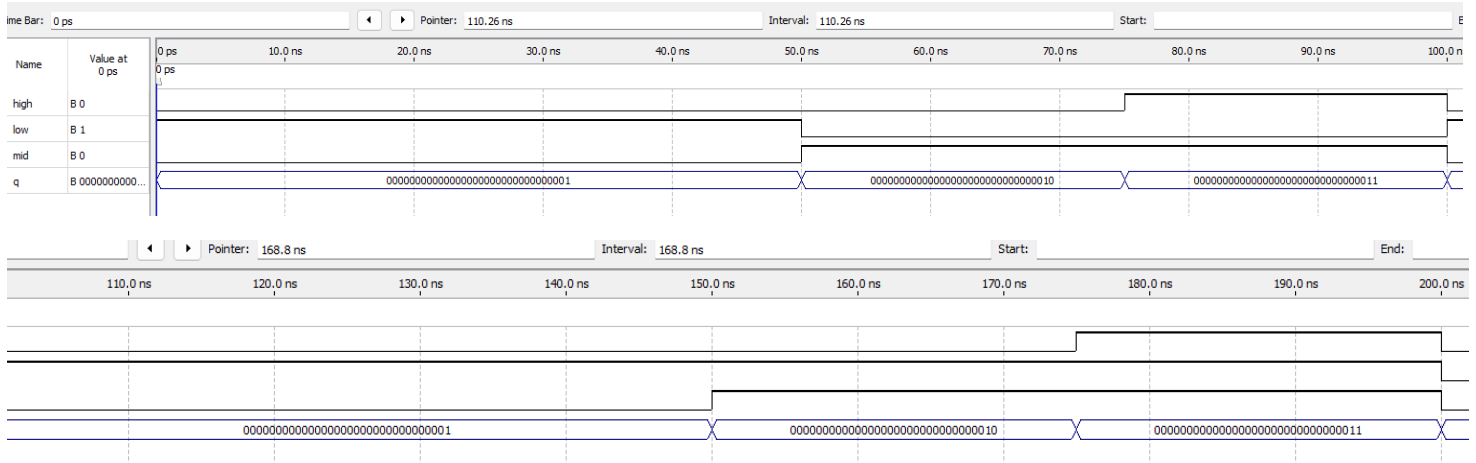


5)

El ejercicio consta de un selector que envía a la salida lo que en la entrada toma un valor de '1'. Cuando varias entradas toman el valor de '1' la salida tomará el primer valor que esté definido.



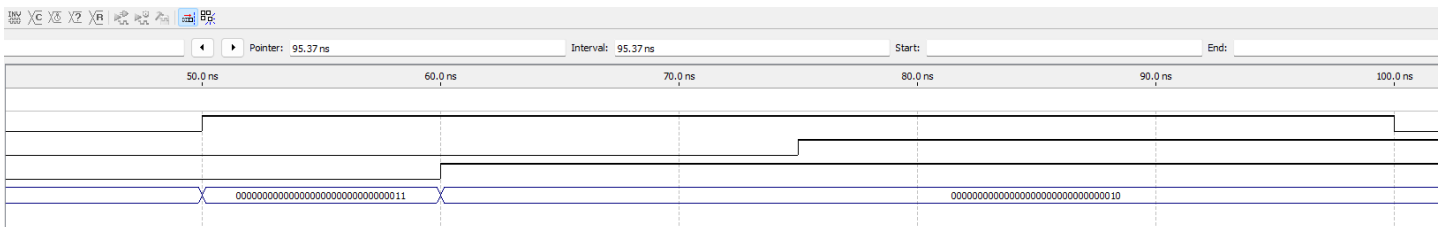
Simulación de cuando se superponen dos señales en '1':



Como había predicho, el valor que tomará a la salida será el de mayor ponderación.

No sé porque muestra la salida como un vector cuando está declarada como un entero...

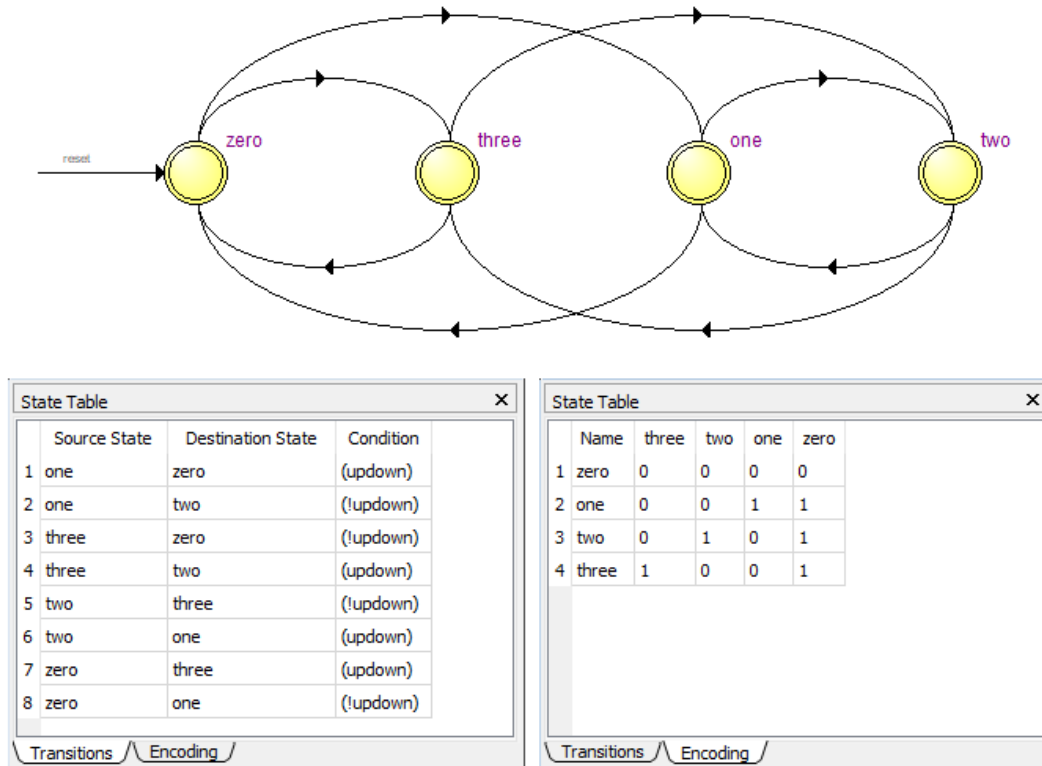
Hice la prueba modificando la descripción de hardware escribiendo primero en la asignación de 'q', el dato de mid que vale 2. Volviendo a hacer la simulación obtengo:



Es decir que el valor que tome la salida cuando mas de una entrada se setea, es la primera que se le otorga en la asignación concurrente condicional.

6) No se hace

7)



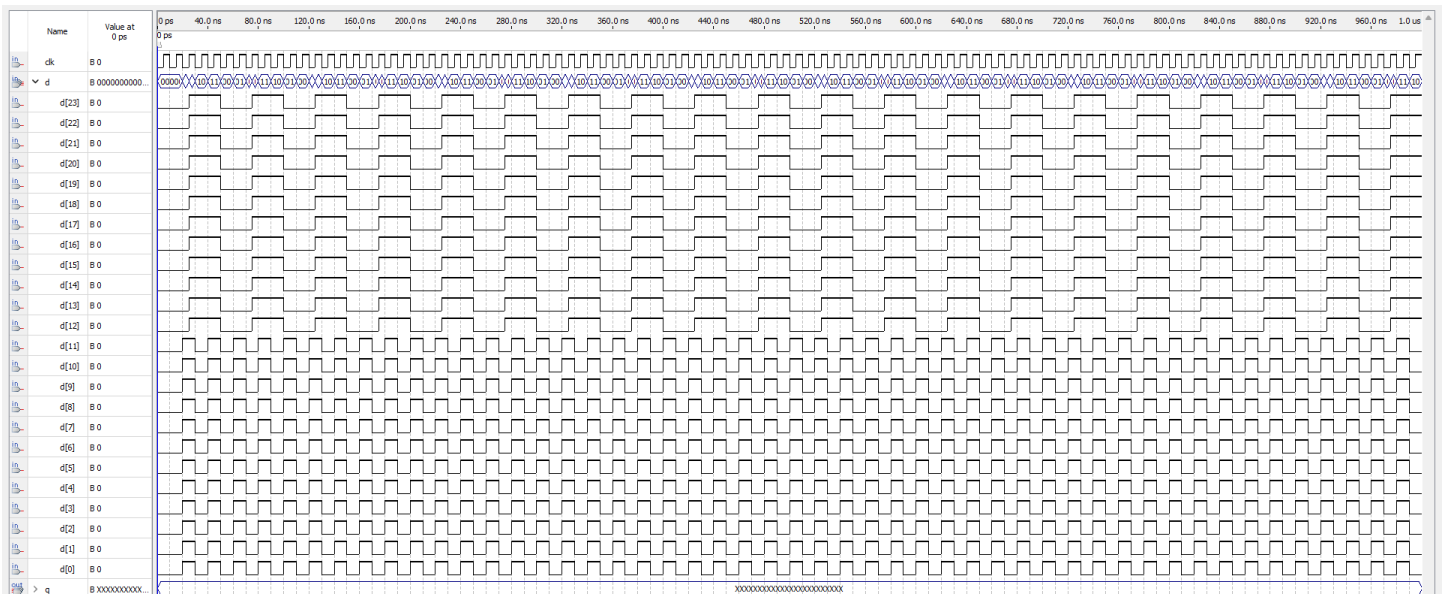
8) No se hace

9) No se hace

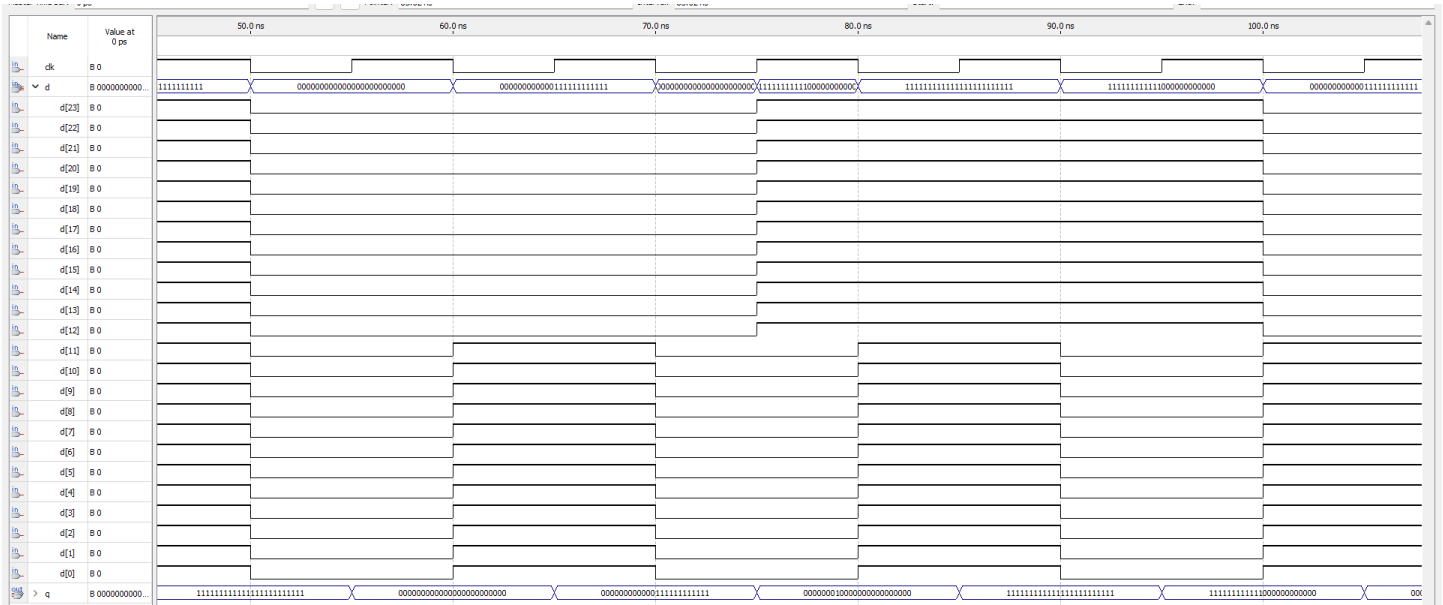
10) No se hace

11) El circuito es el de un flip flop que mantiene a la salida los valores del vector que se le asignan cuando se da el flanco positivo de clock.

Entradas:



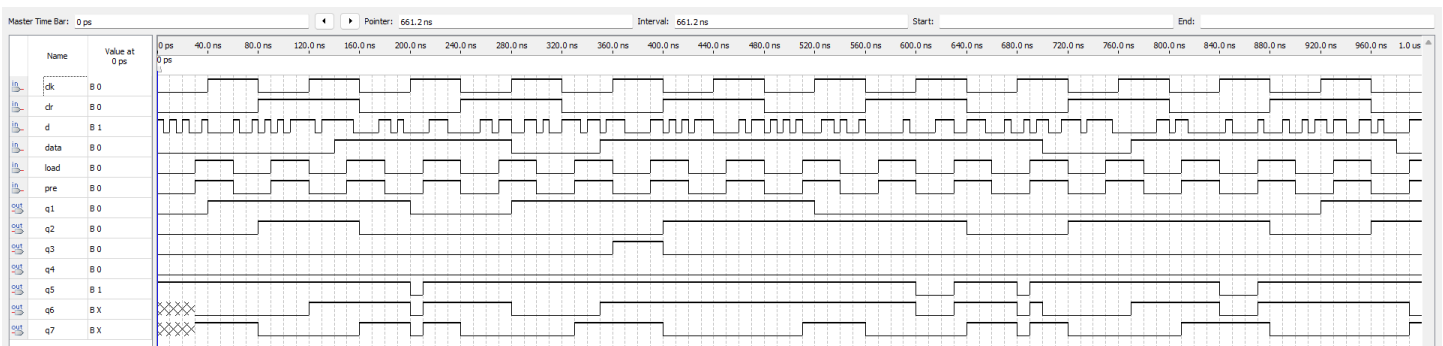
Salida:



12)

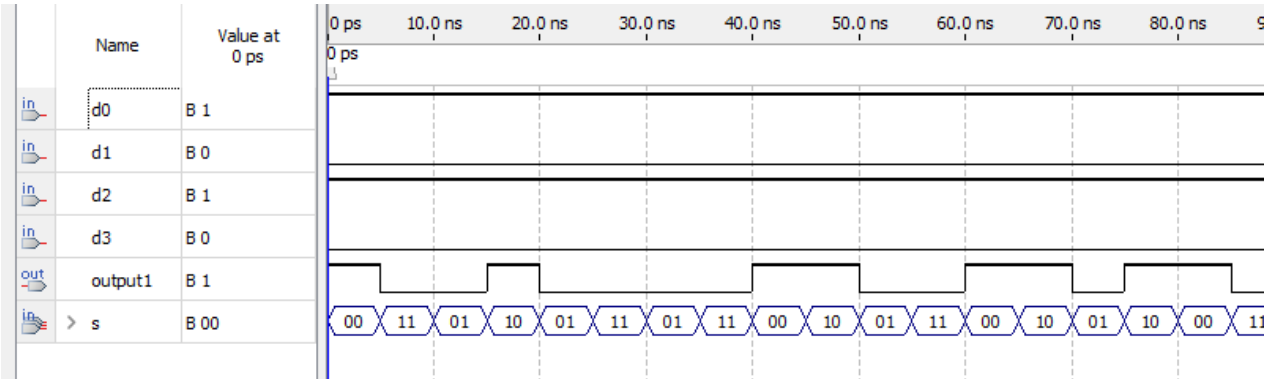
El circuito consta de un registro que envía a la salida una entrada distinta según diferentes parámetros de sensibilidad o de condición. Los casos son los siguientes:

- 1: flanco activo de clock
- 2: flanco negativo de clock
- 3: flanco activo de clock y disparo de clear
- 4: flanco negativo de clock y disparo de clear
- 5: flanco activo de clock y disparo de preset
- 6: flanco activo de clock y disparo de load
- 7: flanco activo de clock, disparo de preset y disparo de clear



13)

El circuito es un multiplexor que depende de s cuando toma los valores 0, 1, 2, 3, o 4 y según cada uno, envía a la salida el valor de d0 o d1 o d2 o d3 respectivamente.

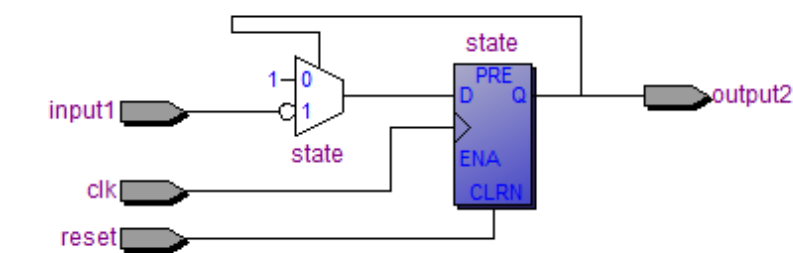


14) No se hace

15) No se hace

16)

Una señal toma el valor de s0 o s1 dependiendo del reset y la señal de clock y al asignarle un valor a la salida también se le asigna un siguiente estado. Es una máquina de estados que comienza con reset en s0 y es del tipo Mealy



clk	input1	reset3	output2	state	state sig
0	x	0	0	x	
1	x	1	0	s0	s0
1	x	1	1	s0	s1
1	1	1	0	s1	s0
1	0	1	1	s1	s1