

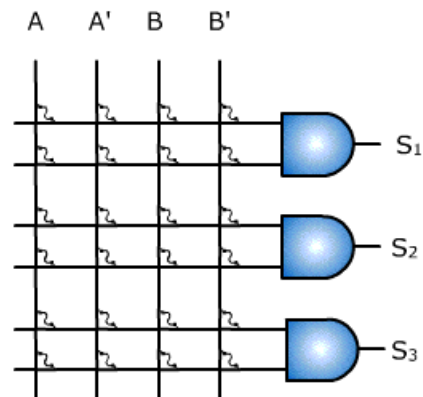
Elementos básicos

- **Fusibles:** presentan una impedancia ideal de 0Ω entre sus terminales, valor que pasa a $\infty \Omega$ luego de la programación.
- **Antifusibles:** dispositivos normalmente abiertos que una vez programados pasan a ser un cortocircuito, en un proceso irreversible.
- **Switches EPROM/EEPROM:** dispositivos de paso reprogramables, cuyo estado no se altera al cortarse la alimentación de energía.
- **Llaves SRAM:** basados en llaves de paso MOS controladas desde un flipflop estático, cuyo contenido se borra al cortarse la energía.

3

Fusibles

- Normalmente $Z = 0 \Omega$.
- Luego de programación $Z = \infty \Omega$.
- Empleo PAL.
- Irreversibilidad.
- Se agregan resistencias y capacidades parásitas en serie.
- Imposibilidad de tests exhaustivos en fábrica.
- Baja confiabilidad.



Ref: [VIR]

4

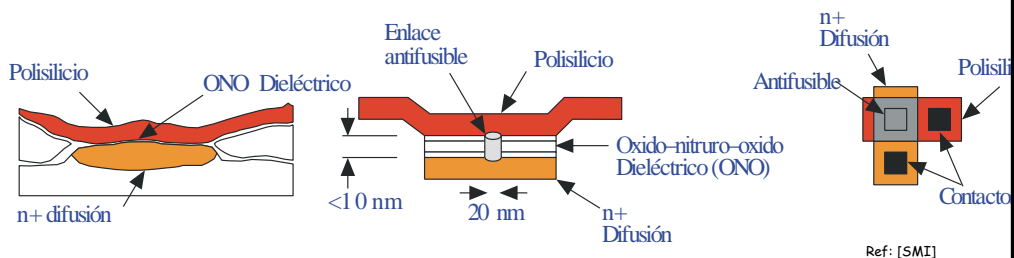
Antifusibles

- Puntos de paso normalmente abiertos que pasan a conducción irreversible mediante la programación
- Ventajas:
 - altísima densidad de integración
 - aptos para operar en ambientes con radiación (RadHard)
- Desventajas:
 - imposibilidad de test exhaustivo en fábrica.
 - requieren circuitos especiales de programación con circulación de corrientes relativamente importantes, así como procesos especiales de fabricación.
 - irreversibilidad, y por ello imposibilidad de test exhaustivo en fábrica
 - degeneración de la señal por agregado de resistencias y capacidades parásitas.
 - El antifusible es resistivo y además agrega una capacidad parásita de 1 a 2 fF (Cap. entrada inversor CMOS en $1\mu\text{m}$ 35 fF).
 - Se le debe agregar la capacidad de los terminales, ≈ 10 fF.
 - Para disminuir el retardo de interconexión se debe minimizar el número de antifusibles conectados en serie.
 - Las propiedades de los antifusibles cambian con el tiempo.
 - Se ha hecho un gran esfuerzo para hacerlos confiables a largo plazo.
 - Todos los fabricantes entregan información sobre la confiabilidad a largo plazo.
- Tipos:
 - Por contacto entre capas de Silicio por fusión de un separador dieléctrico (*Actel PLICE, Programmable low-impedance circuit element*)
 - Por contacto metálico entre líneas metálicas por fusión de Si amorfo (*Quick Logic Via Link*).

5

Antifusible polisilicio/difusión 1/3

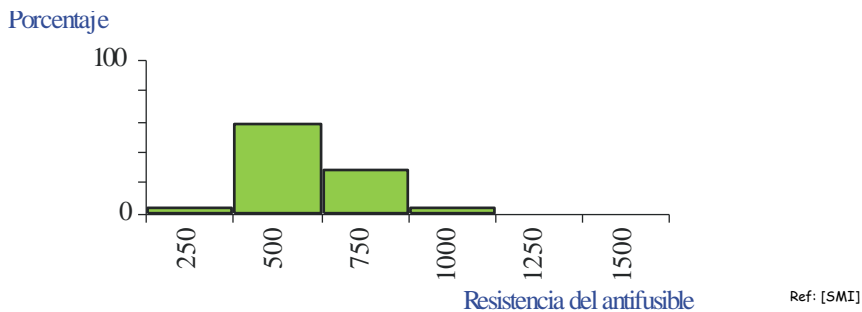
- Sistema empleado por Actel.
- Corriente de programación: 5 mA.
- Area conductora luego de la programación: 20 nm de diámetro.
- La programación lleva dopantes del poli y la difusión al enlace.
- Dieléctrico de separación ONO (Oxido-Nitruro-Oxido: SiO_2 , Si_3N_4).



6

Antifusible polisilicio/difusión 2/3

- La corriente de programación y el proceso determinan la resistencia promedio.
 - Con 5 mA $R = 500 \Omega$
 - Con 15 mA $R = 100 \Omega$
- Tensión de programación 18V.



7

Antifusible polisilicio/difusión 3/3

- Típicamente sólo se programa el 2% de los antifusibles.
- Tiempos de programación:
 - ACT 1, ACT 2 y ACT 3: 5 a 10m por dispositivo.

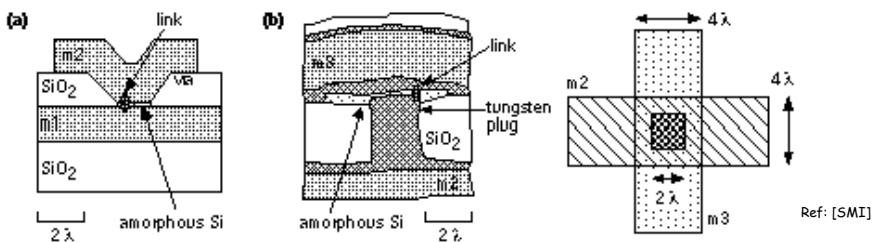
Dispositivo	Antifusibles
A1010	112.000
A1020	186.000
A1225	250.000
A1240	400.000
A1280	750.000

Ref: [SMI]

8

Antifusible metal/metal 1/2

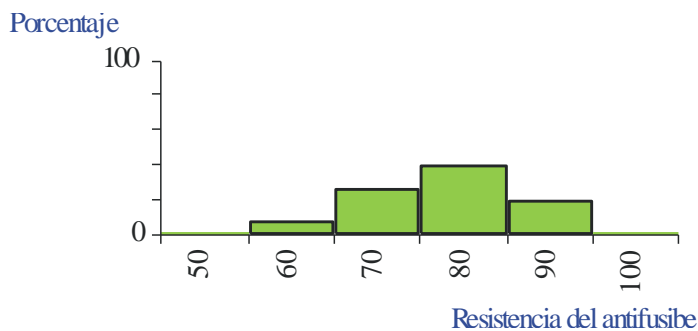
- Sistema empleado por QuicLogic (ViaLink).
- Metal/metal con dieléctrico (aleación de tungsteno, titanio y silicio).
- Corriente de programación 15 mA.
- Resistencia promedio = 80Ω ($R = 0,8 / I$, I en mA y R en Ω .)
- Tiene dos ventajas con respecto al poli/difusión:
 - Se tiene conexión directa a las líneas de interconexión.(Menos espacio y menor capacidad parásita).
 - Se pueden usar mayores corrientes de programación para reducir R.



9

Antifusible metal/metal 2/2

Resistencia del antifusible



Ref: [SMI]

10

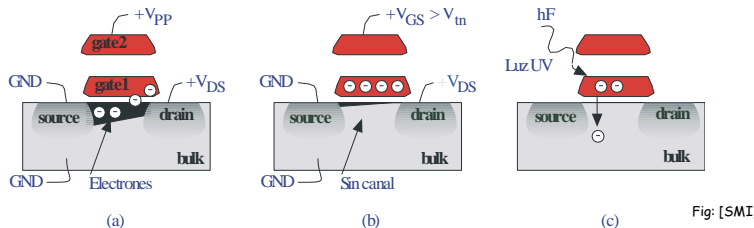
Interconexiones EPROM y EEPROM 1/3

- **Ventajas:**
 - Muy alta densidad de integración, ocupan un poco más de área que un antifusible.
 - Al ser reprogramables, dan la posibilidad de realizar un test exhaustivo del dispositivo.
 - En ciertos casos, ofrecen programación en el circuito.
- **Desventajas:**
 - Requieren dedicar área de silicio y de metalización para circuitos especiales de programación con la aplicación de voltajes relativamente elevados.
 - El uso de tecnologías EPROM/EEPROM requiere de procesos especiales.

11

Interconexiones EPROM y EEPROM 2/3

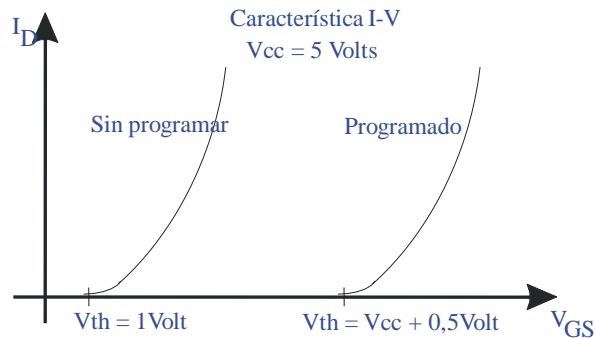
- Transistores NMOS la tensión umbral pasa de $\approx 1V$ a una mayor que V_{cc} .
- Tiene un segundo gate sin conexión al resto del circuito (flotante), separado por una muy delgada capa de óxido del sustrato.
- Programación y borrado:
 - a) Programación: V_{pp} a gate2 y V_{ds} (ligeramente menor a V_{pp}) al drain.
 - b) Electrones quedan atrapados en el gate1, e incrementan la tensión umbral.
 - c) Luz UV, electrones ganan la energía suficiente para vencer la barrera de potencial.



12

Interconexiones EPROM y EEPROM 3/3

- Para celdas EPROM y EEPROM:
 - Celda programada: transistor permanentemente cortado sin importar V_{GS} .
 - Celda no programada: transistor con baja tensión umbral.



13

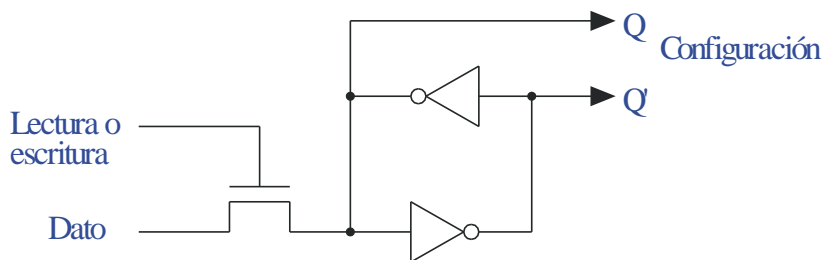
Interconexiones SRAM 1/2

- Retienen la información mediante flipflops cuya salida controla:
 - Transistores CMOS que operan como interruptores.
 - Transistores CMOS para sintetizar lógica mediante tablas de búsqueda (*LUTs* o *LookUp Tables*).
 - Se requiere trabajar con la norma JTAG para la configuración.
- Ventajas:
 - Es un proceso CMOS estandar.
 - Se pueden testear exhaustivamente.
 - Se pueden programar en el circuito.
- Desventajas:
 - Cada llave SRAM implica el uso de seis o más transistores.
 - La configuración es volátil.

14

Interconexiones SRAM 2/2

- Dos inversores realimentados para mantener la información (FF latch)
- Una línea de escritura/lectura.
- Una línea de datos.
- Salidas Q y Q' al gate del transistor de configuración.



15

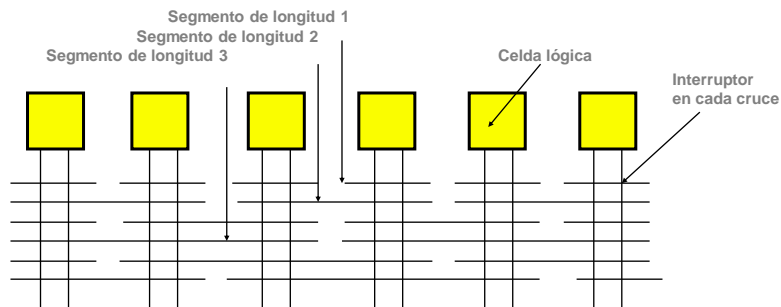
Interconexiones

- Fuertemente relacionadas con la granularidad
 - Cuanto menor es la granularidad (menores las celdas) más recursos de cableado se requieren para resolver la misma función
- Interconexionamiento segmentado.
 - Líneas de metal distribuidas en el CI.
- Interconexionamiento jerárquico, según el alcance
 - Local: conecta cada celda a los vecinos inmediatos
 - Vecinal: permite conectar grupos de celdas
 - Global: permite conectar cualquier celda con cualquier otra dentro del dispositivo

16

Interconexión segmentado, arquitectura

- Los retardos de interconexión dependen de:
 - Longitud de las pistas (R y C).
 - Número de interruptores que cuelgan de las pistas (C).
 - Número de interruptores atravesados por la señal (R).
- Pregunta clave: ¿cuál debe ser la longitud de las pistas?

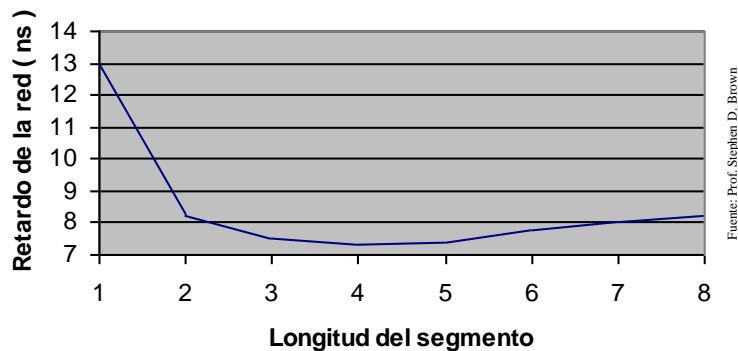


Dr. Carlos Arturo Gayoso

17

Interconexión segmentado

- Supone que todas las pistas son idénticas.
- Se miden los efectos de la longitud de segmentación en el área y la velocidad.

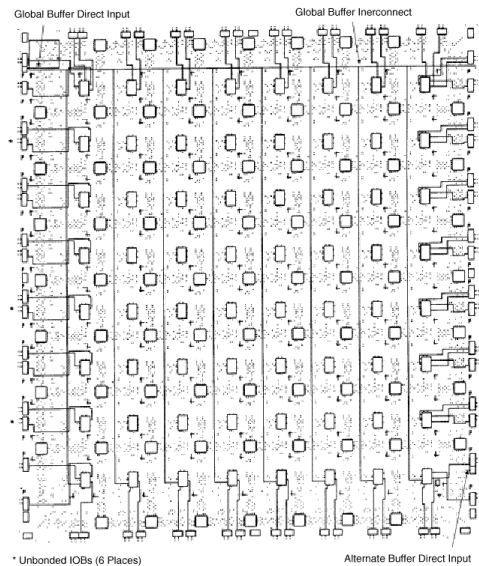


Idea mejor: combinar segmentos de distinta longitud (generalmente de 2, 3 o 4)

18

Interconexionado segmentado, ejemplo

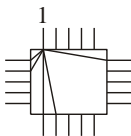
Vista en planta de una FPGA de la serie XC3000



19

Interconexionado segmentado, ejemplo

Ejemplo comercial de interconexión segmentado: serie XC3000, segmentos de conexión y PIPs (Puntos de interconexión programable).



Magic box

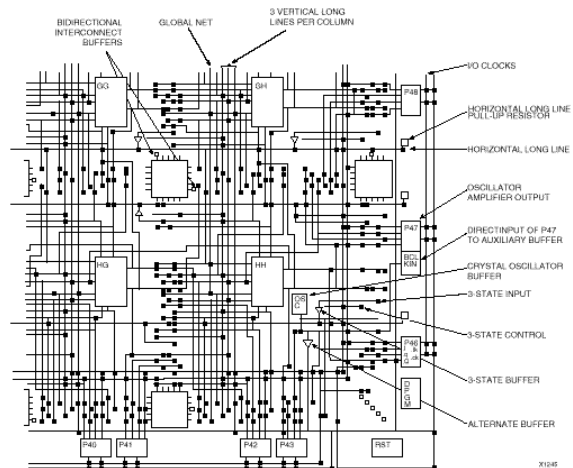
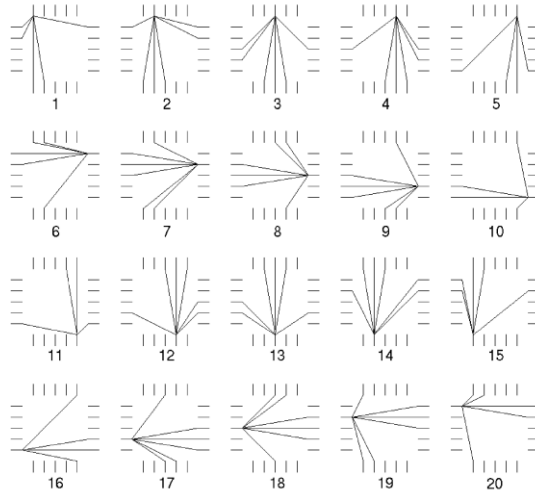


Fig: [XIL]

20

Interconexión segmentada, switch matrix

- Ejemplo X3000.



21

Interconexión segmentada, ejemplo

- Ejemplo comercial de interconexión segmentado: serie XC3000, conexiones programables, fijas y magic boxes.

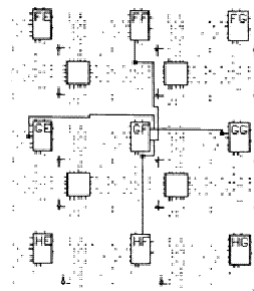
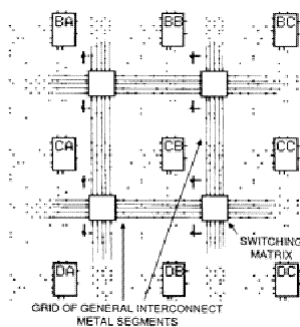
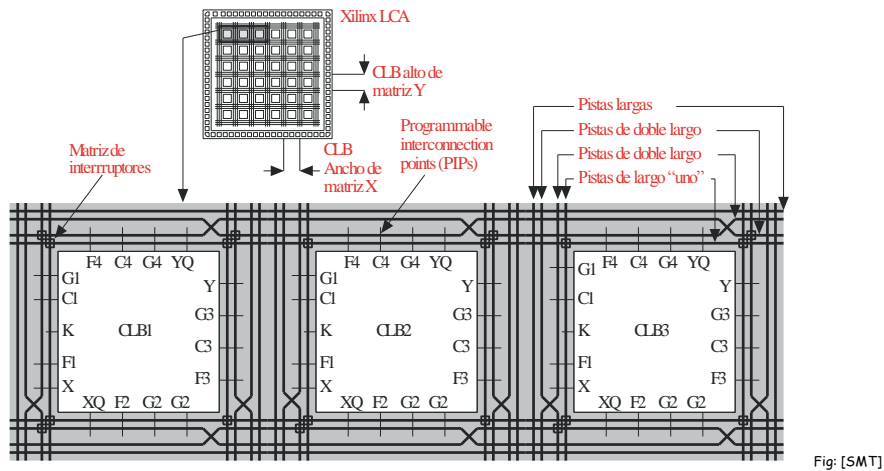


Fig: [XIL]

22

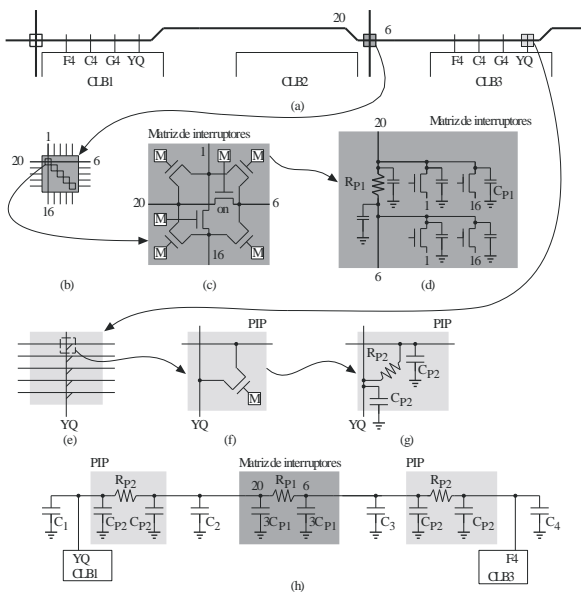
Interconexión segmentado, ejemplo retardo

Vista de una porción del XC4000 de Xilinx



23

Interconexión segmentado, ejemplo retardo



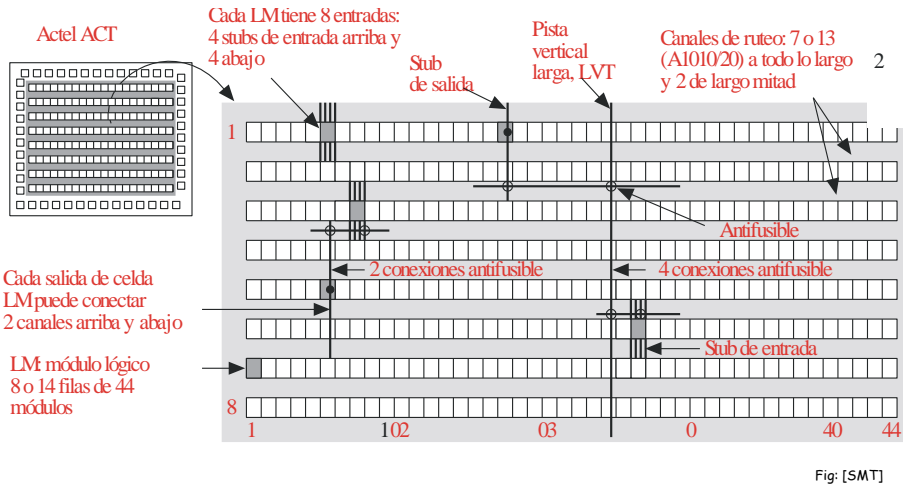
Determinación del retardo entre dos puntos

Ejemplo, conectar YQ con F4

Fig: [SMT]

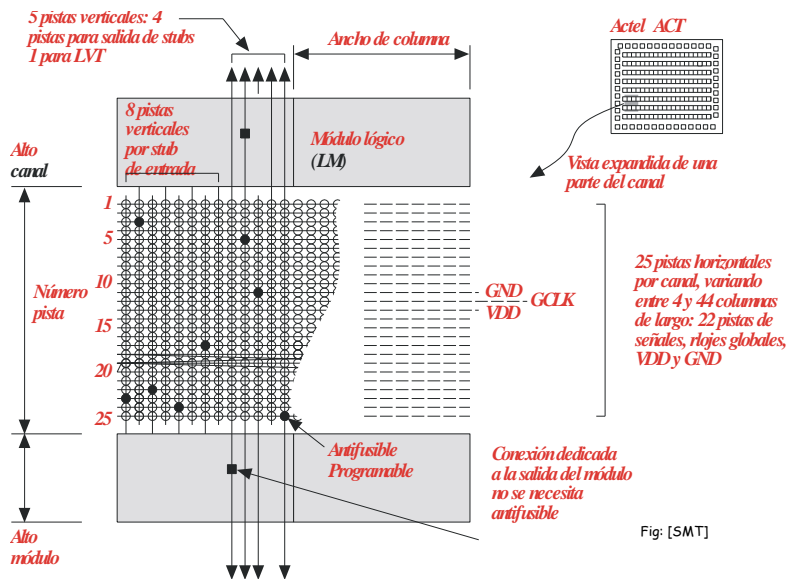
24

Segmentada, ACT 1/2



25

Segmentada, ACT 2/2



26

Interconexión jerárquico

- Se trabaja con segmentos de distinta longitud.
- Existe un nivel de jerarquía entre las pistas.
- Hay mejoras en velocidad y área con respecto a las FPGAs segmentadas.
- Los algoritmos de ruteo son más sencillos.

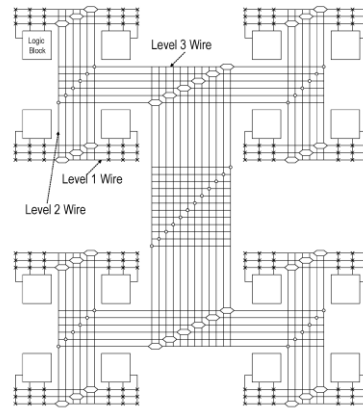


Fig: [ROS]

27

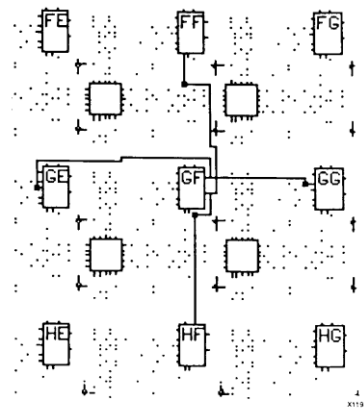
Interconexiones locales

- Las cadenas de *CARRY* y *CASCADA* (ALTERA).
 - Vías rápidas de conexiones de cada celda lógica con las inmediatas superior e inferior, orientados especialmente para acelerar la realización de operaciones aritméticas.
- Interconexión rápida directa (XILINX).
 - Son caminos potenciales entre cada celda y las 4 que la rodean, de propósitos generales y bajo tiempo de propagación.

28

Conexiones directas

- Provee un camino directo de cada CLB con los CLB o IOB adyacentes.
- Es un vínculo de bajo retardo.
 - Menos de 1 ns.
- Ejemplos: XC3000 y XC4000.



X11198

Fig: [XIL]

29

Conexiones directas, acarreo

- Ejemplo FLEX10K.

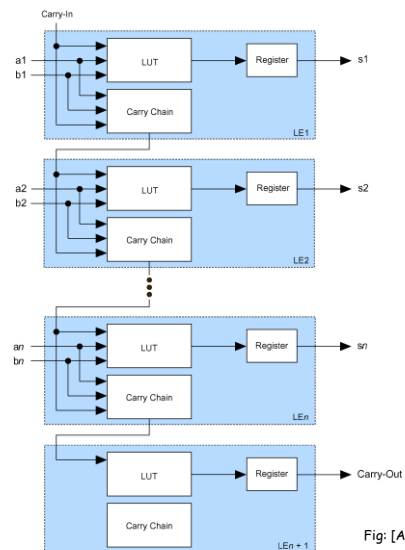


Fig: [ALT]

30

Conexiones directas, encadenamiento en cascada

- Ejemplo FLEX10K

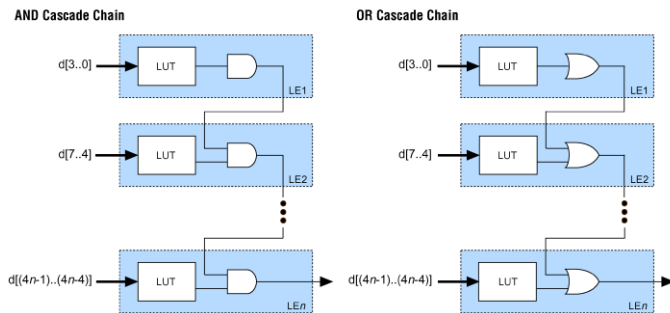


Fig: [ALT]

31

Interconexiones locales 1/2

- Se agrupan las celdas de síntesis lógica en bloques. (Logic Array Block, LAB, para Altera).
- Se reserva un área para interconexión local.
- Se tiene acceso a los caminos de interconexión global.

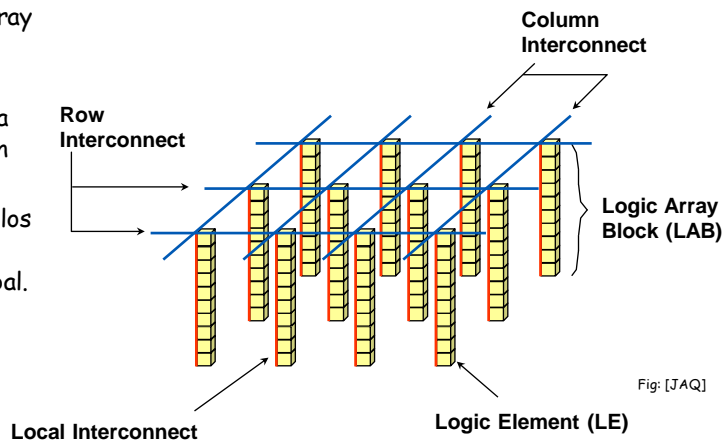


Fig: [JAQ]

32

Interconexiones locales 2/2

- Ejemplo FLEX10K

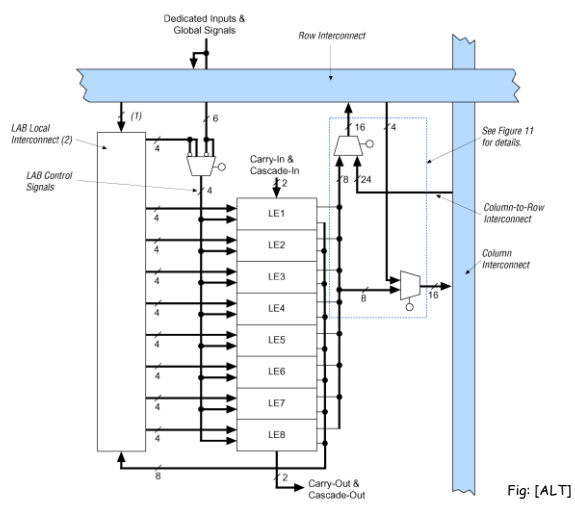


Fig: [ALT]

Interconexiones globales, fast track

- Ejemplo FLEX10K

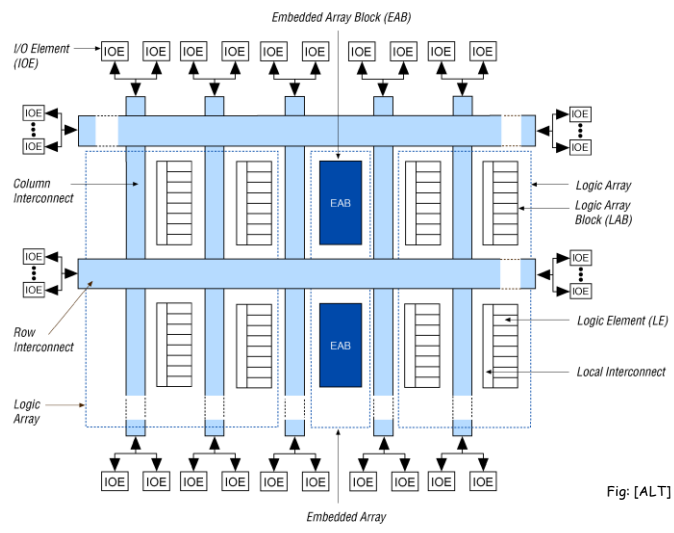


Fig: [ALT]

Interconexiones globales, long lines

- Ejemplo X3000

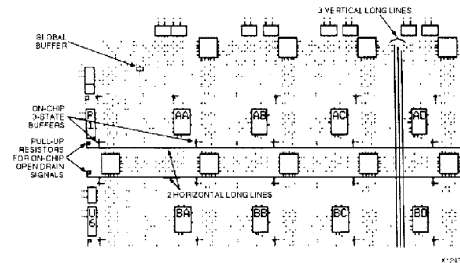


Figure 14: Horizontal and Vertical Longlines. These Longlines provide high fan-out, low-skew signal distribution in each row and column. The global buffer in the upper left die corner drives a common line throughout the FPGA.

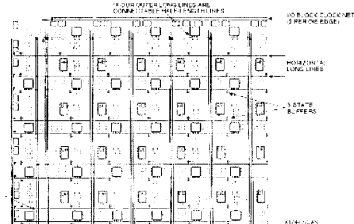


Figure 15: Programmable Interconnection of Longlines. This is provided at the edges of the routing area. Three-state buffers allow the use of horizontal Longlines to form on-chip wired AND and multiplexed buses. The left two non-clock vertical Longlines per column (except XC3020A) and the outer perimeter Longlines may be programmed as connectable half-length lines.

Fig: [XIL]

35

Interconexiones globales, líneas dedicadas

- Son líneas en todo el integrado que van hasta cada flip flop.
 - Ejemplo FLEX10K:
 - Hasta 8 señales de output enable.
 - Hasta 6 señales de clock enable.
 - Hasta 2 señales de reloj.
 - Hasta 2 señales de clear.

36

Líneas dedicadas, buffers

- Ejemplo X4000.

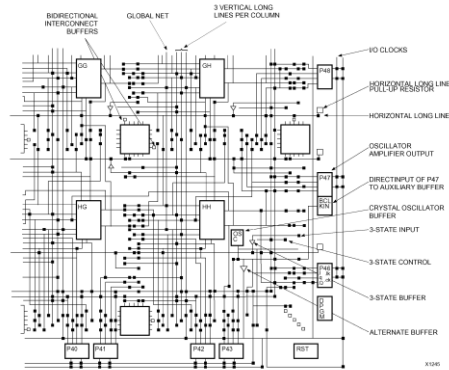


Fig: [XIL]