

LAPORAN
PRAKTIKUM TEKNIK DIGITAL
“JOB SHEET 7 - COUNTER ASYNCHRONOUS”



DISUSUN OLEH:

NAMA : DWI ARFIAN
NIM : 22520244009
PRODI : PEND. TEKNIK INFORMATIKA

FAKULTAS TEKNIK
UNIVERSITAS NEGERI YOGYAKARTA
TAHUN AJARAN 2022/2023

LAPORAN PRAKTIKUM TEKNIK DIGITAL

Nama	:	Dwi Arfian
NIM	:	22520244009
Mata Kuliah	:	Praktik Teknik Digital
Dosen	:	Dr. Umi Rochayati, M.T.
Tanggal Praktik	:	10-11-2022
Judul Job	:	Job Sheet 7 - Counter Asynchronous

A. Tujuan

Mahasiswa diharapkan dapat mengkaji prinsip kerja dari:

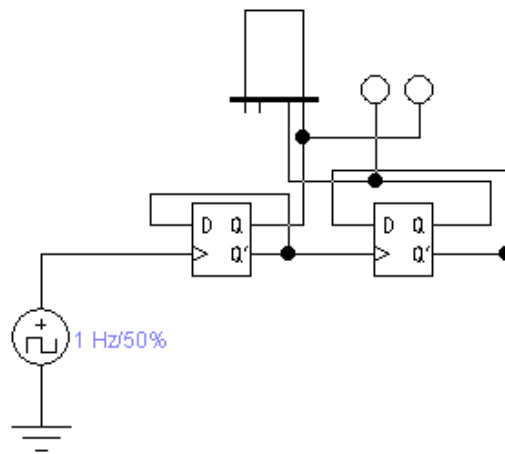
1. Counter Asynchronous modulo-4.
2. Counter Asynchronous modulo-8.
3. Counter Asynchronous modulo-16.

Yang tersusun dari D Flip-Flop dan JK Flip-Flop.

B. Langkah dan Hasil Percobaan

1. Uji Gambar 1. Masukan Clock dengan frekuensi 1 Hz!

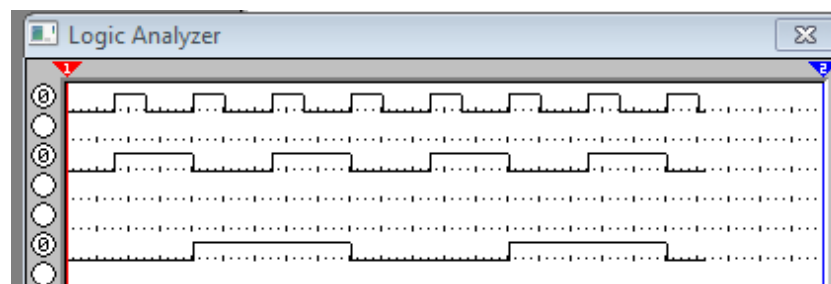
Hasil:



2. Amati dan catat setiap variasi masukan terhadap pola keluaran!

Hasil:

- a. Timing Diagram



b. Tabel *present state* dan *next state*

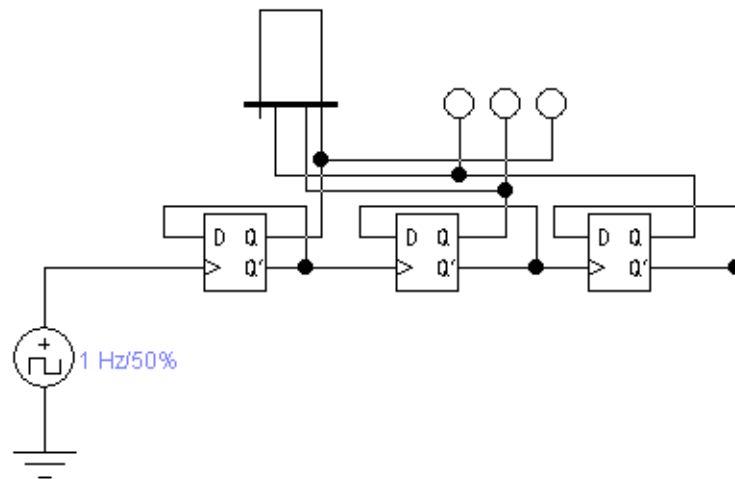
Present State		Next State	
Q1	Q0	Clock = 0	Clock = 1
0	0	0 0	0 1
0	1	0 1	1 0
1	0	1 0	1 1
1	1	1 1	0 0

3. Ulangi langkah 1 dan 2 untuk uji gambar 3, 4 dan 5.

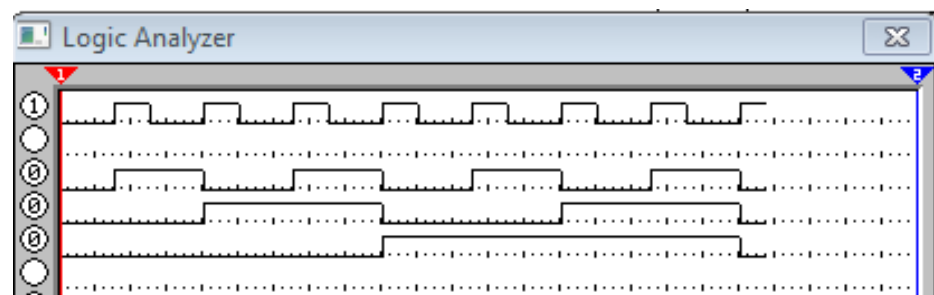
Hasil:

a. Gambar 3. Counter Up Asynchronous Modulo-8 D Flip-flop.

1) Gambar rangkaian masukan clock dengan frekuensi 1 Hz



2) Timing Diagram

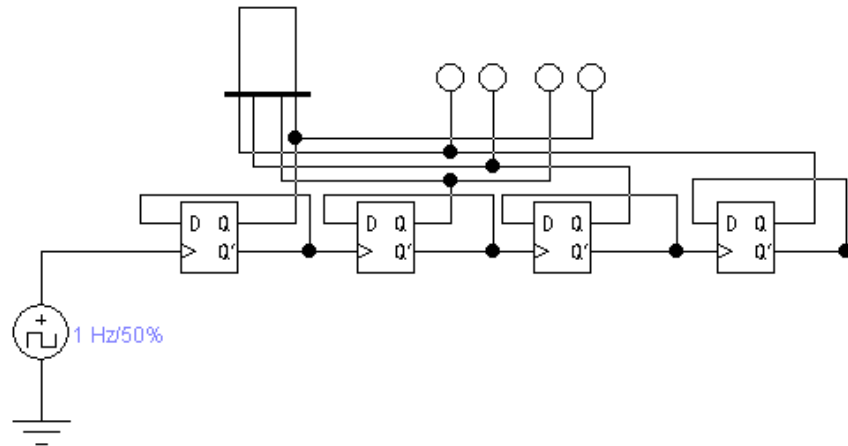


3) Tabel *present state* dan *next state*

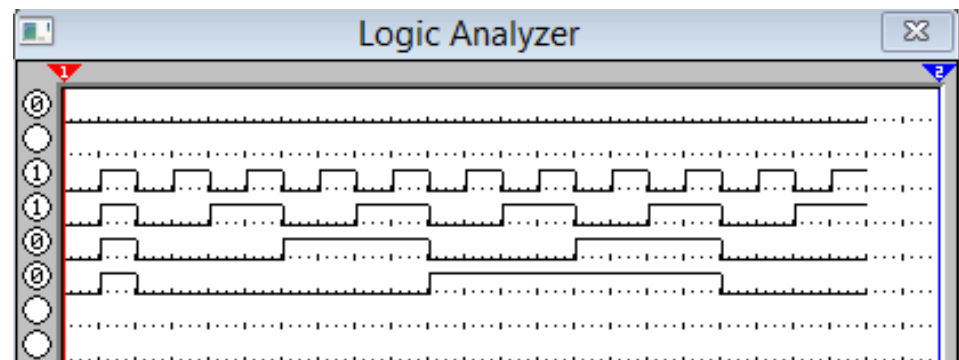
Present State			Next State	
Q2	Q1	Q0	Clock = 0	Clock = 1
0	0	0	0 0 0	0 0 1
0	0	1	0 0 1	0 1 0
0	1	0	0 1 0	0 1 1
0	1	1	0 1 1	1 0 0
1	0	0	1 0 0	1 0 1
1	0	1	1 0 1	1 1 0
1	1	0	1 1 0	1 1 1
1	1	1	1 1 1	0 0 0

b. Gambar 4. Counter Up Asynchronous Modulo-16 D Flip-flop.

1) Gambar rangkaian masukan clock dengan frekuensi 1 Hz



2) Timing Diagram

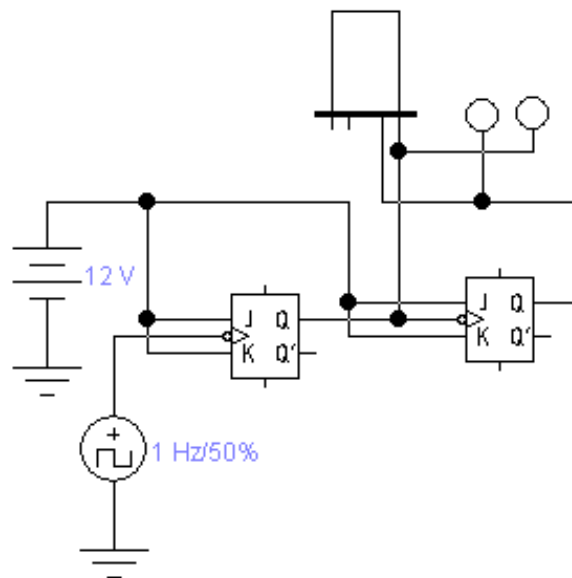


3) Tabel *present state* dan *next state*

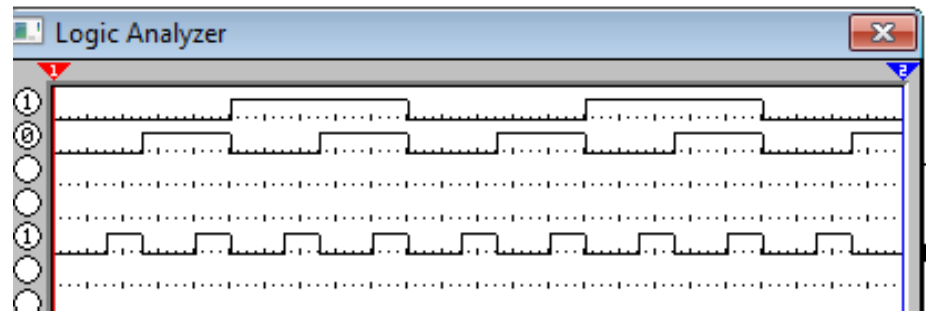
Present State				Next State	
Q3	Q2	Q1	Q0	Clock = 0	Clock = 1
0	0	0	0	0 0 0 0	0 0 0 1
0	0	0	1	0 0 0 1	0 0 1 0
0	0	1	0	0 0 1 0	0 0 1 1
0	0	1	1	0 0 1 1	0 1 0 0
0	1	0	0	0 1 0 0	0 1 0 1
0	1	0	1	0 1 0 1	0 1 1 0
0	1	1	0	0 1 1 0	0 1 1 1
0	1	1	1	0 1 1 1	1 0 0 0
1	0	0	0	1 0 0 0	1 0 0 1
1	0	0	1	1 0 0 1	1 0 1 0
1	0	1	0	1 0 1 0	1 0 1 1
1	0	1	1	1 0 1 1	1 1 0 0
1	1	0	0	1 1 0 0	1 1 0 1
1	1	0	1	1 1 0 1	1 1 1 0
1	1	1	0	1 1 1 0	1 1 1 1
1	1	1	1	1 1 1 1	0 0 0 0

c. Gambar 5. Counter Up Asynchronous Modulo-4 JK Flip-flop.

1) Gambar rangkaian masukan clock dengan frekuensi 1 Hz



2) Timing Diagram



3) Tabel *present state* dan *next state*

Present State		Next State	
Q1	Q0	Clock = 0	Clock = 1
0	0	0 0	0 1
0	1	0 1	1 0
1	0	1 0	1 1
1	1	1 1	0 0

C. Analisis

Dari hasil percobaan yang telah saya lakukan, saya mendapatkan beberapa data:

1. Dari percobaan ini menggunakan D FF, dalam hal ini clock bermula dari nol lalu ketika sampai biner 3, clock akan berulang lagi dari nol. Sesuai dengan logic analyzer diatas.
2. Dalam percobaan counter asynchronous modulo-8 menggunakan D FF, dalam hal ini clock bermula dari nol, lalu ketika telah mencapai biner 7. Maka clock akan berulang kembali menjadi nol dan begitu seterusnya.
3. Dalam percobaan counter asynchronous modulo-16 menggunakan D FF, dalam hal ini clock bermula dari nol, lalu ketika telah mencapai biner 15. Maka clock akan berulang kembali menjadi nol dan begitu seterusnya.
4. Dalam percobaan Counter Asynchronous ini menggunakan JK FF modulo-4. Clock akan berawal dari nol, kemudian setelah sampai biner 3 akan berulang lagi dari nol.

D. Kesimpulan

Dari percobaan di atas dapat disimpulkan bahwa:

1. Counter Asynchronous merupakan rangkaian flip-flop yang outputnya akan berubah bergantian dari kondisi 0 ke 1 dan sebaliknya secara berurutan atau langkah demi langkah, hal ini disebabkan karena hanya flip-flop yang paling ujung saja yang dikendalikan oleh sinyal clock, sedangkan sinyal clock untuk flip-flop lainnya diambalikan dari masing-masing flip-flop sebelumnya.
2. Dalam rangkaian counter asynchronous, setelah flip-flop telah mencapai biner tertinggi, maka flip-flop akan berulang kembali ke biner awal yaitu nol.