

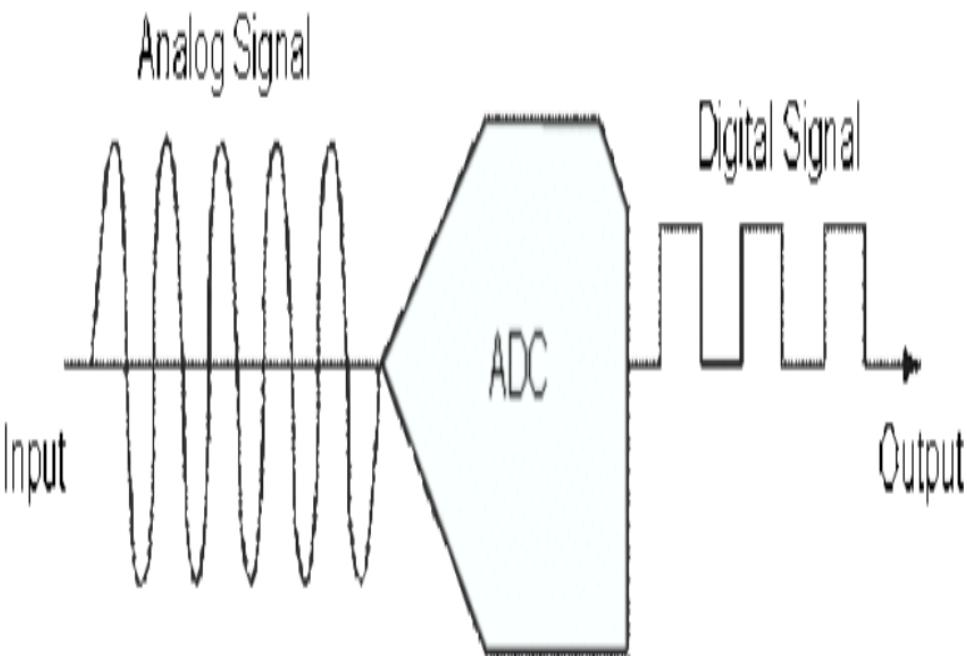
טטיינה אבו שקרה
מריה נחלה

Digital-circuits
The-Circuit-Designer-s-Companion.

Interfacing Analog and Digital Circuits: Key Challenges and Best Practices

& LOGIC ICs

מה נלמד היום?



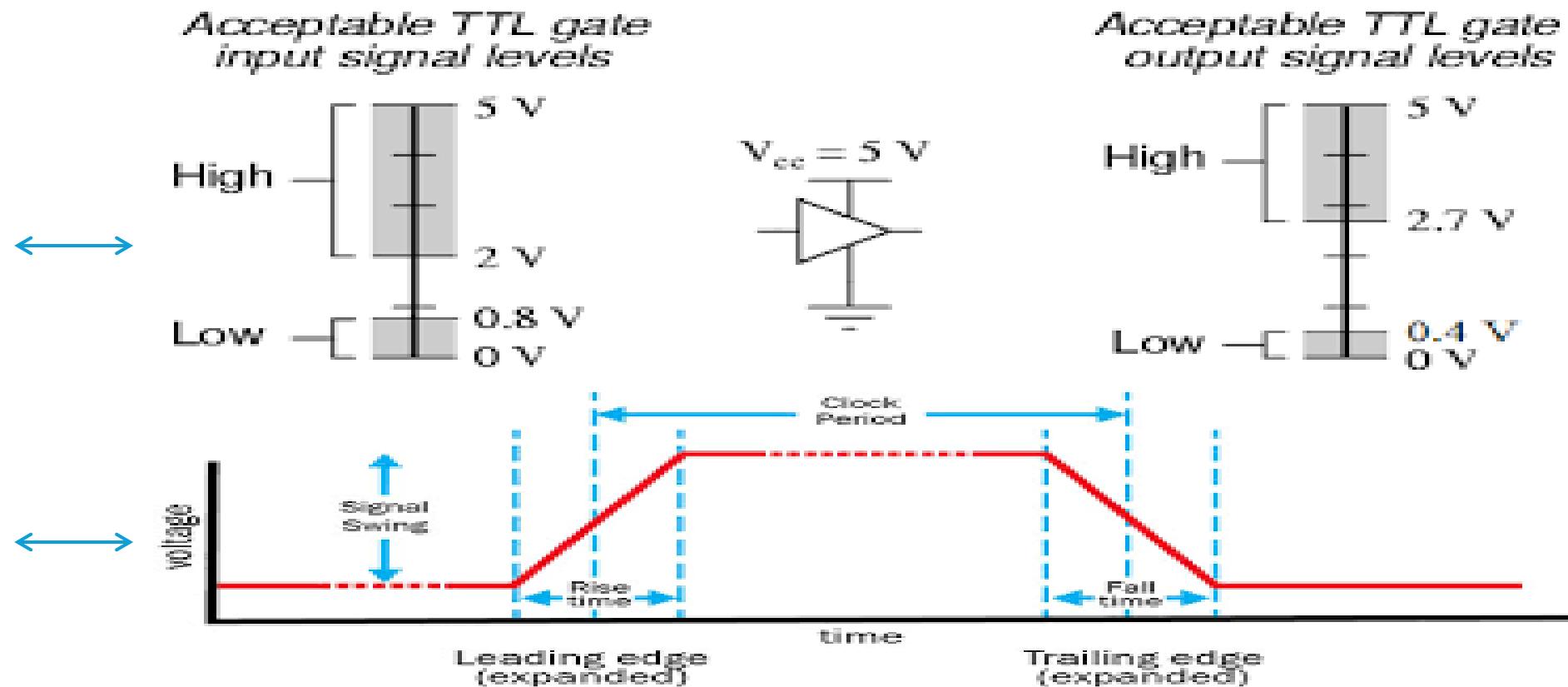
1. מבוא לUMEידות לרעש ו壽י מתחים
- 2.UMEידות לרעש: מושגים ומשמעות
- 3.UMEידות לזרם ושימוש בנגדי משיכת במשקי לוגיקה
4. תאימות רמות מתחים במשקי לוגיקה
5. פנ-אוט ועומס פלט בمعالגים דיגיטליים
6. מבוא לחבר מעגלים אנלוגיים וdigיטליים.
7. רעש במעבר דיגיטלי ודיוק ממיר אנלוגי לדיגיטלי (ADC)
8. אסטרטגיית ניהול לניהול רעש במתוח אדמה
9. הארקה במערכות לוח בודד ובמערכות רבות לוחות
10. יצירת רמות דיגיטליות מקלטים אנלוגיים
11. מניעת רעדות מגע (De-bouncing) בקלטים ממפסקים למערכות דיגיטליות
12. הגנה מפני מתחי יתר חיצוניים

מבוא לuemידות לרעש וופי מתחים

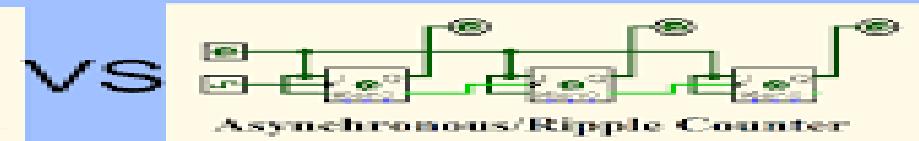
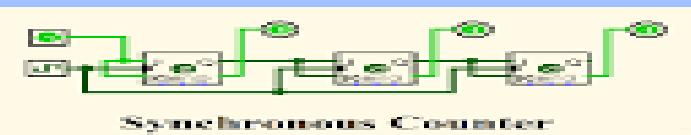
התרשימים מתאר אילו ערכיים מתח נחשיים כ "1" ואילו ערכיים מקבל "0" כאשר הוא בפועל מקבל ערכיים בין 5-0 וולט

מתאר את הרגע שבו אוטם דיגיטלי משטנה אחד למצב אחר וזה מראה שההעברה היא לא מיידית

מתאר שני דוגמים עיקריים של מעגלים דיגיטליים לפי הדרך שבה הם מתזמנים פעולות סינכרון= עם השעון אסינכרוני= בלי שעון



Synchronous & Asynchronous Counters



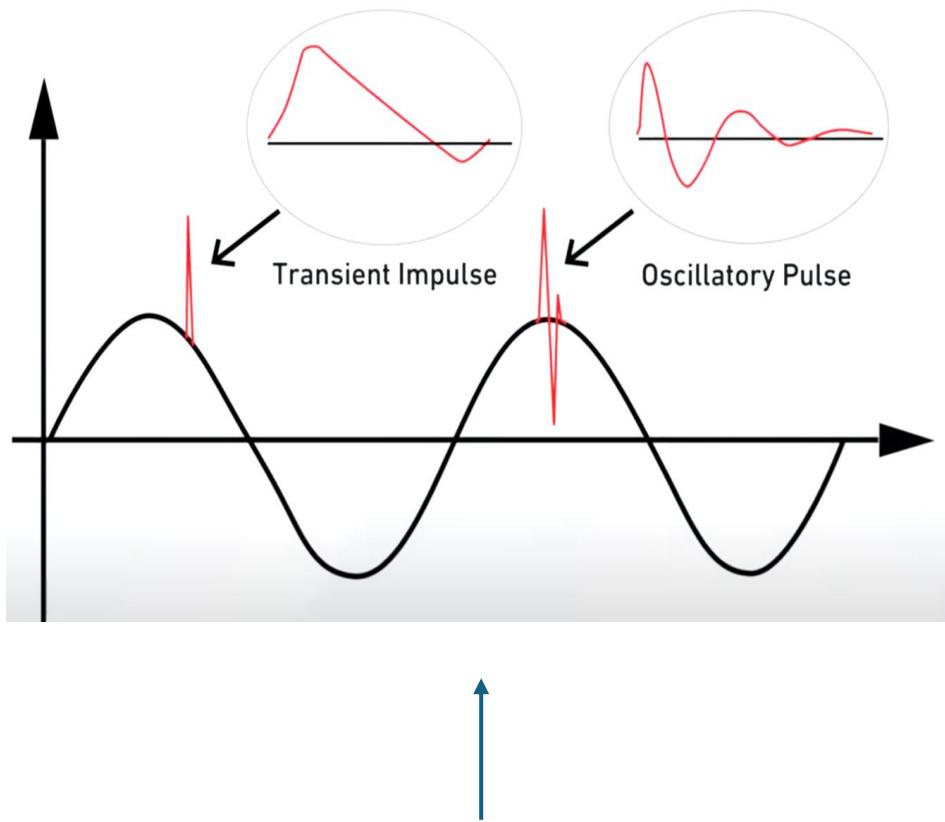
QUIZ

**למה שימוש בمعالג אסינכרוני עלול לגרום
לבעה של "glitch" או "hazard"?**

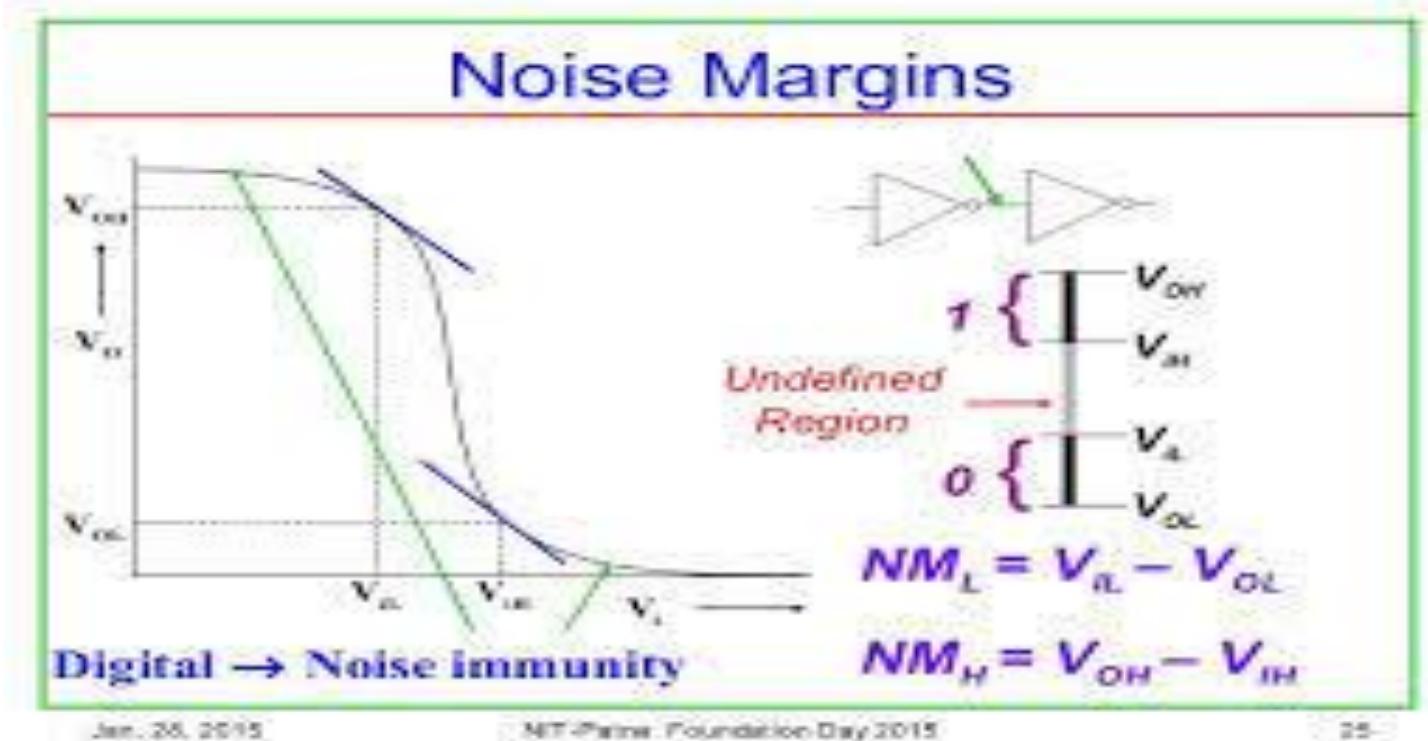
- A) כי אין בו כניסה לוגיות
 - B) כי אין תיאום מדויק בין זמני הגעת אוטות
 - C) כי הוא עובד לפחות יותר
 - D) כי הוא מבוסס רק על קבליים
- התשובה **B** נכונה כי:
בمعالג אסינכרוני, אותן מגיעות בזמנים שונים
כי אין שעון שמסynchronizes אותם.
ఈ הרכישות לא משתנות בבדיקה ייחד – הפלט עלול
לקפוץ בטעות לרגע.
לעתה או **hazard** או **glitch**.



עמידות לרעש בלוגיקה דיגיטלית

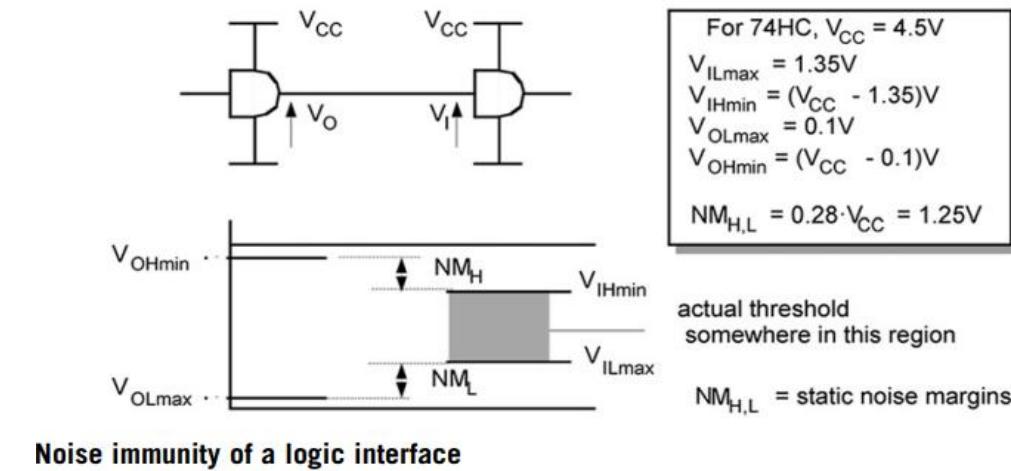
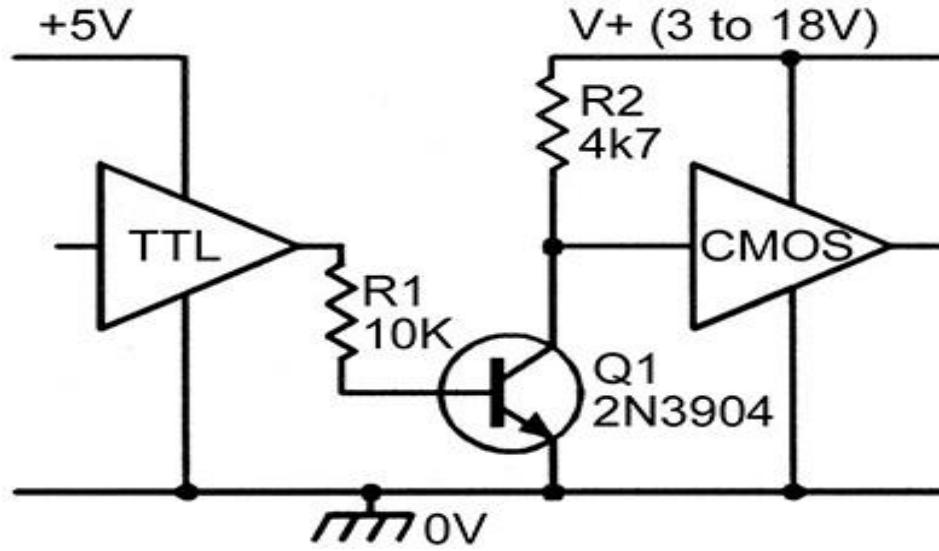


עמידות לרעש דינמית : מתייחסת להפרעות מהירות (פולטים). רכיבים מגיבים פחות טוב לשינויים מהירים. רוחב ועוצמה קבועים אם תתרחש שגיאה.



הוּא המרווח שמאפשר מעגל זהה נeon 0 או 1 גם כשייש הפרעות במתח

עמידות לרעש בלוגיקה דיגיטלית



מה הבעה?

כשאתה מחבר רכיב משפחה אחת לרכיב משפחה אחרת, הם לא תמיד "מדברים באותו שפה":

התוצאה: **הרכיב הקולט לא מזהה את אותות נכון → תקלה לוגית**

QUIZ

איזה מהתשובות מתארת בצורה הטובה ביותר ביוטר מתי רכיב לוגי עלול לטעות כתוצאה מרعش דינמי?

- A) כאשר המתח יציב אך נמור מהמומטר
- B) כאשר מתקיים פולס קצר אך בעוצמה גבוהה מספיק
- C) כאשר כל הכניסות במתוח אפס
- D) כאשר זמן העלייה של השעון איטי מדי

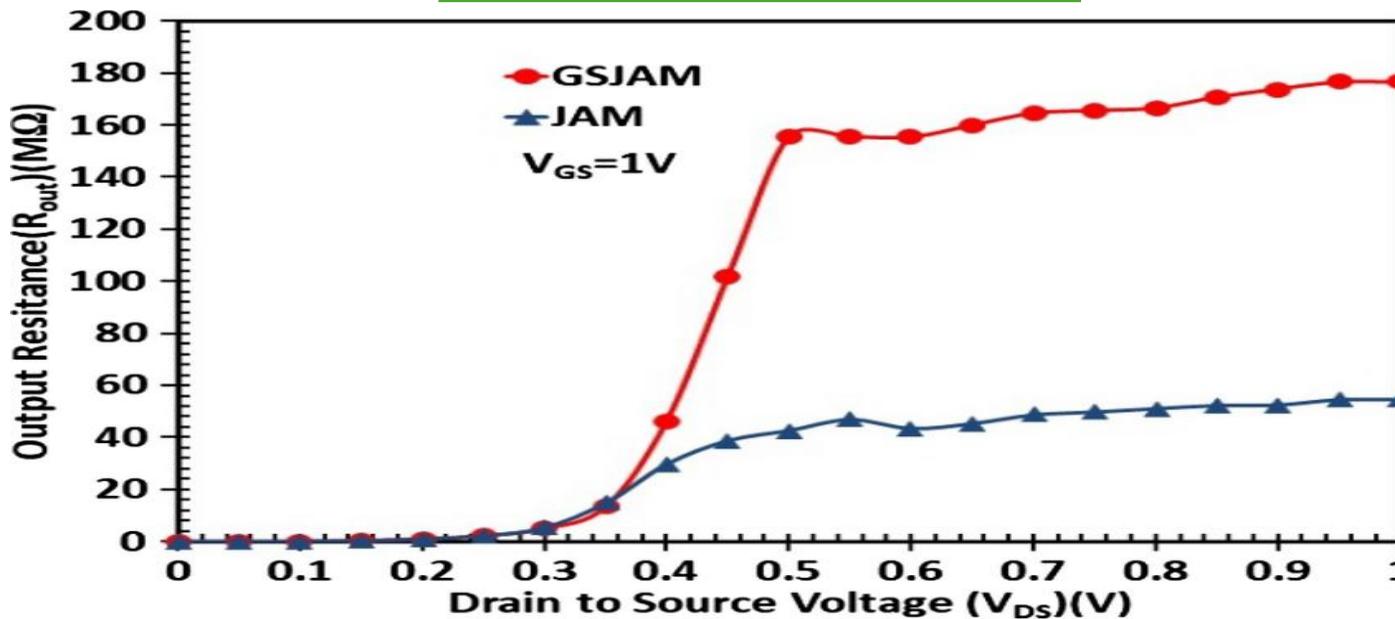
הסבר לתשובה הנכונה: (B)

- רعش דינמי מתבטא בפולסים קצרים ומהירים (glitches). אם הפולס מספיק חזק (במתוח) ו/או ארוך (בזמן) — הרכיב עלול **לפרש אותו בטעות כניסה תקיפה, ולפעול לא נכון**.

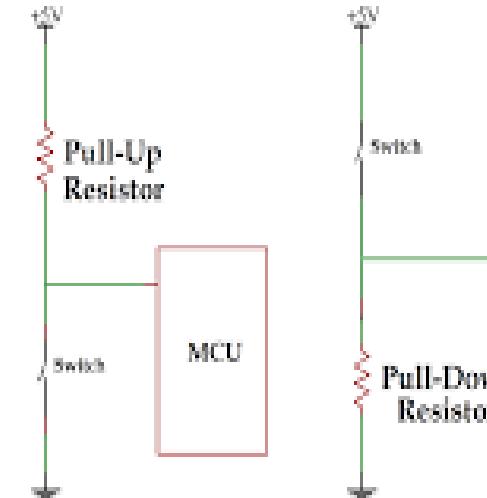


עמידות לזרם ונגדי משיכת במתוך לוגיקה

סקירה על עמידות לזרם



נגדי משיכת חיצוניים



PULL-UP
PULL-DOWN
RESISTORS

סקירה על עמידות לזרם

טקסט תמציתי לשקף:

- עמידות לזרם משפיעה על עמידות לרעש.
- התנגדות גבואה → רגישות לרעש, במקרה ב- CMOS כמו 4000B.
- במתח גבוה – עמידות משתפרת עקב ירידת התנגדות הפלט.

גרף שמרת איר התנגדות הפלט ($impedance$) כשהמתך עולה → זה תומך בטענה שבמתח גבוה – העמידות לרעש משתפרת

נגדי משיכת חיצוניים
טקסט תמציתי לשקף:

- כשיין התאמה בין משפחות לוגיקה → דרוש נגד pull-up.
- לדוגמה: TTL-LS לא מספק לוגיקה '1' חזקה מספיק HCMOS.
- ערך הנגד תלוי בזרם הדרוש וב מהירות המיתוג.

עמידות לזרם ונגד משייכת במתוך לוגיקה

- משפחת HCTMOS מותאמת לכינוסה TTL זהה יתקיים כאשר יש חפיפות בין רמות המתח

- אנחנו רואים כיצד HCT שומרת על רמות הקלט של TTL, מה שמאפשר שילוב בין רכיבי TTL, CMOS, TTL לא ציריך נגד חיצוני

HCT מציעת מהירות גבוהה יותר
וכריכת זרם נמוכה יותר בהשוואה ל-
TTL מה שוביל לעליות גבוהה
יותר במערכות דיגיטליות.

פתרונות מודרניים – HCTMOS

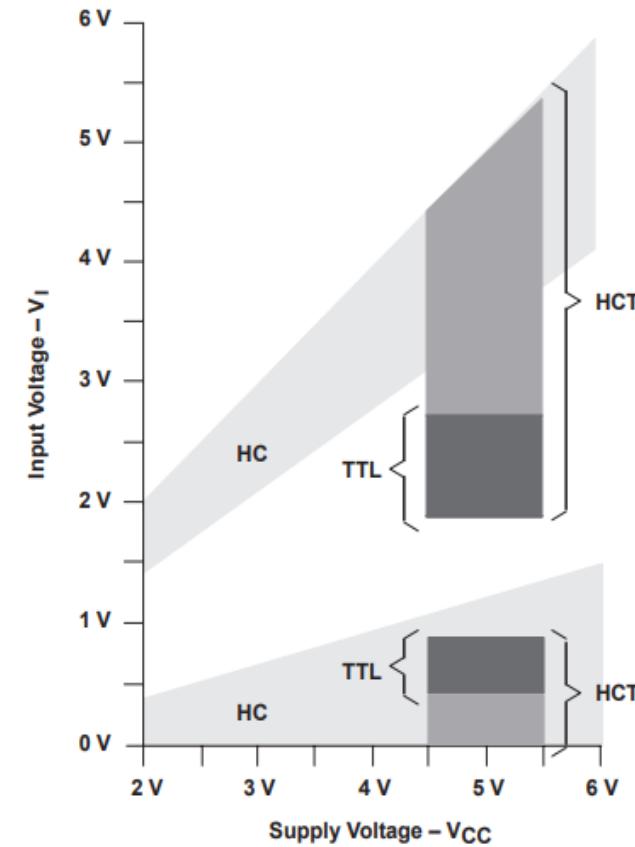


Figure 3. Specified Noise Margins for HC, HCT, and TTL Devices

הצגנו שני פתרונות עכשוויו רוצים לדעת למי יש עדיפות יותר ?

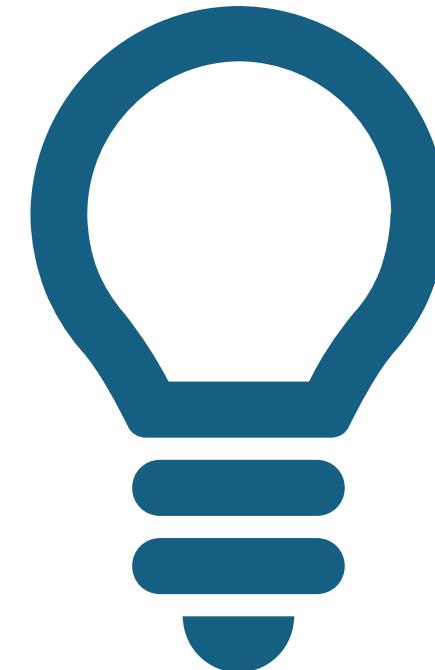
פתרון 1: שימוש בנגד Pull-Up

יתרונות:

- ♦ פשוט ליישום
- ♦ זמין וזול – רק להוסיף נגד.
- ♦ לא מצריך שינוי ברכיבים עצם

חסרונות:

- ♦ מוסיף עכבה לקו – עלול להאט מעברים (בעיקר ב- high-speed).
- ♦ דרוש חישוב מדויק של ערך הנגד כדי לא להעמיס על ה-LS-TTL.
- ♦ פחות אמין בשימוש בתדרים גבוהים או עומסים משתנים.
- ♦ לא פתרון "טבעי" – תיכון למצב בעייתו, לא תכנון אופטימלי.



הציגו שני פתרונות עכשוויו רוצים לדעת למי יש עדיפות יותר ?

- פתרון 2: שימוש בـ **SOTMOS** למשל ממשפחה HCT74

יתרונות:

- מתאים מראש לرمות – TTL עובד "מהקופסה" עם LS-TTL.
- אמין ו מהיר יותר – אין צורך בנגד חיצוני שמאט את הקו.
- יותר מתאים לתכנון מודרני ו מסודר.
- פחות סיכוי לביעות עתידיות עם טמפרטורה, עומס או רעש.

חסרונות:

- מצרי שימוש ברכיב אחר (שינוי בראשימת הרכיבים).
- אולי פחות נוח אם כבר יש רכיבי CMOS קיימים במלאי.

המליצה – **SOTMOS**

פתרון המועדף

למה?

הוא תואם TTL טבעי – בניית
בדיקות למקרים כאלה.
חסוך צורך בנגד – פשוט, נקי,
מקצועי.

אמין יותר, מהיר יותר, ומתאים
טוב יותר לתכנון מודרני.

QUIZ

במערכת דיגיטלית המשלבת רכיבי TTL עם רכיבי CMOS, מהו הפתרון המתאים ביותר לשימירה על תאיות לוגית, עמידות לזרם, והפחיתת הצורך בנגדית משיכה?

- א. שימוש בנגדית קע-אלקטרו-יזוניים בערך קבוע (לדוגמה 10 Ω אבכל קו)
 - ב. החלפת כל רכיב TTL ברכיבי CMOS טהורים (משפחת HC)
 - ג. שימוש במשפחת HCT Hشتוכננה להיות תואמת לرمות TTL
 - ד. חיבור ישיר ללא שום התאמת – אין בעיה תאימות בمعالגים דיגיטליים
- תשובה נכונה: ג. שימוש במשפחת HCT Hشتוכננה להיות תואמת לرمות TTL



חסינות לרעש דינמי (Dynamic Noise Immunity)

- מה זה?
- חסינות לרעש דינמי** (Dynamic Noise Immunity) היא היכולת של רכיב לוגי להתעלם מרעשים מהירים – כלומר, הפרעות קצרות בזמן שמנסות "להתחזות" לאות תקין.

4. חסינות דינמית תליה גם בתכנון – PCB לא רק בטכנולוגיה

סטודנט יגיד: "זה תלוי במתח". V_H/V_L מהנדס יגיד: "תלוי גם בכיוון המסלולים, אורך הדרכות ground bounce."

לדוגמה:

- אם מסלול האות רץ מקביל למסלול של שעון – הוא עלול לקЛОוט רעש גבוה בבדיקה באורך "המסוכן".
- אם הדרכות ground לא מוחזק כמו שצריך – קפיצות בה-path return path returnpath ישרות על מתח הקולט.

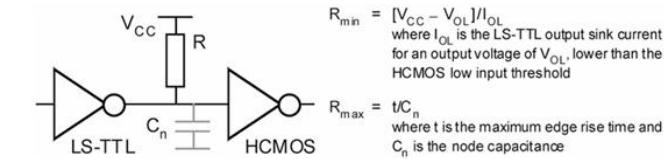
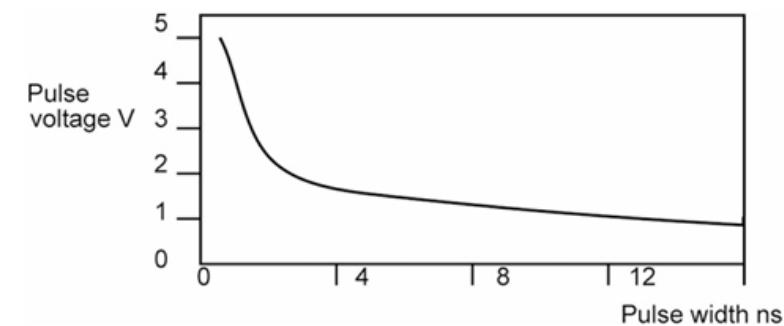


FIGURE 6.3 Logic interface pull-up resistor



תאי מות רמות מתחים בממשק לוגיקה

פתרונותות לרמות לוגיקה לא תואמות
שיטות נפוצות:

- **Level Shifter** – רכיב שممיר את רמת המתח בין רכיבים שונים (למשל 3.3V ↔ 5V)
- **שימוש במשפחה HCT** – רכיבי לוגיקה שתוכננו כך שיהיו תואמים לרמות TTL מאפשרים חיבור ישיר ללא נגד משיכה.

שיטה מתקדמת:

- **בידוד אופטי (Opto-Isolator)** – מפריד חשמלית בין רכיבים, משמש כשנדרש גם בידוד וגם תיאום מתחים, למשלמערכות ריגישות או עם רעש גובה.



QUIZ

מהו הסיכון המרכזי בחיבור ישיר של רכיב לוגי הפעול במתח של 3.3 עלרכיב אחר הפעול במתח של 5, ללא שימוש ברכיבי התאמה?

- א. הרכיב ב-3.3 *זהה תמיד לוגיקה '0' מה-5*
- ב. יוצר מצב לא מוגדר ויתכנו שגיאות לוגיות
- ג. המתח הנמוך "ידף" את המתח הגבוה למיטה
- ד. המעביר יהיה איטי מדי ויגרום לחיכום הרכיבים

תשובה נכונה: ב.

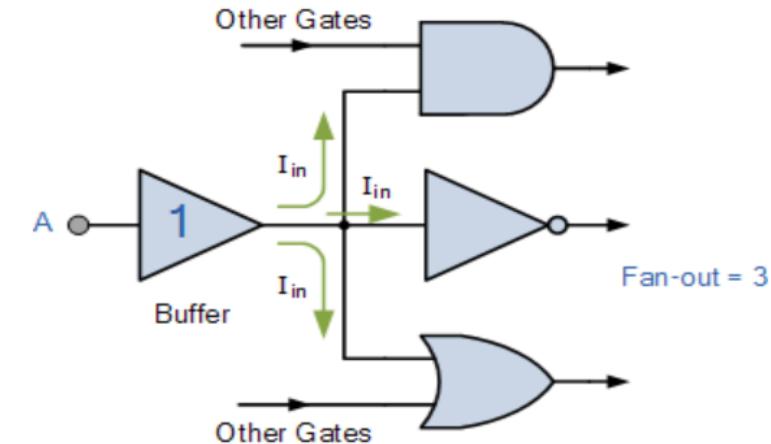
הסבר: רמות לוגיקה לא תואמות עלילות ליצור מצב שבו הרכיב ב-3.3 *אינו זהה* כראוי את הלוגיקה מה-5 *או להפר*. התוצאה – **מצב לוגי לא מוגדר שיכל להוביל להתנהגות לא צפואה או תקלת בمعالג.**

פנ-אואט (Fan-Out) ועומס פלט במעגלים דיגיטליים

1. מושג Fan-Out

- Fan-Out = כמה שערים לוגיים פלט אחד יכול להפעיל בלי לפגוע באמיניות.
- נקבע לפי יחס זרם הפלט לזרמי הקולט המכתוברים של הרכיבים המחברים.
- חשוב במיוחד בשערים TTL ובמערכות עם דרישות דיווק.

Digital Buffer Fan-out Example



השפעת עומס על אוטות דיגיטליים

1. עומס חשמלי (זרם)

- ככל שמחברים יותר רכיבים לפלט, הזרם שהפלט צריך לספק עולה.

2. עומס קיבולי (מהירות)

- כל קלט שמחבר מוסיף קיבול, מה שגורם לפחות להימשך יותר זמן ולהאט את המעברים.

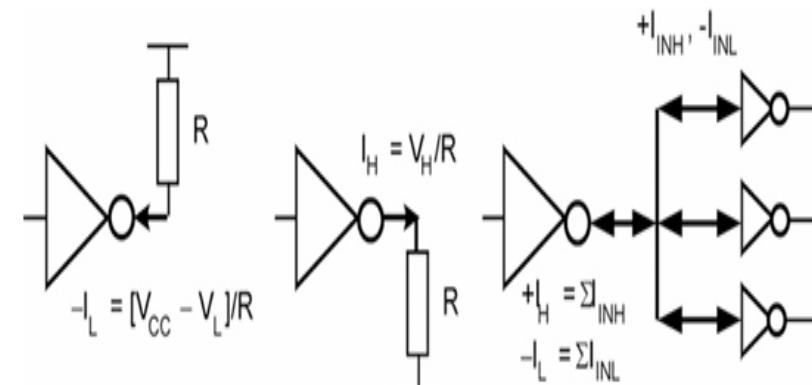


FIGURE 6.5 Logic output loading

"גרף זרם לעומת מתח ביציאה שער לוגי LOW ו-HIGH

- **Fan-out** הוא מספר הקולטים ששער לוגי אחד יכול להפעיל ביציאה שלו בלי שהמתה ייפול מתחת לרמות התקניות (.) V_{OL}/V_{OH}

כדי שזה יקרה, צריך שהשער יוכל **לספק מספיק זרם** (במצב HIGH או לשקוע מספיק זרם במצב LOW) ועדין לשמור את המתח **בתוך האזור האפור שבתמונה** (כלומר בתחום התקני).

מה הגרפים מראים?

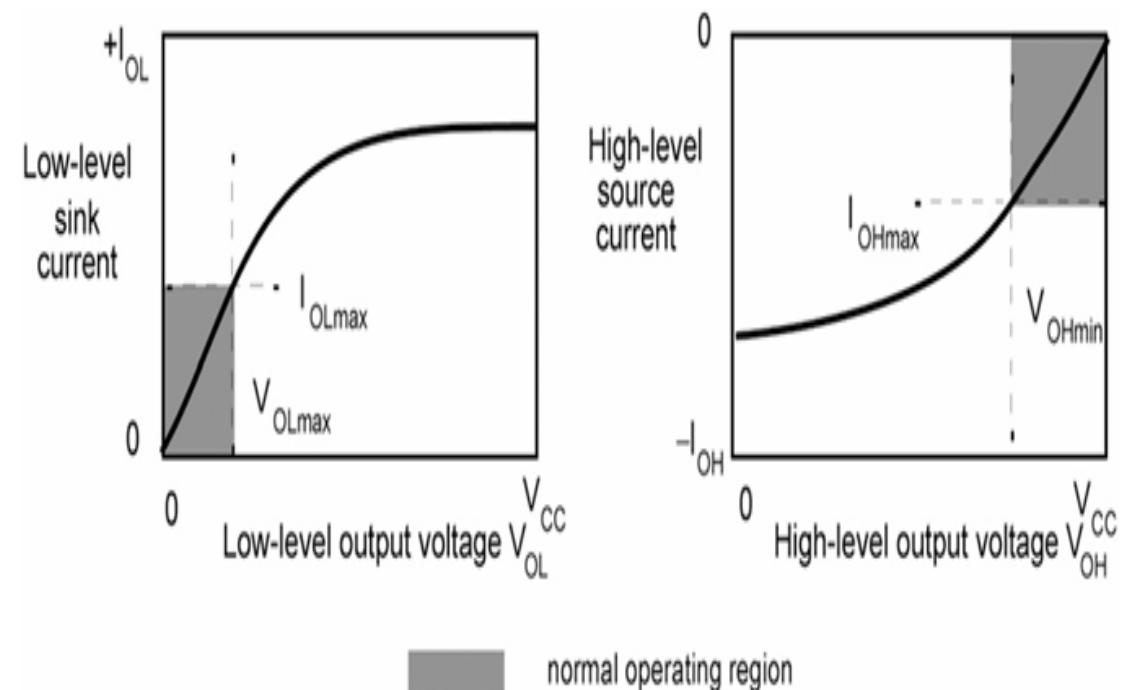
הграф השמאלי: ככל שהשער צריך **לשקוע יותר זרם** (I_{OL} עולה), המתח ביציאה עולה ועשוי לצאת מתחום של לוגי "0" \rightarrow עלול לגרום לשגיאת לוגיקה.

הграф הימני: ככל שציריך **לשקע יותר זרם** (I_{OH} המתח יורד ועשוי לרדת מתחת ל- V_{OHmin} גם כן עלול להיווצר "1" לא תקין).

המסקנה:

כל שמחברים יותר קולטים ליציאה אחת (יותר, Fan-out, קר דרישת הזרם מהיציאה **גדלה**).

אם נעבור את I_{OLmax} או, V_{OLmax} המתח ביציאה יצא מתחום האפור, ונקבל לוגיקה לא תקינה.



מבוא להיבור מעגלים אנלוגיים וdigיטליים

כאשר מוצבים מעגלים שמשלבים בין אנלוגי לדיגיטלי, קיימים שני אתגרים עיקריים :

- מניעת רעשים ממיתוג דיגיטלי שמזהמים את האות האנלוגי: במעגלים דיגיטליים יש תהליכי מיתוג (הפעלת וכיבוי זרם) שיכולים ליצור רעשים חמליים. רעשים אלו עלולים להפריע למעגלים האנלוגיים ולזלם את האותות שלהם.

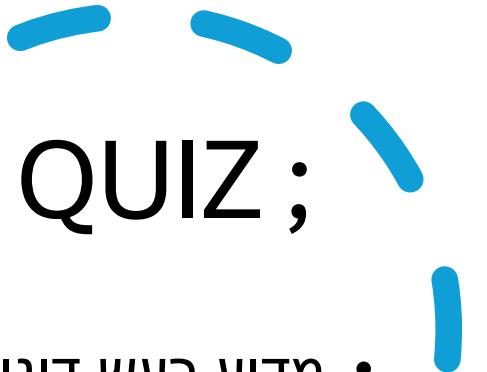
דוגמה: נניח שיש לנו מגבר שמע אנלוגי על אותו PCB כמו מעבד דיגיטלי. אם המעבד מייצר הרבה רעש חמלי, זה יכול לגרום לאיכות שמע ירודה בмагבר.

- התאמת טווחי המתחים של כניסה אנלוגיות למעגל הדיגיטלי: המעגל האנלוגי עשוי לייצר אותן בטווח מתח רחוב יותר מהטווח שהמעגל הדיגיטלי מסוגל לקרוא. יש צורך בתאימות ביניהם.

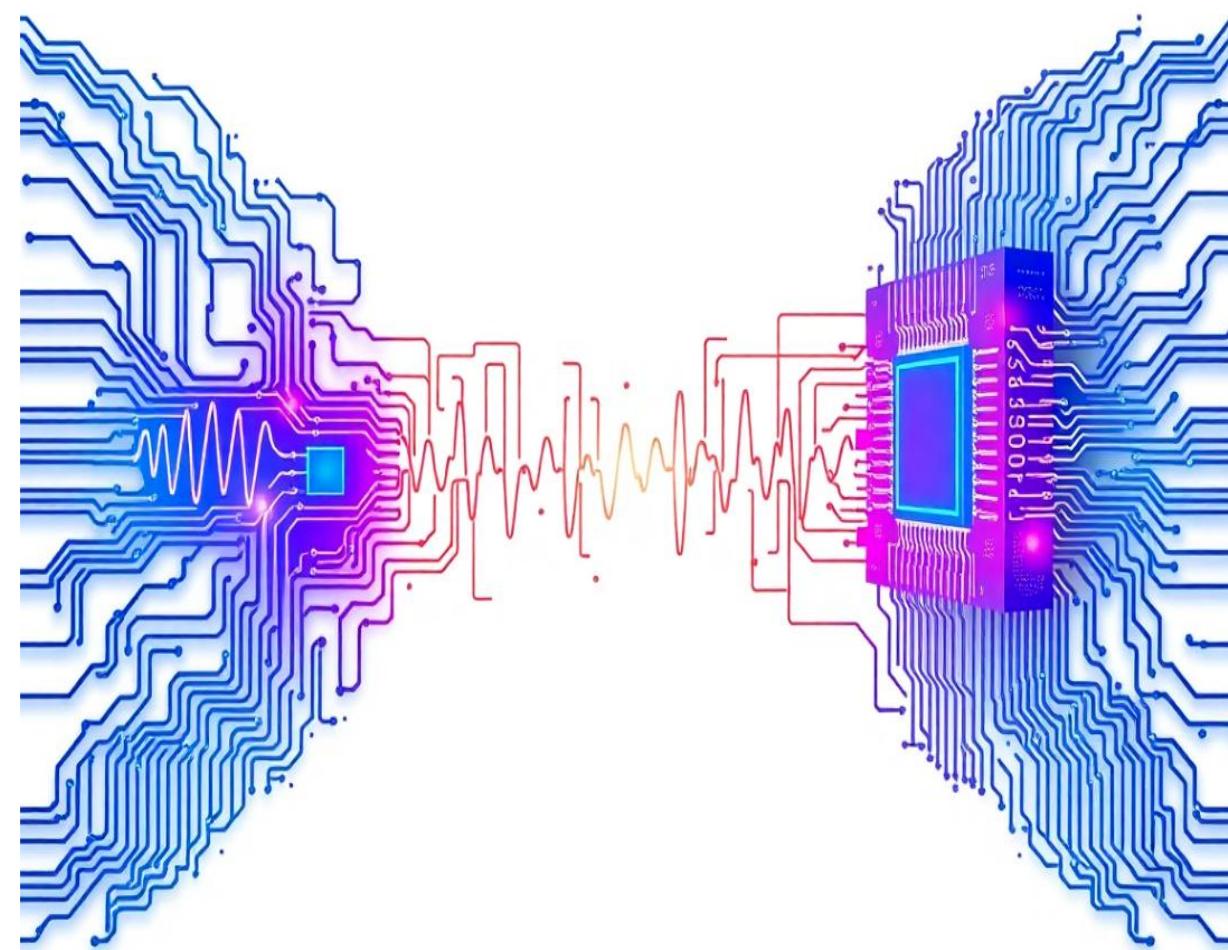
דוגמה: אם חישן למדידת טמפרטורה מוציא אותה אנלוגי בין 0 ל-5 וולט, אך הרכיב הדיגיטלי מסוגל לקרוא רק טווח של 0 ל-3.3 וולט, נדרש ממיר או מגביל מתח.

באו נבחן כיצד ניתן להטגבר על אתגרים אלו בתכנון המעגלים שלנו

מוכנים ???



QUIZ;

- 
- מדוע רעש דיגיטלי משפיע יותר על אוטות אנלוגיים מאשר על אוטות דיגיטליים?
 - א. רעש דיגיטלי פוגע בתדרים גבוהים בלבד.
 - ב. אוטות אנלוגיים רגישים יותר לרעש כי הם משתנים רציף.
 - ג. אוטות דיגיטליים אינםמושפעים מרעש כלל.
 - - ***תשובה נכונה*:** ב. אוטות אנלוגיים רגישים יותר לרעש כי הם משתנים רציף.

Ground Noise -

רעש קרקע
ורזולוציה



מהו רעש קרקע? רעש המגיע ממיתוג דיגיטלי או מקורות חיצוניים עלול לשבש את האותות האנלוגיים ולהפחית את דיוק ההמרה האנלוגית-לדיגיטלית (ADC).

מהי רזולוציה?

רזולוציה מטארת את השינוי המתוך המינימלי שמסוגל מטוגן לזהות ולהמיר לביט אחד.

רזולוציה ודיוק: ככל שמעלים את רמת הדיוק (יותר ביטים ב-), (ADC)atosות המתוך שכל בית מיצג קטן יותר. לדוגמה:

ב-12 ביט, איזודאות ברעש היא 4.24 mV .

ב-16 ביט, רעש קטן כמו 150 fN יכול לשבש את הדיוק.

בעיה מרכזית:

רעש חזדר בرمות דומות לרזולוציה עלול להפוך את ה- ADC אלבלתי שימוש, גם אם הוא נחשב "מדויק".

הטבלה מציגה את רזולוציית המתח
(Voltage Resolution) עבור כל אורך מילה
בממ'יר ADC בטווח מלא של 10^{10} וולט:

משמעות: ככל שרמת הדיווק עולה
(יותר ביטים) היכולת להבחין
בשינויים קטנים במתח משותרת.

Table 6.1 ADC Resolution Voltage for Different Word Lengths, 10 V Full-scale

Word length	Resolution voltage
8 bit	39 mV
10 bit	10 mV
12 bit	2.4 mV
14 bit	0.6 mV
16 bit	0.15 mV



QUIZ;

- מדוע ADC ביחסו גבואה פגיע יותר לרעש?
 - א. כי הוא עובד בתדרים גבוהים יותר.
 - ב. כי השינוי המתחי הנדרש קטן יותר.
 - ג. כי רעש דיגיטלי אינו משפיע על ADC.
- תשובה נכונה: ב. כי השינוי המתחי הנדרש קטן יותר.

Key Strategies for Managing Ground Noise

Essential Grounding Practices

הפרדת הארകות:

עקרון מרכזי:

יש להפריד בין הארקה האנלוגית להארקה דיגיטלית ולחבר בינהן רק בנקודת אחת מוגדרת.

موقع החיבור:

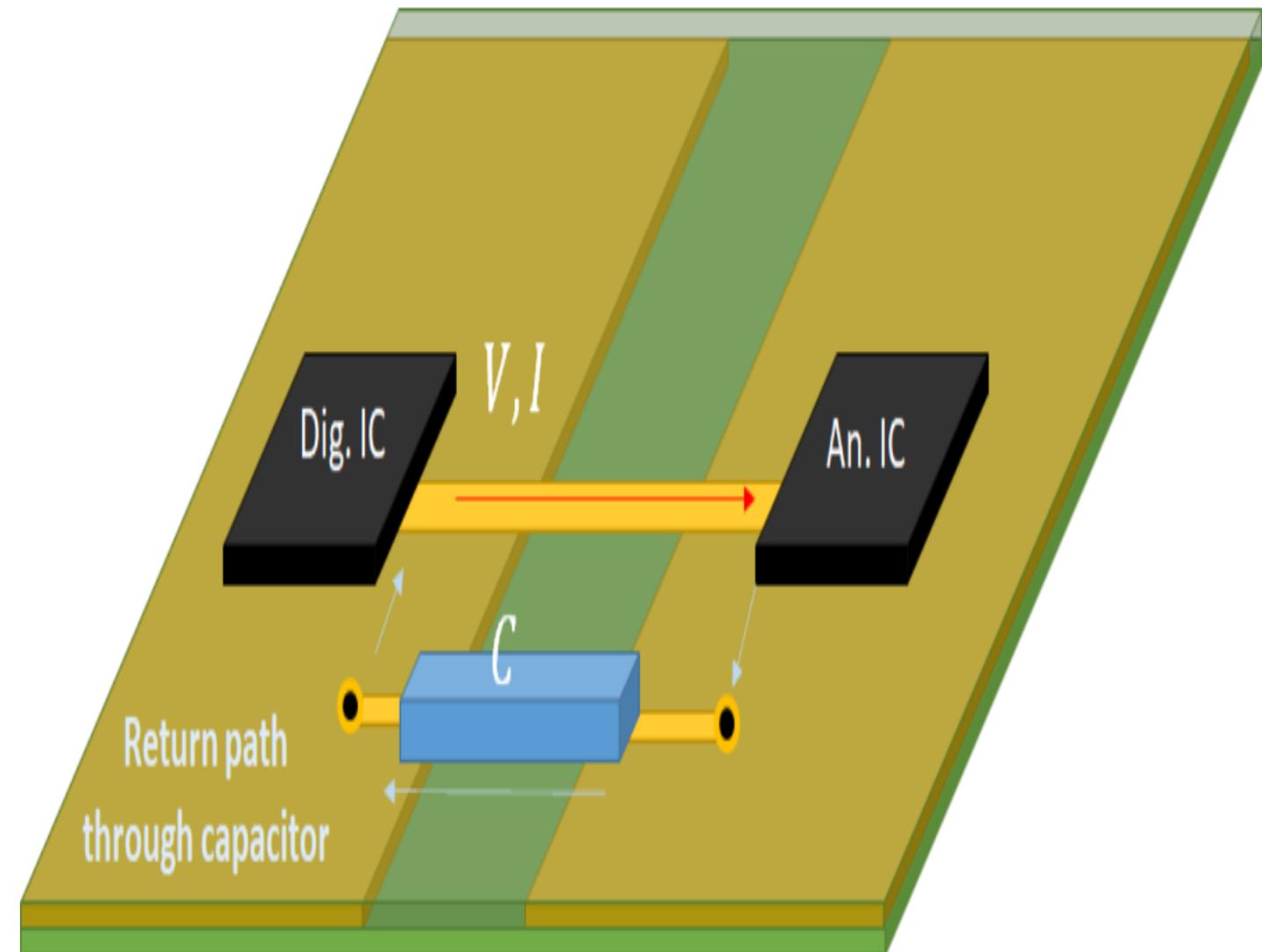
בדרכ הכלל בנקודות ה- ADC במערכות עם לוח אחד.

מטרה:

למנוע מרעש הארקה הדיגיטלי לזhom את הארקה האנלוגית.

תוצאה:

שיפור הדיווק והאמינות במערכות אנלוגיות-דיגיטליות.



סכימות הארץקה ופרישת מעגלים

- **החזרי ספק כוח נפרדים:**
יש להבטיח החזרי Power Supply נפרדים עבור החלקים האנלוגיים והדיגיטליים במערכת.
- **רשת הארץקה או שכבת הארץקה (Ground Plane):**
ומלץ להשתמש ברשת הארץקה או שכבת הארץקה לחלק הדיגיטלי.
- **מניעת התפשטות הארץקה הדיגיטלית:**
 - אין להרחיב את הארץקה הדיגיטלית מתחת למעגלים האנלוגיים.
 - הסיבה: קיבוליות לא רצויה שעלולה להעביר רעש בין החלקים.



QUIZ ;

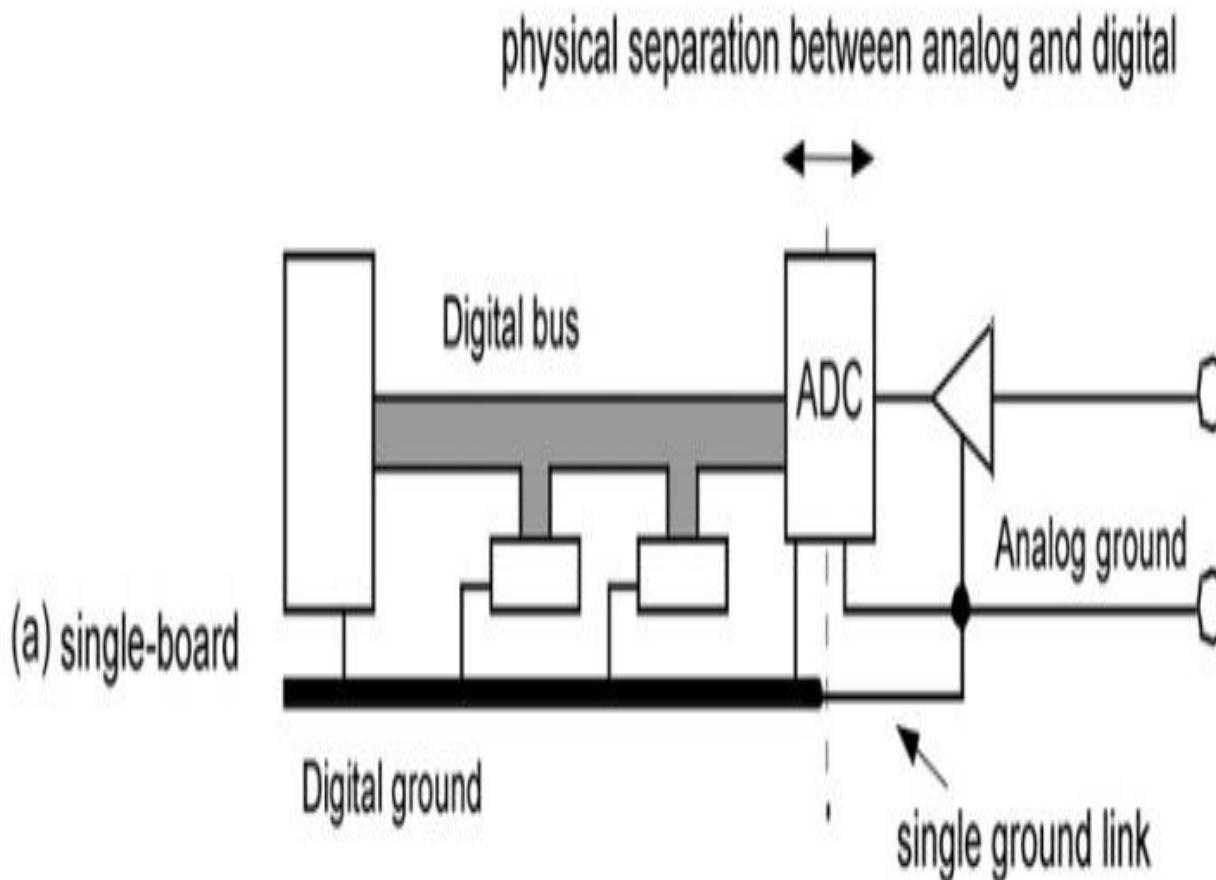
מה המשמעות של שכבה הארץ (Ground)
(Plane) ?

- א. שכבה שמנענת חימום יתר של המעלים.
- ב. שכבה שפזרת רעש בין רכיבים.
- ג. שכבת מוליך שמבטיח חיבור הארץ אחד
ומניעת רעשים.

תשובה נכונה: ג. שכבת מוליך שמבטיח חיבור
הארך אחד ומניעת רעשים.

Grounding in Single-board and Multi-board Systems

Adapting Ground Practices by System Architecture



1. מערכות עם לוח אחד:

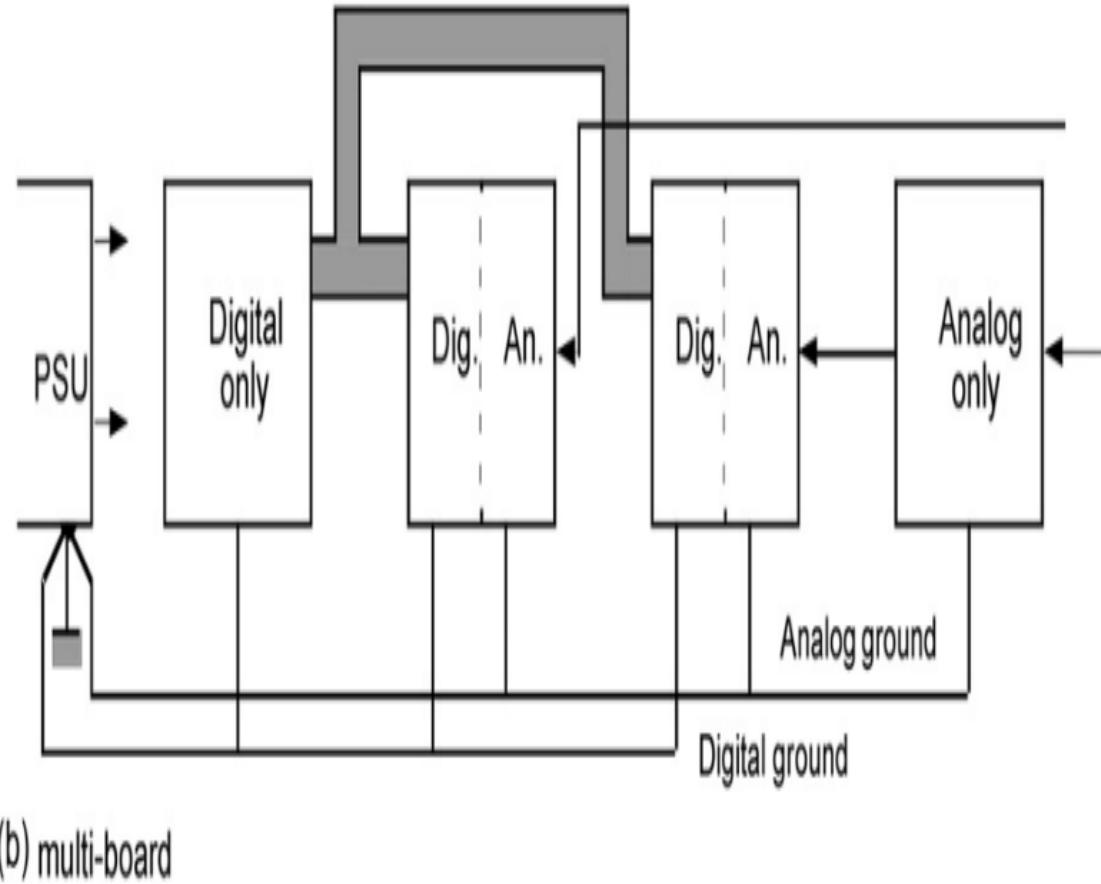
2. חיבור הארקה: במערכות עם לוח אחד, החיבור בין הארקה האנלוגית ל- הארקה הדיגיטלית מתבצע בנקודת ה-ADC (Single Ground Link).

3. הפרדה מוחלטת: יש להבטיח הפרדה מוחלטת בין החזרי ספק הכוח האנלוגיים והדיגיטליים.

4. מטרה: למנוע מרעש בהארקה הדיגיטלית לחדר לאזור האנלוגי הנקי.

Grounding in Single-board and Multi-board Systems

Adapting Ground Practices by System Architecture



1. **מערכות רבות לוחות:**
2. **ניהול הארകות מרכזי:** במערכות עם מספר לוחות, הארകות האנלוגית והדיגיטלית מתבצעות בנפרד בנקודת אספקת הכוח המרכזית.
3. **הובלת הארകות נפרדת:** יש להוביל את הארകות האנלוגית והדיגיטלית בנפרד לכל לוח המערכת.
4. **מיקום לוחות דיגיטליים:** לוחות דיגיטליים בלבד יש למקם קרוב ככל האפשר לשוק הכוח.
5. **מטרה: למצוות הפרעות ורעש שנוצר בסביבה הדיגיטלית.**

QUIZ ;

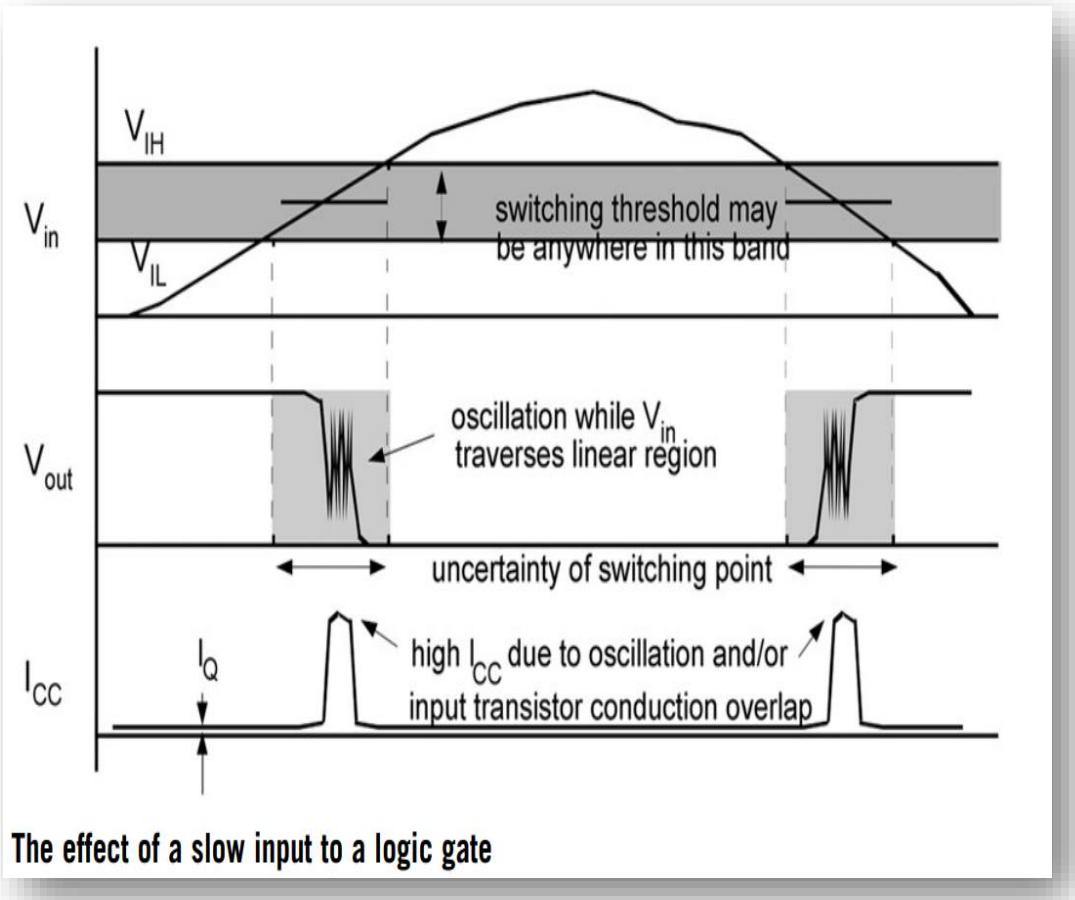
- מה היתרון במייקום לוחות דיגיטליים קרוב לספק הכוח?
 - א. צמצום אורך החיווט והפרעות רעש.
 - ב. חיסכון בחומרים.
 - ג. הפחתת צריכת האנרגיה.
- תשובה נכונה: א. צמצום אורך החיווט והפרעות רעש.



Generating Digital Levels from Analog Inputs

הגרף מתרגם את ההשפעה של אות כניסה אנלוגי המשתנה באיטיות (V_{in}) על שער לוגי (logic gate).

זהירות, רעדות בדרכך



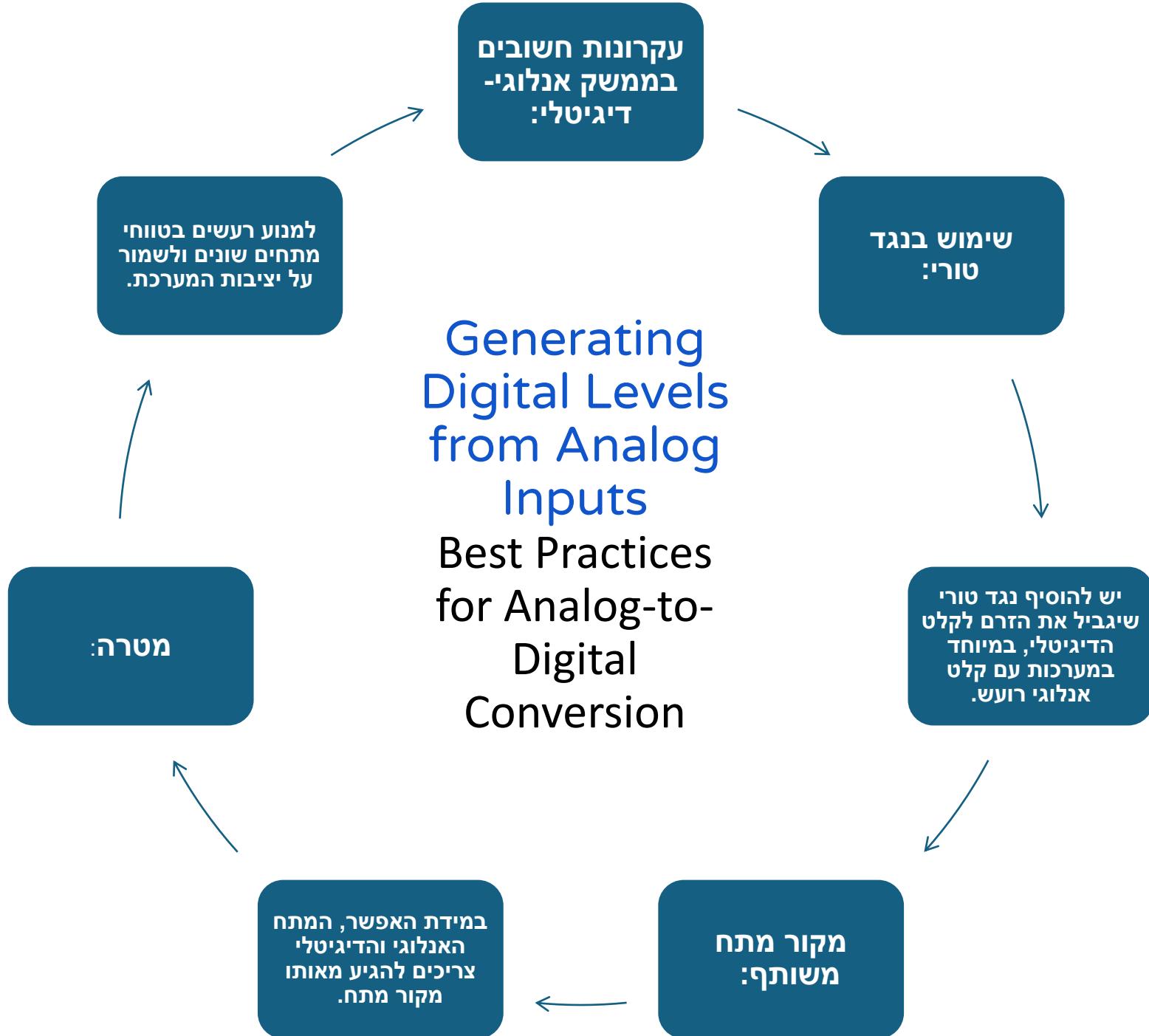
הבעיה: אוטות אנלוגיים משתנים לאט מדי, וגורמים:
לרעידות במתח היציאה. לצורך זרם גבוהו בשערים לוגיים.

מה הפתרון ?
שימוש ב-Schmitt-trigger-רכיב שמייצב את המעברים בין HIGH ו-Low.
שימוש במשוואה (Comparator) למעבר מדויק יותר.

- יתרונות עיקריים :
1. מונעים תקלות כאשר טווח המתח של הקולט האנלוגי חורג מגבולות מתח ההזנה של ההייון הדיגיטלי.
 2. מגנים על השער מפני קפיצות מתח, גם אם קיימות דיודות הגנה (clamps) בקולט.
 - 3.אפשרים דיוק גבוה יותר במערכות אנלוגיות-דיגיטליות .

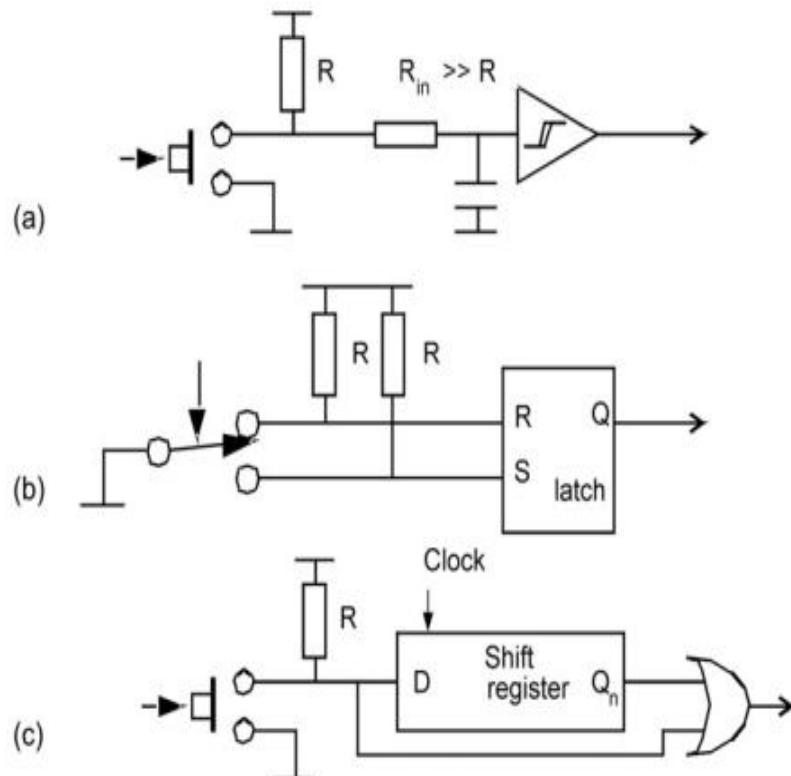
Generating Digital Levels from Analog Inputs

Best Practices for Analog-to- Digital Conversion



De-bouncing Switch Inputs to Digital Systems

Ensuring Reliable Digital Input from Mechanical Switches



Switch de-bouncing circuits

מהי בעיה "רעידות מגע" (Contact Bounce)?
כאשר לוחצים על מתג, (Switch) המגעים הפנימיים שלו לא
מתחברים בזורה מידית ונקייה. במקום זאת:
נויצרים רעידות (Bounce) כלומר חיבור וניתוק מהירים של המגעים
למשך זמן קצר.

רעידות אלו יוצרות אוטות לא יציבים ולא נקיים (Unstable Signals),
שעלולים לגרום לשגיאות במערכות דיגיטליות.

מה הבעיה עם רעידות מגע?
לדוגמה, אם המתג מחובר לקלט דיגיטלי, רעידות המגע עלולות
לגרום למערכת לקרוא כמה לחיצות במקום אחת.
זה עשוי לא להיות בעיתי במערכות פשוטות, אך בمعالגים
digיטליים רגיסרים זה עלול לגרום לביעיות חמורות.

פתרונות למניעת רעדות מגע De-bouncing

- שתי שיטות נפוצות:
 1. סינון באמצעות רשת RC : מוסיפים נגד R וקבל C כדי ליצור מסנן שייליך את האות. דרישות: קבוע הזמן של המסנן RC Time Constant צריך להיות ארוך יותר מאשר הרעדות של המתג. יתרון: המסנן גם מפחית הפרעות (Noise) חיצונית שנגרמו על ידי RF או EMI.
 - דרוש שימוש בשערים עם כניסה Schmitt-Trigger .

2. שיטות מתקדמות: שימוש בתפיסת R-S (R-S Latch).

אשר האות משתנה במהירות גבוהה, מסנן RC לא תמיד מספיק.

ניתן להשתמש בمعالגים מתקדמים יותר כמו RS Latch או מעגל זמן Clocked Latch כדי לנטרל רעדות.

דוגמה: שרטוט 6.16 (צמירה מעגל עם זמן Clock (Clock) שמעבד את האות באופן מדויק יותר.



Another
Teaching
Moment

What is Switch Bounce and Debounce



QUIZ



- מדוע רעידות מגע מהוות בעיה במערכות דיגיטליות?
- א. בגלל שהן גורמות לשחיקת מגעים.
- ב. בגלל שהן גורמות לפולטים שגויים שגורמים להפעלה שגואה של המעלגים.
- ג. בגלל שהן מאטות את קצב העבודה.
- תשובה נכונה: ב. בגלל שהן גורמות לפולטים שגויים שגורמים להפעלה שגואה של המעלגים.



Protecting Against Externally Applied Overvoltages

Safeguarding Digital Circuits from External Hazards

סיכון במתח יתר (Overvoltage)

חויפה לסיכון :

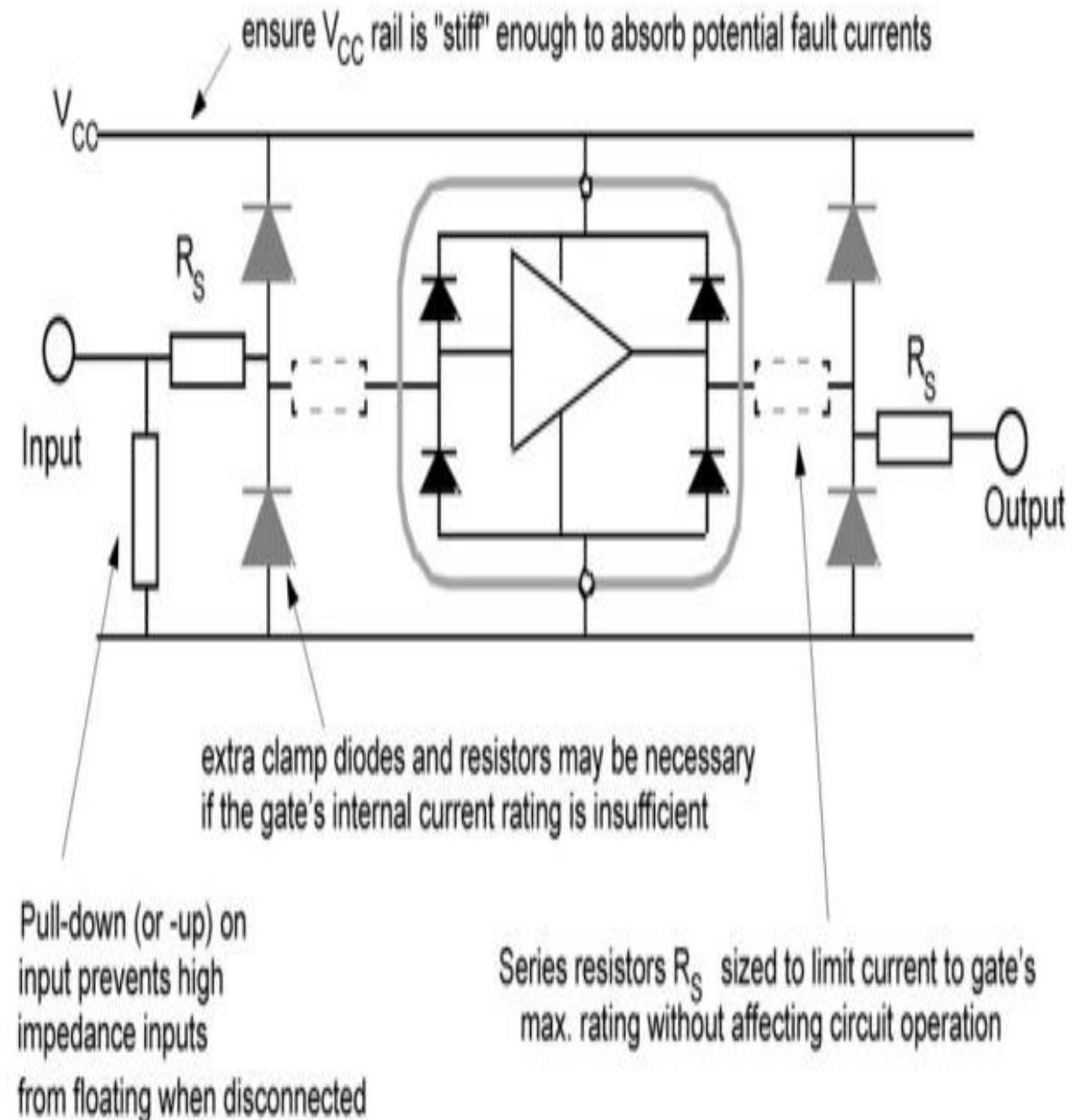
- קלטים ופלטטים דיגיטליים המתחברים ללוחות חיצוניים רגישים לאירועי מתח יתר.
- גורמים נפוצים: חיבור שגוי, פריקת חשמל סטטי או תקלות חיצונית.

שפעה על המערכת :

- אירועים אלה עלולים לגרום לנזק מיידי או מצטבר לרכיבים.
- עלול להתרחש מצב latch-up מסוכן, שבו מוזרם זרם או מתח מופרץ לתוך מעגלים רגישים.

שיטות הגנה:

- **דיודות הגנה פנימיות :**
 - קיימות במשפחות לוגיקה מודרניות, אך אין מספקות הגנה מלאה.
- **דיודות חיצוניתות ונגד טורי:**
 - מומלץ להשתמש ב- Clamp Diodes ובנגד טורי כדי לנטר זרם עודף במצב בטוחה.
- **ספקים מתח ורגולטורים:**
 - יש לוודא שספק המתח יכולם לספג את האנרגיה הנוסףת מבלוי שהמתח שלהם יופר.
- **לשקל תכנון מחודש של הוווסטים (רגולטורים)** להגנה מקיפה.





References

1. <https://www.ti.com/video/5840441551001>
2. https://www.youtube.com/watch?v=lvU8m_30iK0
3. <https://resources.altium.com/p/how-to-use-a-star-point-for-analog-ground-digital-ground-connection>
4. <https://wiki.analog.com/university/courses/electronics/text/chapter-20>
5. <https://www.protoexpress.com/blog/how-to-design-mixed-signal-pcb-with-signal-integrity/>
6. [file:///C:/Users/USER/Downloads/Chapter-6---Digital-circuits_2012_The-Circuit-Designer-s-Companion%20\(1\).pdf](file:///C:/Users/USER/Downloads/Chapter-6---Digital-circuits_2012_The-Circuit-Designer-s-Companion%20(1).pdf)
7. <https://www.analog.com/en/resources/technical-articles/how-to-easily-neutralize-overvoltages.html>



Thank
YOU
FOR
YOUR
TIME