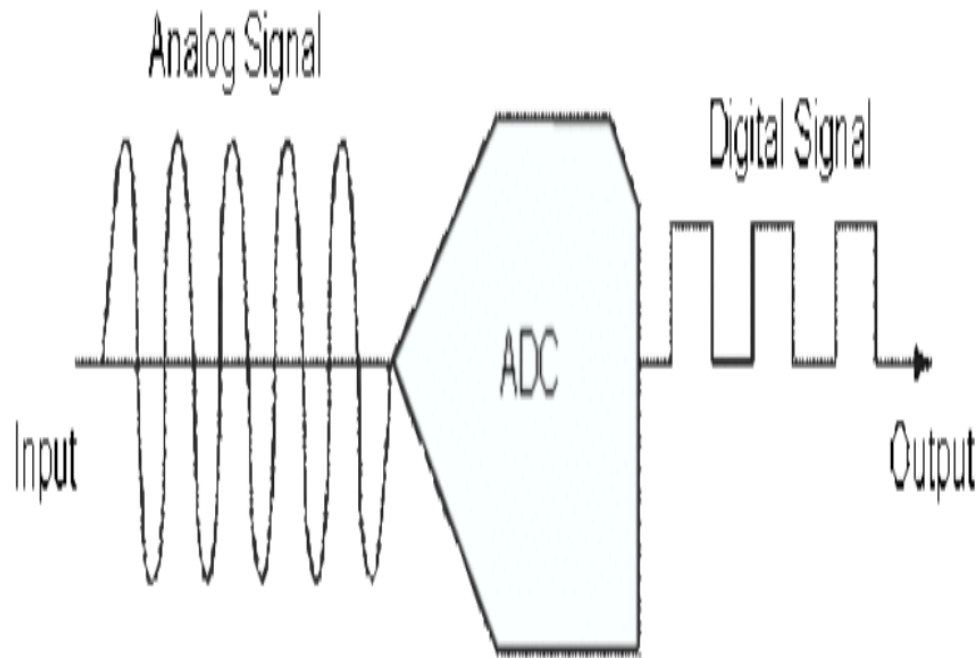


טטיאנה אבו שקארה  
מריה נחלה

Digital-circuits  
The-Circuit-Designer-s-Companion.

# Interfacing Analog and Digital Circuits: Key Challenges and Best Practices

## & LOGIC ICs מה נלמד היום?



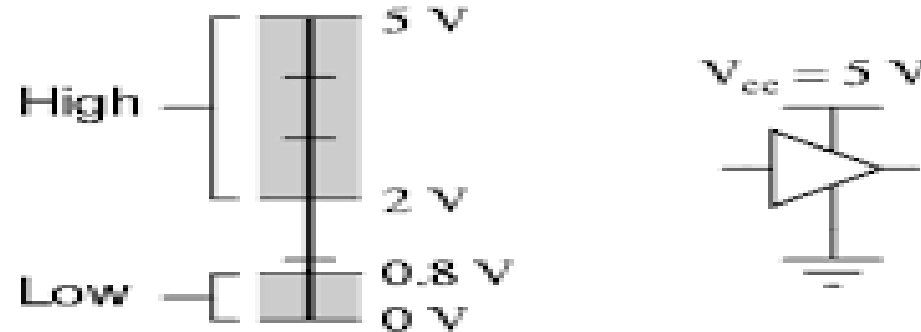
1. מבוא לעמידות לרעש וספי מתחים
2. עמידות לרעש: מושגים ומשמעויות
3. עמידות לזרם ושימוש בנגדי משיכה בממשקי לוגיקה
4. תאימות רמות מתחים בממשקי לוגיקה
5. פנ-אאוט ועומס פלט במעגלים דיגיטליים
6. מבוא לחיבור מעגלים אנלוגיים ודיגיטליים.
7. רעש במעבר דיגיטלי ודיוק ממיר אנלוגי לדיגיטלי (ADC)
8. אסטרטגיות מרכזיות לניהול רעש במתחי אדמה
9. הארקה במערכות לוח בודד ובמערכות מרובות לוחות
10. יצירת רמות דיגיטליות מקלטים אנלוגיים
11. מניעת רעידות מגע (De-bouncing) בקלטים ממפסקים למערכות דיגיטליות
12. הגנה מפני מתחי יתר חיצוניים

# מבוא לעמידות לרעש וספי מתחים

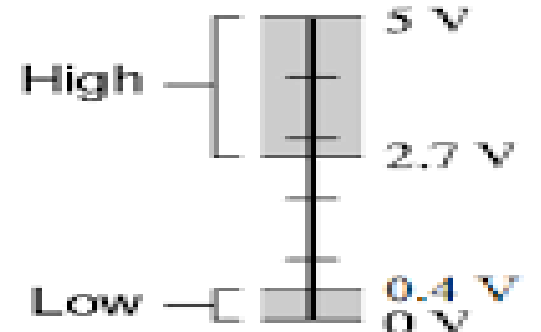
התרשים מתאר אילו ערכים מתח נחשבים כ "1" ואילו ערכים מקבל "0" כאשר הוא בפועל מקבל ערכים בין 0-5 וולט



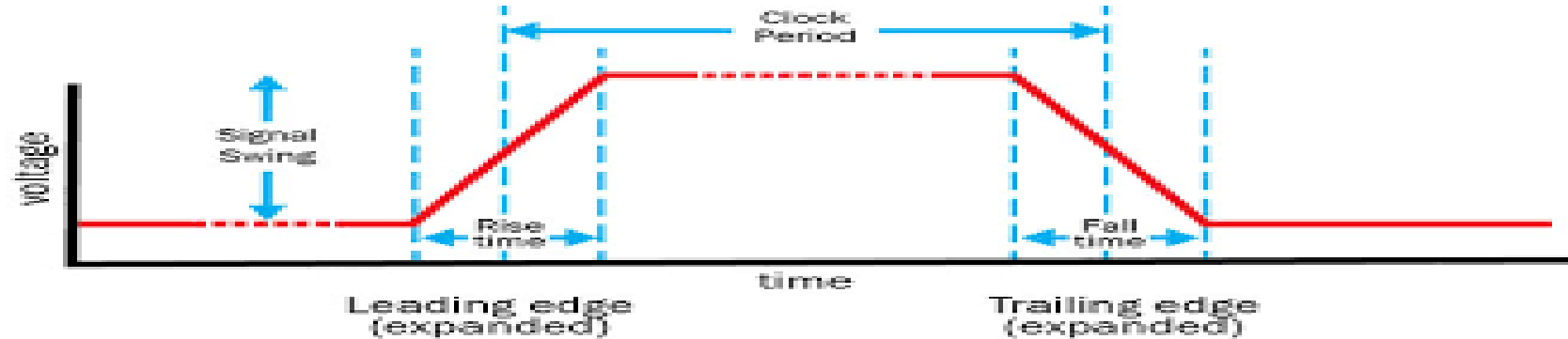
Acceptable TTL gate input signal levels



Acceptable TTL gate output signal levels



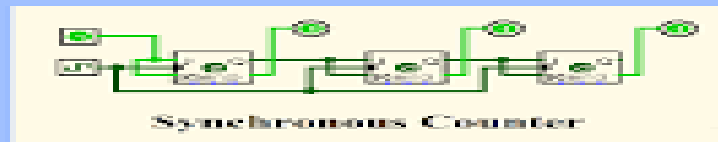
מתאר את הרגע שבו אות דיגיטלי משתנה אחד למצב אחר וזה מראה שההעברה היא לא מיידית



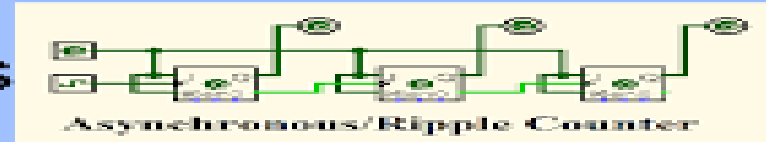
מתאר שני דוגמים עיקריים של מעגליים דיגיטליים לפי הדרך שבה הם מתזמנים פעולות סינכרון = עם השעון אסינכרוני = בלי שעון



## Synchronous & Asynchronous Counters



VS



# QUIZ

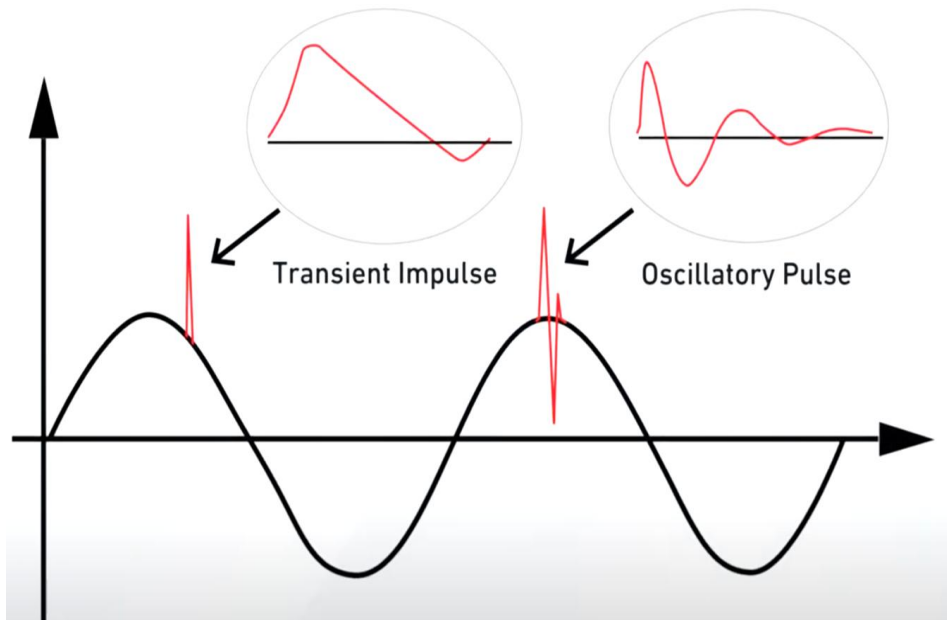
למה שימוש במעגל אסינכרוני עלול לגרום לבעיה של "hazard" או "glitch"?

- (A) כי אין בו כניסות לוגיות
- (B) כי אין תיאום מדויק בין זמני הגעת אותות
- (C) כי הוא עובד לאט יותר
- (D) כי הוא מבוסס רק על קבלים

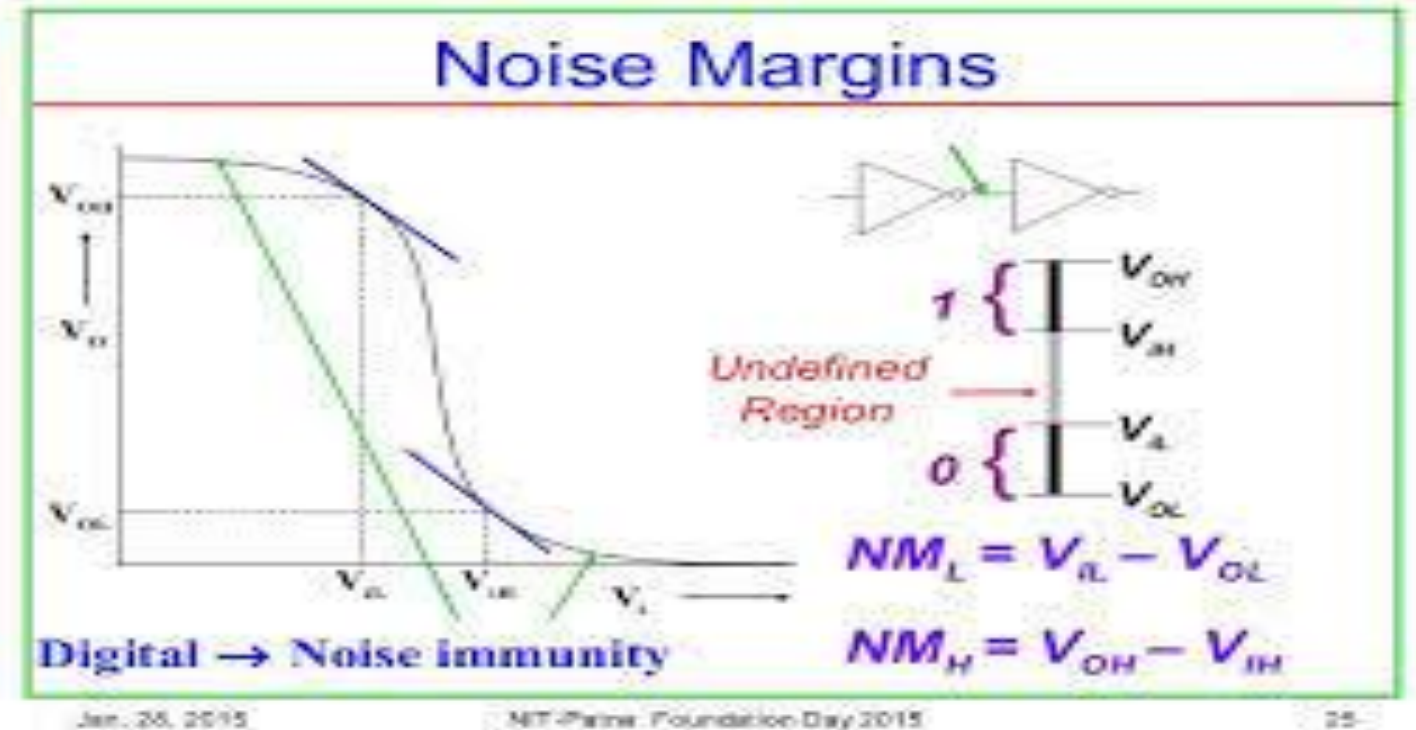
• התשובה B נכונה כי:  
ב-**מעגל אסינכרוני**, האותות מגיעים בזמנים שונים כי אין שעון שמסנכרן אותם.  
כשהכניסות לא משתנות בדיוק יחד – הפלט עלול לקפוץ בטעות לרגע.  
**glitch** או **hazard** בעיית



# עמידות לרעש בלוגיקה דיגיטלית

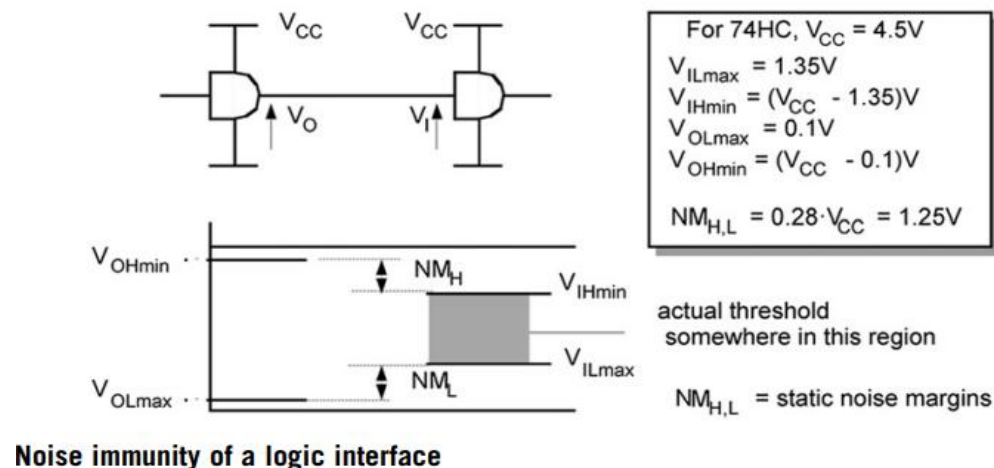
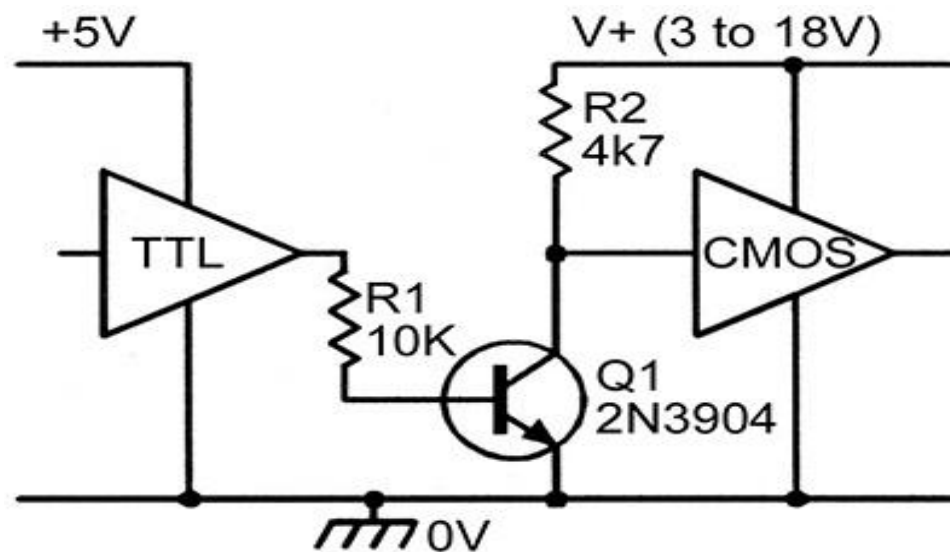


עמידות לרעש דינמית : מתייחסת להפרעות מהירות (פולסים). רכיבים מגיבים פחות טוב לשינויים מהירים. רוחב ועוצמה קובעים אם תתרחש שגיאה.



**Noise Margin** הוא המרווח שמאפשר למעגל לזהות נכון 0 או 1 גם כשיש הפרעות במתח

# עמידות לרעש בלוגיקה דיגיטלית



מה הבעיה?

כשאתה מחבר רכיב ממשפחה אחת לרכיב ממשפחה אחרת, הם לא תמיד "מדברים באותה שפה":

התוצאה: הרכיב הקולט לא מזהה את האות נכון → תקלה לוגית

# QUIZ

איזו מהתשובות מתארת בצורה הטובה ביותר מתי רכיב לוגי עלול לטעות כתוצאה מרעש דינמי?

- (A) כאשר המתח יציב אך נמוך מהמותר
- (B) כאשר מתקבל פולס קצר אך בעוצמה גבוהה מספיק
- (C) כאשר כל הכניסות במתח אפס
- (D) כאשר זמן העלייה של השעון איטי מדי

**הסבר לתשובה הנכונה: (B)**

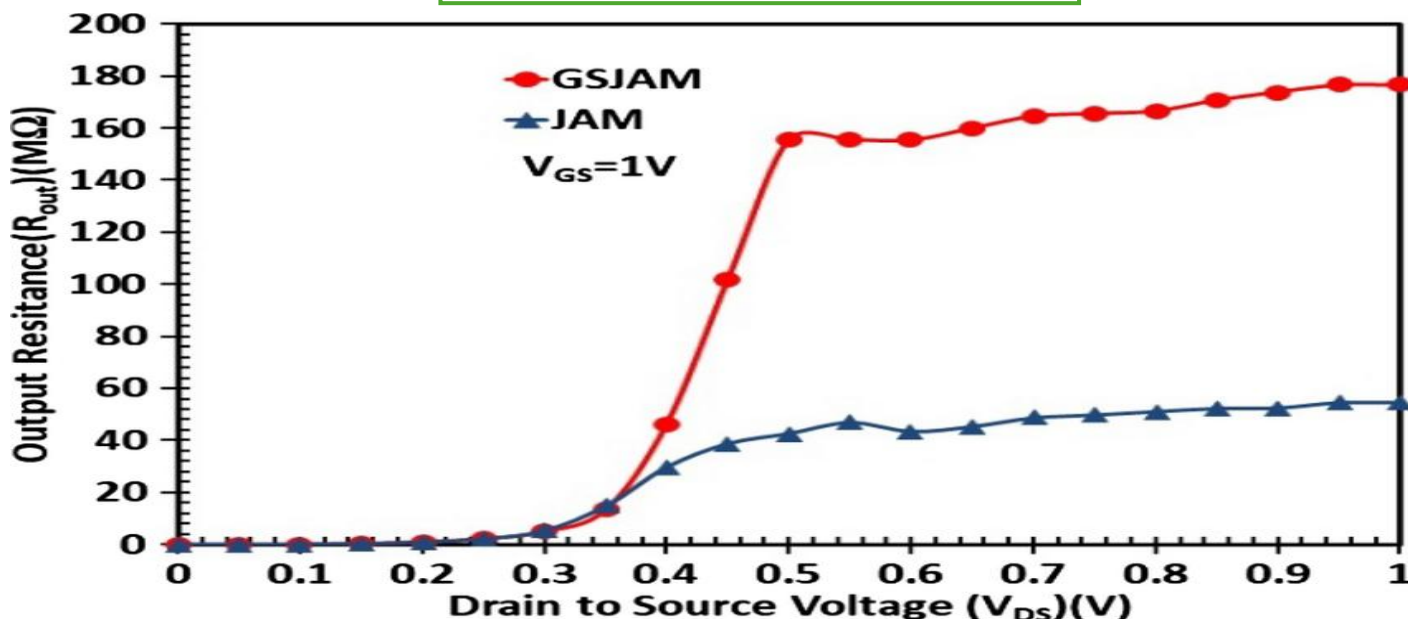
- רעש דינמי מתבטא בפולסים קצרים ומהירים (glitches).  
אם הפולס מספיק חזק (במתח) ו/או ארוך (בזמן) — הרכיב עלול לפרש אותו בטעות ככניסה תקפה, ולפעול לא נכון.



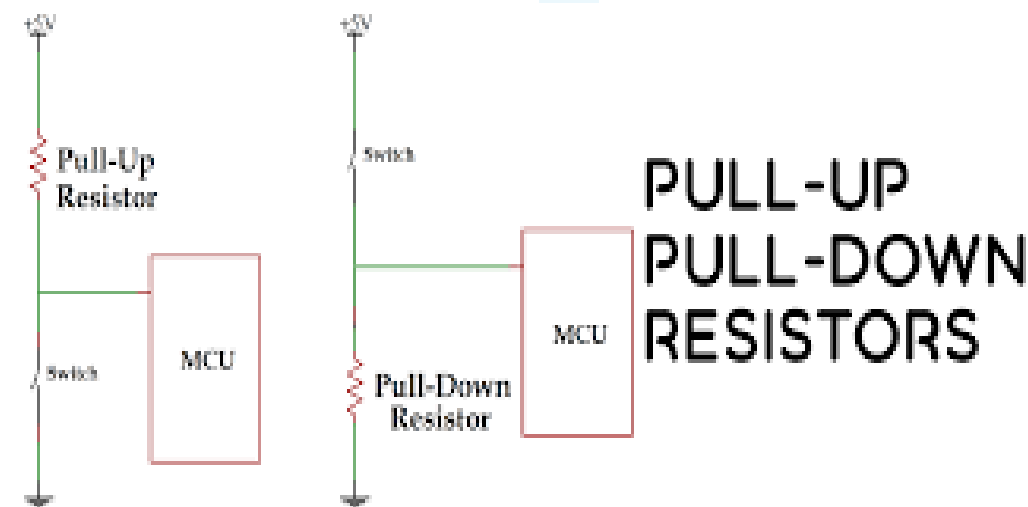


# עמידות לזרם ונגדי משיכה בממשקי לוגיקה

סקירה על עמידות לזרם



נגדי משיכה חיצוניים



## סקירה על עמידות לזרם

### טקסט תמציתי לשקף:

• עמידות לזרם משפיעה על עמידות לרעש.

• התנגדות גבוהה → רגישות לרעש,

במיוחד ב-CMOS (ב-4000 B).

• במתח גבוה – עמידות משתפרת עקב ירידת התנגדות הפלט.

גרף שמראה איך

התנגדות הפלט

(impedance) יורדת

כשהמתח עולה

→ זה תומך בטענה

שבמתח גבוה – העמידות

לרעש משתפרת

## נגדי משיכה חיצוניים

### טקסט תמציתי לשקף:

• כשאין התאמה בין משפחות לוגיקה → דרוש נגד pull-up.

• לדוגמה: LS-TTL לא מספק לוגיקה '1' חזקה מספיק ל-HCMOS.

• ערך הנגד תלוי בזרם הדרוש ובמהירות המיתוג.



## עמידות לזרם ונגדי משיכה בממשקי לוגיקה

### פתרונות מודרניים – HCTMOS

- משפחת HCTMOS מותאמת לכניסה  
TTL וזה יתקיים כאשר יש חפיפות בין רמות המתח  
- אנחנו רואים כיצד HCT שומרת על רמות הקלט של  
TTL, מה שמאפשר שילוב בין רכיבי CMOS, TTL,  
לא צריך נגד חיצוני

HCT מציעה מהירות גבוהה יותר  
וצריכת זרם נמוכה יותר בהשוואה ל-  
TTL, מה שמוביל ליעילות גבוהה  
יותר במערכות דיגיטליות.

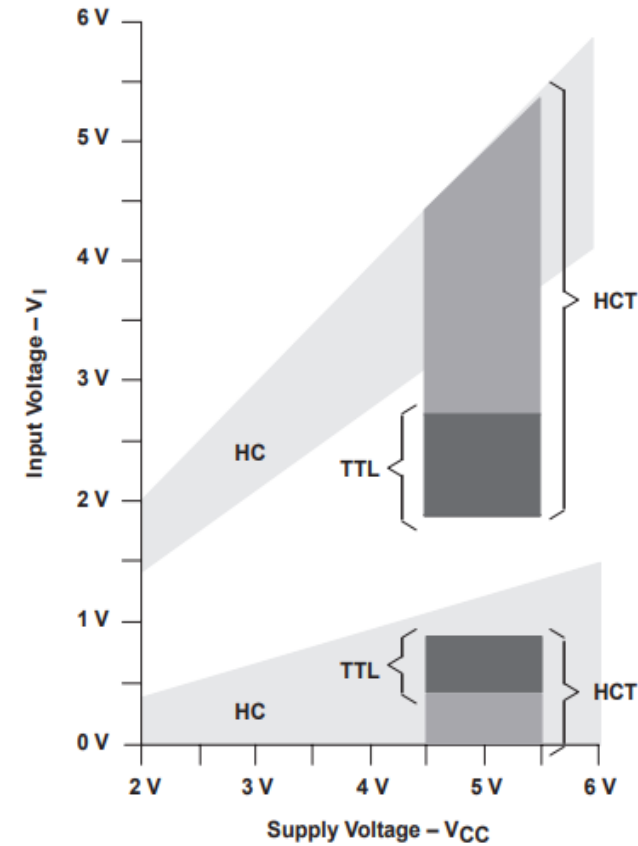


Figure 3. Specified Noise Margins for HC, HCT, and TTL Devices

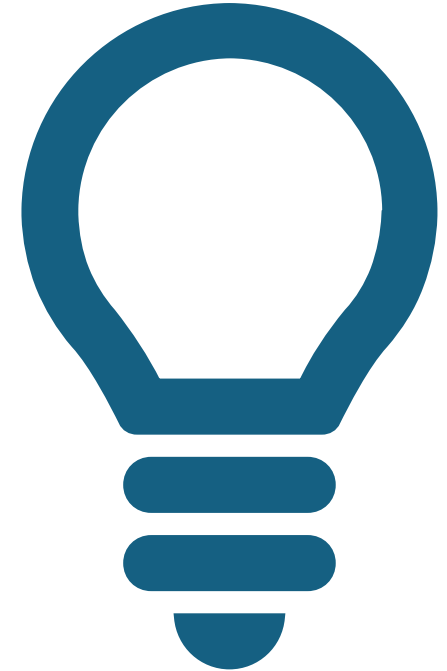
# הצגנו שני פתרונות עכשיו רוצים לדעת למי יש עדיפות יותר ?

## פתרון 1: שימוש בנגד Pull-Up

- יתרונות:
- פשוט ליישום
- זמין וזול – רק להוסיף נגד.
- לא מצריך שינוי ברכיבים עצמם

## חסרונות:

- מוסיף עכבה לקו – עלול להאט מעברים (בעיקר ב-high-speed).
- דורש חישוב מדויק של ערך הנגד כדי לא להעמיס על ה-LS-TTL.
- פחות אמין בשימוש בתדרים גבוהים או עומסים משתנים.
- לא פתרון "טבעי" – תיקון למצב בעייתי, לא תכנון אופטימלי.



# הצגנו שני פתרונות עכשיו רוצים לדעת למי יש עדיפות יותר ?

- פתרון 2: שימוש ב-HCTMOS למשל ממשפחת HCT74

## יתרונות:

- מותאם מראש לרמות TTL – עובד "מהקופסה" עם LS-TTL.
- אמין ומהיר יותר – אין צורך בנגד חיצוני שמאט את הקו.
- יותר מתאים לתכנון מודרני ומסודר.
- פחות סיכוי לבעיות עתידיות עם טמפרטורה, עומס או רעש.

## חסרונות:

- מצריך שימוש ברכיב אחר (שינוי ברשימת הרכיבים).
- אולי פחות נוח אם כבר יש רכיבי HCMOS קיימים במלאי.

★ ההמלצה – HCTMOS הוא הפתרון המועדף ★

למה?

הוא תואם TTL באופן טבעי – נבנה בדיוק למקרים כאלה. חוסך צורך בנגד – פשוט, נקי, מקצועי.

אמין יותר, מהיר יותר, ומתאים טוב יותר לתכנון מודרני.

# QUIZ

במערכת דיגיטלית המשלבת רכיבי TTL עם רכיבי CMOS, מהו הפתרון המתאים ביותר לשמירה על תאימות לוגית, עמידות לזרם, והפחתת הצורך בנגדי משיכה?

- א. שימוש בנגדי pull-up חיצוניים בערך קבוע (לדוגמה 10  $k\Omega$  בכל קו)
- ב. החלפת כל רכיבי TTL ברכיבי CMOS טהורים (משפחת HC)
- ג. שימוש במשפחת HCT שתוכננה להיות תואמת לרמות TTL
- ד. חיבור ישיר ללא שום התאמה – אין בעיית תאימות במעגלים דיגיטליים

- ☒ תשובה נכונה: ג. שימוש במשפחת HCT שתוכננה להיות תואמת לרמות TTL



# חסינות לרעש דינמי (Dynamic): Noise Immunity

- מה זה?  
חסינות לרעש דינמי (Dynamic Noise Immunity) היא היכולת של רכיב לוגי להתעלם מרעשים מהירים – כלומר, הפרעות קצרות בזמן שמנסות "להתחזות" לאות תקין.

## 4. חסינות דינמית תלויה גם בתכנון PCB – לא רק בטכנולוגיה

סטודנט יגיד: "זה תלוי במתחי VIL/VIH".  
מהנדס יגיד: "תלוי גם בכיוון המסלולים, אורך ה-trace ו-ground bounce."

לדוגמה:

- אם מסלול האות רץ מקביל למסלול של שעון – הוא עלול לקלוט רעש גבוה בדיוק באורך "המסוכן".
- אם ה-ground לא מחוזק כמו שצריך – קפיצות ב-return path משפיעות ישירות על מתח הקלט.

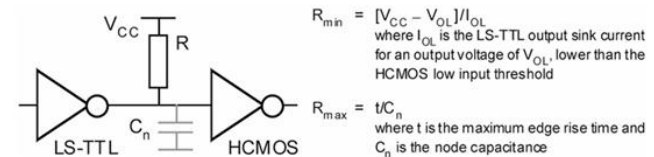
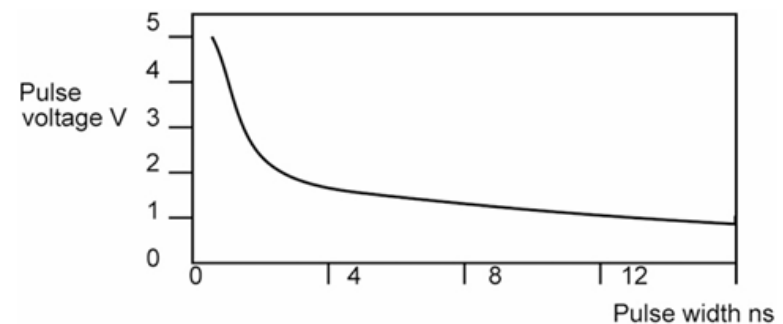


FIGURE 6.3 Logic interface pull-up resistor



# תאימות רמות מתחים במערכת לוגיקה

פתרונות לרמות לוגיקה לא תואמות  
**שיטות נפוצות:**

- **Level Shifter** – רכיב שממיר את רמת המתח בין רכיבים שונים (למשל 3.3V ↔ 5V)
- **שימוש במשפחת HCT** – רכיבי לוגיקה שתוכננו כך שיהיו תואמים לרמות TTL, מאפשרים חיבור ישיר ללא נגד משיכה.

**שיטה מתקדמת:**

- **בידוד אופטי (Opto-Isolator)** – מפריד חשמלית בין רכיבים, משמש כשנדרש גם בידוד וגם תיאום מתחים, למשל במערכות רגישות או עם רעש גבוה.



## QUIZ

מהו הסיכון המרכזי בחיבור ישיר של רכיב לוגי הפועל במתח של 3.3V לרכיב אחר הפועל במתח של 5V, ללא שימוש ברכיב התאמה?

- א. הרכיב ב-3.3V יזהה תמיד לוגיקה '0' מה-5V
- ב. ייווצר מצב לא מוגדר וייתכנו שגיאות לוגיות
- ג. המתח הנמוך "ידחף" את המתח הגבוה למטה
- ד. המעבר יהיה איטי מדי ויגרום לחימום הרכיבים

- **תשובה נכונה: ב.**

**הסבר:** רמות לוגיקה לא תואמות עלולות ליצור מצב שבו הרכיב ב-3.3V אינו מזהה כראוי את הלוגיקה מה-5V או להפך. התוצאה – **מצב לוגי לא מוגדר** שיכול להוביל להתנהגות לא צפויה או תקלה במעגל.

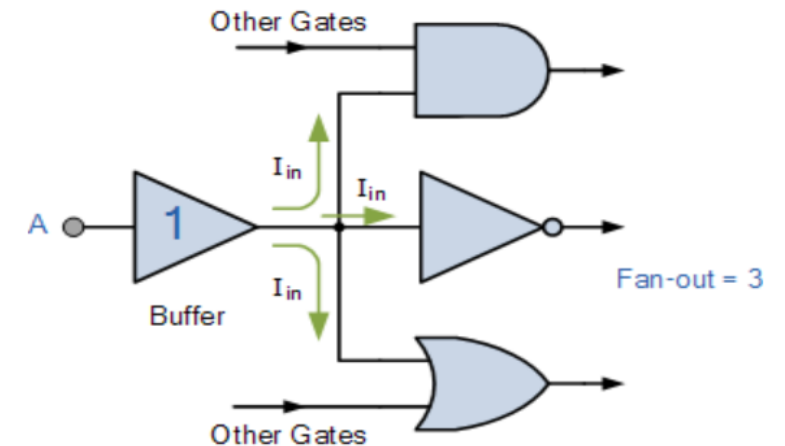


# פנ-אאוט (Fan-Out) ועומס פלט במעגלים דיגיטליים

## 1. מושג ה-Fan-Out

- $\text{Fan-Out} =$  כמה שערים לוגיים פלט אחד יכול להפעיל בלי לפגוע באמינות.
- נקבע לפי יחס זרם הפלט לזרמי הקלט המצטברים של הרכיבים המחוברים.
- חשוב במיוחד בשערים TTL ובמערכות עם דרישות דיוק.

## Digital Buffer Fan-out Example



## השפעת עומס על אותות דיגיטליים

### 1. עומס חשמלי (זרם)

1. ככל שמחוברים יותר רכיבים לפלט, הזרם שהפלט צריך לספק עולה.

### 2. עומס קיבולי (מהירות)

2. כל קלט שמחובר מוסיף **קיבול**, מה שגורם לאות להימשך יותר זמן ולהאט את המעברים.

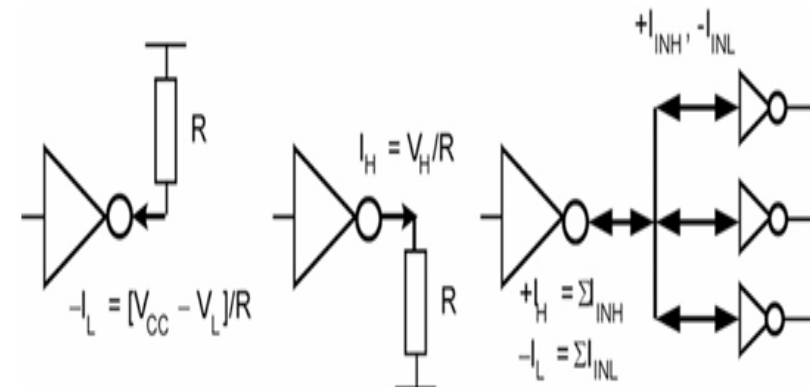


FIGURE 6.5 Logic output loading

# "גרף זרם לעומת מתח ביציאת שער לוגי LOW ו-HIGH

• **Fan-out** הוא מספר הקלטים ששער לוגי אחד יכול להפעיל ביציאה שלו בלי שהמתח ייפול מתחת לרמות התקניות ( $V_{OH}/V_{OL}$ ).

יכדי שזה יקרה, צריך שהשער יוכל לספק מספיק זרם (במצב HIGH או לשקוע מספיק זרם במצב LOW, ועדיין לשמור את המתח בתוך האזור האפור שבתמונה (כלומר בתחום התקני).

מה הגרפים מראים?

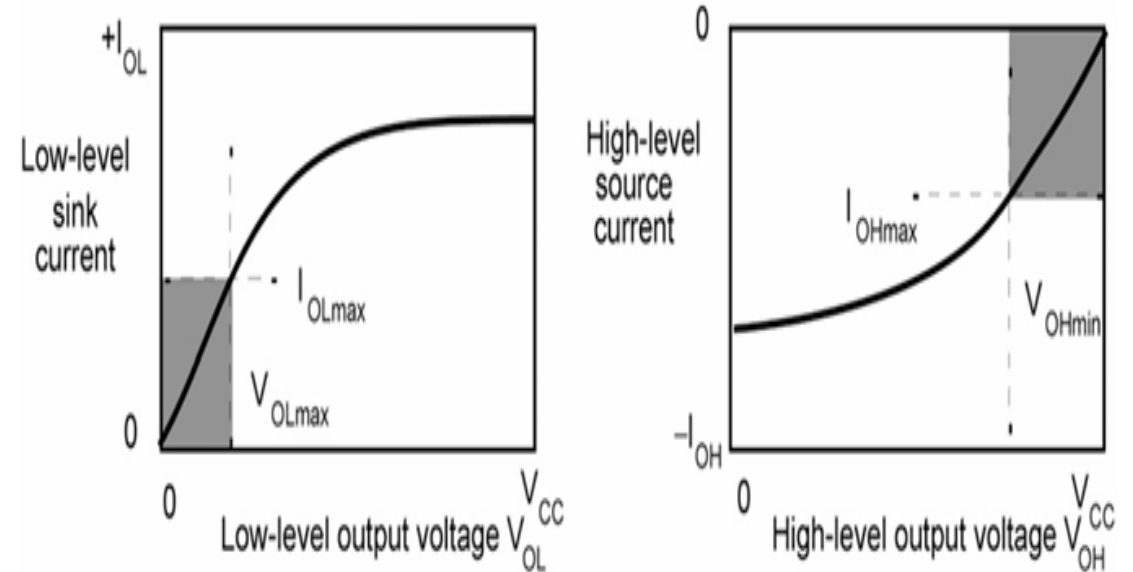
• הגרף השמאלי: ככל שהשער צריך לשקוע יותר זרם ( $I_{OL}$ ), המתח ביציאה עולה ועשוי לצאת מהתחום של לוגי "0" → עלול לגרום לשגיאת לוגיקה.

• הגרף הימני: ככל שצריך לספק יותר זרם ( $I_{OH}$ ), המתח יורד ועשוי לרדת מתחת ל- $V_{OHmin}$  → גם כאן עלול להיווצר "1" לא תקני.

המסקנה:

כל שמחברים יותר קלטים ליציאה אחת (יותר Fan-out), כך דרישת הזרם מהיציאה גדלה.

אם נעבור את  $I_{OHmax}$  או  $I_{OLmax}$ , המתח ביציאה ייצא מהתחום האפור, ונקבל לוגיקה לא תקינה.



normal operating region

# מבוא לחיבור מעגלים אנלוגיים ודיגיטליים

כאשר מעצבים מעגלים שמשלבים בין אנלוגי לדיגיטלי, קיימים שני אתגרים עיקריים:

- מניעת רעשים ממיתוג דיגיטלי שמזהמים את האות האנלוגי: במעגלים דיגיטליים יש תהליכי מיתוג (הפעלת וכיבוי זרם) שיכולים לייצר רעשים חשמליים. רעשים אלו עלולים להפריע למעגלים האנלוגיים ו"לזהם" את האותות שלהם.

דוגמה: נניח שיש לנו מגבר שמע אנלוגי על אותו PCB כמו מעבד דיגיטלי. אם המעבד מייצר הרבה רעש חשמלי, זה יכול לגרום לאיכות שמע ירודה במגבר.

- התאמת טווחי המתחים של כניסות אנלוגיות למעגל הדיגיטלי: המעגל האנלוגי עשוי לייצר אותות בטווח מתח רחב יותר מהטווח שהמעגל הדיגיטלי מסוגל לקרוא. יש צורך בתאימות ביניהם.

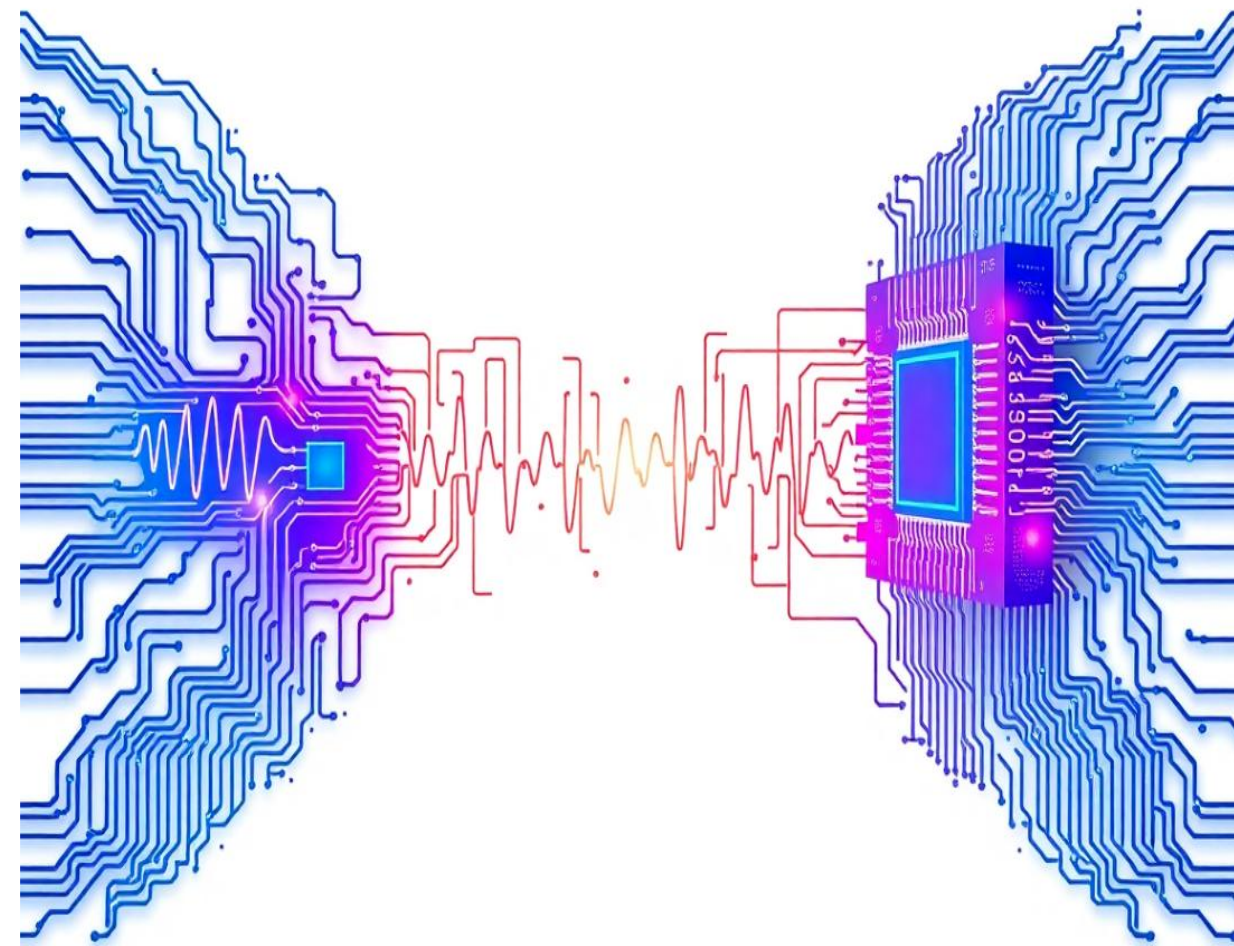
דוגמה: אם חיישן למדידת טמפרטורה מוציא אות אנלוגי בין 0 ל-5 וולט, אך הרכיב הדיגיטלי מסוגל לקרוא רק טווח של 0 ל-3.3 וולט, נדרש ממיר או מגביל מתח.

**בואו נבחן כיצד ניתן להתגבר על אתגרים אלו בתכנון המעגלים שלנו**

**מוכנים ???**

# QUIZ ;

- מדוע רעש דיגיטלי משפיע יותר על אותות אנלוגיים מאשר על אותות דיגיטליים?
- א. רעש דיגיטלי פוגע בתדרים גבוהים בלבד.
- ב. אותות אנלוגיים רגישים יותר לרעש כי הם משתנים רציף.
- ג. אותות דיגיטליים אינם מושפעים מרעש כלל.
- - \*\*תשובה נכונה\*\* : ב. אותות אנלוגיים רגישים יותר לרעש כי הם משתנים רציף.



## Ground Noise -

רעש קרקע  
ורזולוציית

מהו רעש קרקע? רעש המגיע ממיתוג דיגיטלי או מקורות חיצוניים עלול לשבש את האותות האנלוגיים ולהפחית את דיוק ההמרה האנלוגית-לדיגיטלית (ADC).

מהי רזולוציה?

רזולוציה מתארת את השינוי המתח המינימלי שממיר מסוגל לזהות ולהמיר לביט אחד.

רזולוציה ודיוק: ככל שמעלים את רמת הדיוק (יותר ביטים ב- ADC), טווח המתח שכל ביט מייצג קטן יותר. לדוגמה:

ב-12 ביט, אי-ודאות ברעש היא  $2.4\text{ mV}$

ב-16 ביט, רעש קטן כמו  $150\text{ }\mu\text{V}$  יכול לשבש את הדיוק.

בעיה מרכזית:

רעש חודר ברמות דומות לרזולוציה עלול להפוך את ה-ADC לבלתי שמיש, גם אם הוא נחשב "מדויק".

הטבלה מציגה את רזולוציית המתח  
(Voltage Resolution) עבור כל אורך מילה  
(Word Length) בממיר ADC בטווח מלא של 10 וולט:

משמעות: ככל שרמת הדיוק עולה  
(יותר ביטים) היכולת להבחין  
בשינויים קטנים במתח משתפרת.

**Table 6.1** ADC Resolution Voltage for Different Word Lengths, 10 V Full-scale

Word length	Resolution voltage
8 bit	39 mV
10 bit	10 mV
12 bit	2.4 mV
14 bit	0.6 mV
16 bit	0.15 mV



## QUIZ;

- מדוע ADC ברזולוציה גבוהה פגיע יותר לרעש?
- א. כי הוא עובד בתדרים גבוהים יותר.
- ב. כי השינוי המתחי הנדרש קטן יותר.
- ג. כי רעש דיגיטלי אינו משפיע על ADC.
- תשובה נכונה: ב. כי השינוי המתחי הנדרש קטן יותר.



# Key Strategies for Managing Ground Noise

## Essential Grounding Practices

### הפרדת הארקות:

#### עקרון מרכזי:

יש להפריד בין הארקה אנלוגית להארקה דיגיטלית ולחבר ביניהן רק בנקודה אחת מוגדרת.

#### מיקום החיבור:

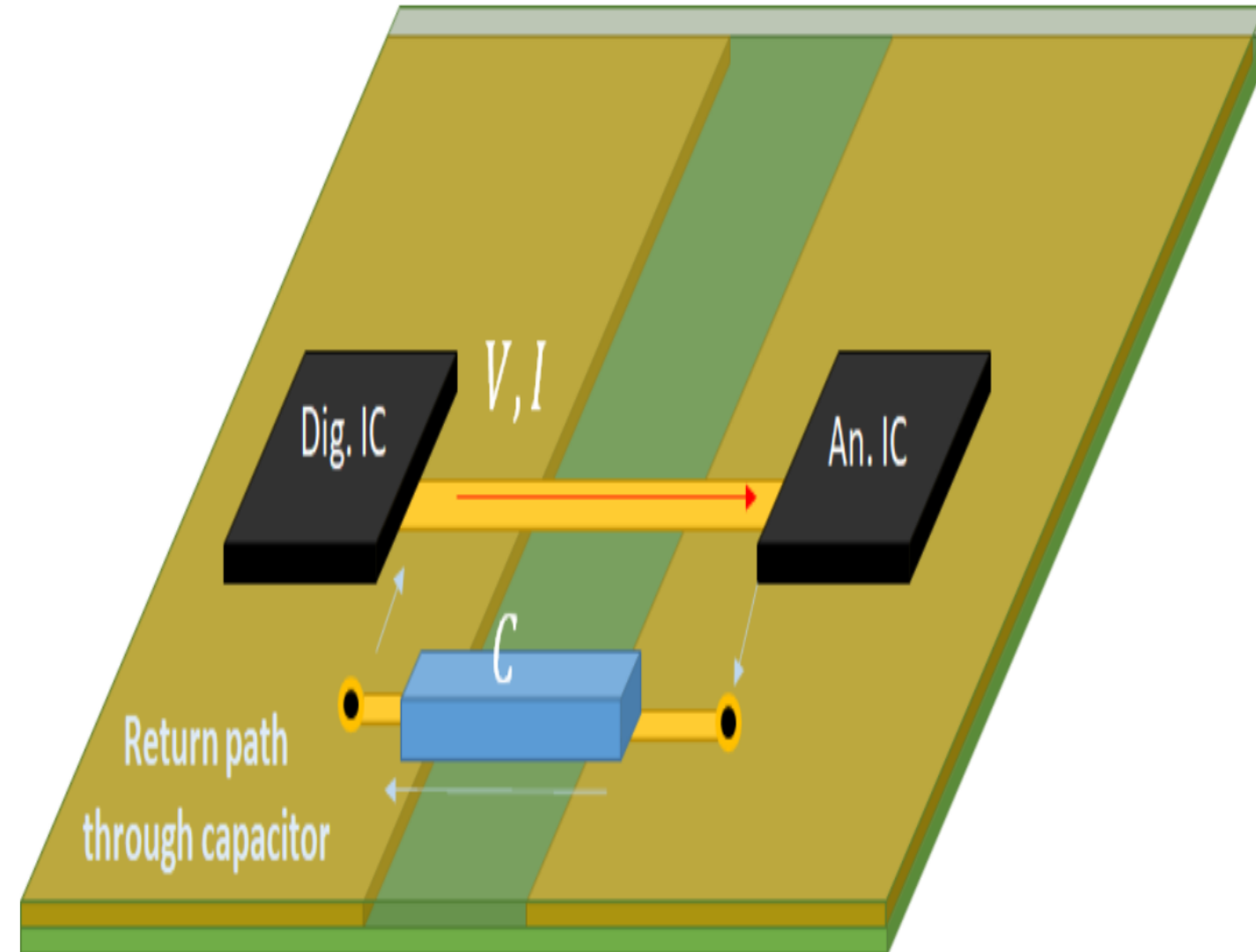
בדרך כלל בנקודת ה-ADC במערכות עם לוח יחיד.

#### מטרה:

למנוע מרעש הארקה הדיגיטלי לזהם את הארקה האנלוגית.

#### תוצאה:

שיפור הדיוק והאמינות במערכות אנלוגיות-דיגיטליות.



# סכמות הארקה ופריסת מעגלים

• החזרי ספק כוח נפרדים:  
יש להבטיח החזרי Power Supply נפרדים עבור החלקים האנלוגיים והדיגיטליים במערכת.

• רשת הארקה או שכבת הארקה (Ground Plane):  
מומלץ להשתמש ברשת הארקה או שכבת הארקה לחלק הדיגיטלי.

• מניעת התפשטות הארקה הדיגיטלית:  
- אין להרחיב את הארקה הדיגיטלית מתחת למעגלים האנלוגיים.  
- הסיבה: קיבוליות לא רצויה שעלולה להעביר רעש בין החלקים.





# QUIZ;

---

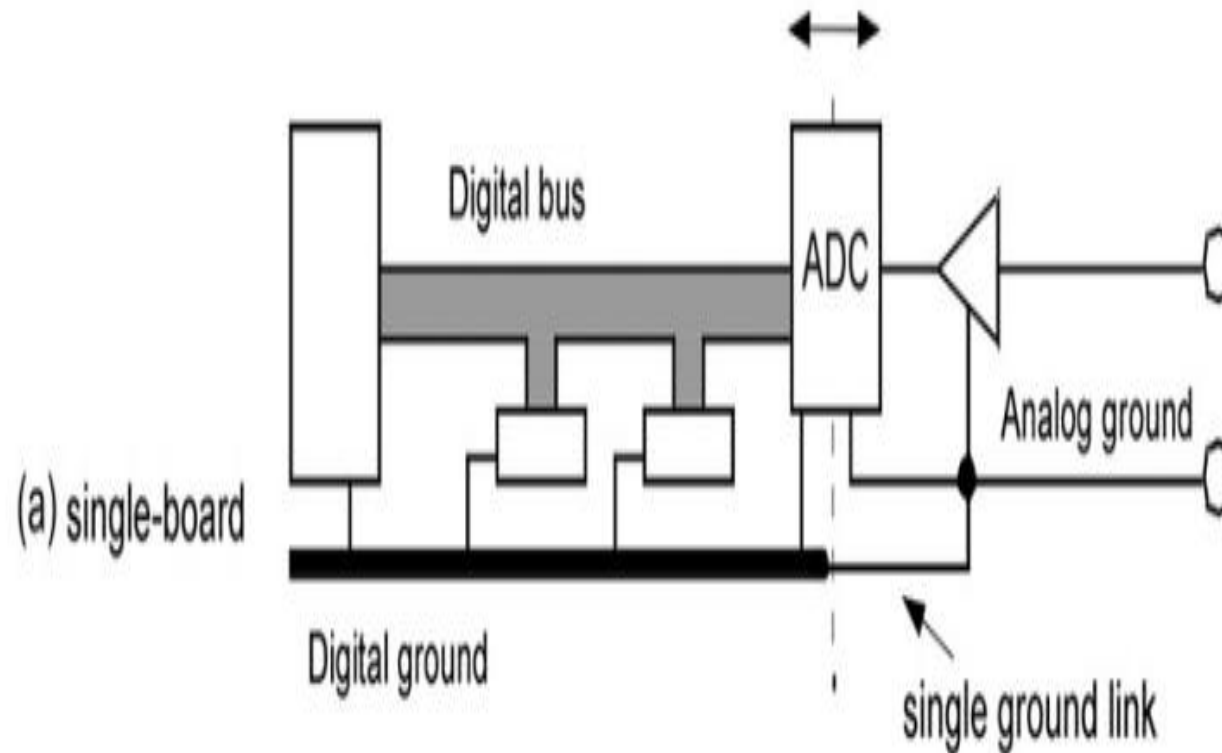
מה המשמעות של שכבת הארקה ( Ground Plane ) ?

- א. שכבה שמונעת חימום יתר של המעגלים.
- ב. שכבה שמפזרת רעש בין רכיבים.
- ג. שכבת מוליך שמבטיחה חיבור הארקה אחיד ומניעת רעשים.
- תשובה נכונה: ג. שכבת מוליך שמבטיחה חיבור הארקה אחיד ומניעת רעשים.

# Grounding in Single-board and Multi-board Systems

Adapting Ground Practices by System Architecture

physical separation between analog and digital



1. מערכות עם לוח יחיד:

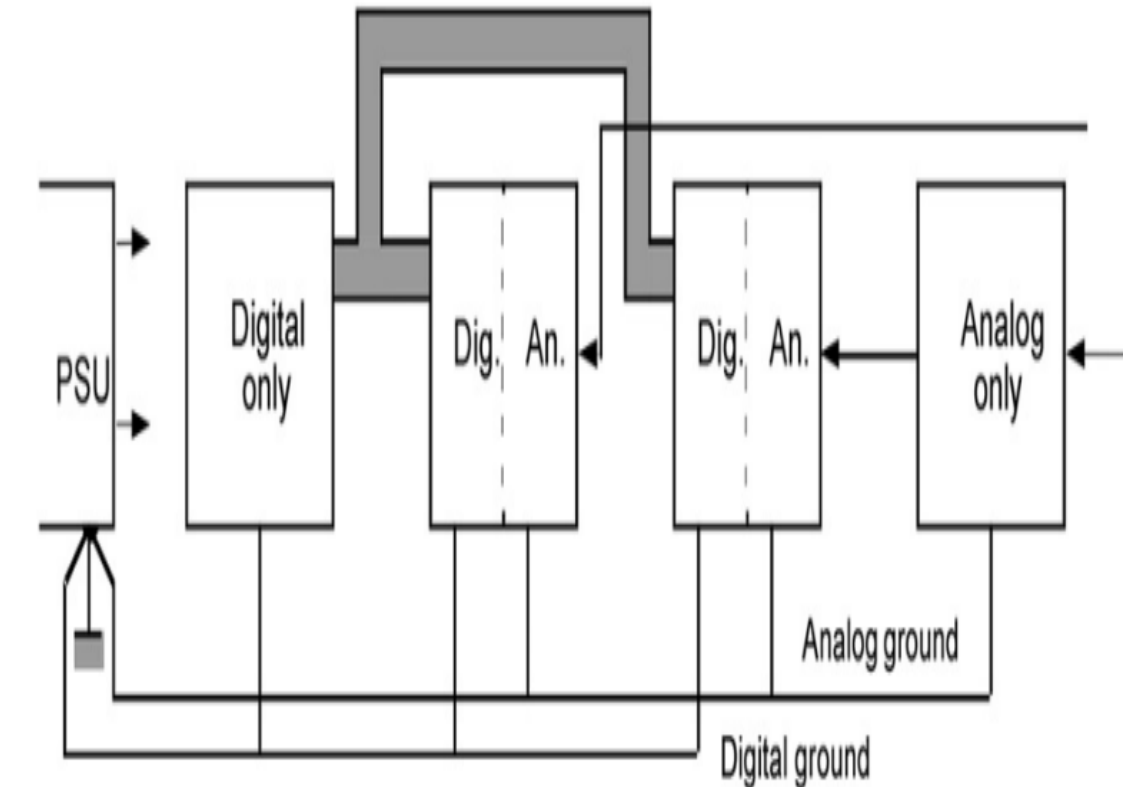
2. **חיבור הארקה:** במערכות עם לוח בודד, החיבור בין הארקה האנלוגית ל- הארקה הדיגיטלית מתבצע בנקודת ה-ADC (Single Ground Link).

3. **הפרדה מוחלטת:** יש להבטיח הפרדה מוחלטת בין החזרי ספק הכוח האנלוגיים והדיגיטליים.

4. **מטרה:** למנוע מרעש בהארקה הדיגיטלית לחדור לאזור האנלוגי הנקי.

## Grounding in Single-board and Multi-board Systems

### Adapting Ground Practices by System Architecture



(b) multi-board

1. מערכות מרובות לוחות:
2. ניהול הארקות מרכזי: במערכות עם מספר לוחות, הארקות האנלוגית והדיגיטלית מתבצעות בנפרד בנקודת אספקת הכוח המרכזית.
3. הובלת הארקות נפרדת: יש להוביל את הארקות האנלוגית והדיגיטלית בנפרד לכל לוח במערכת.
4. מיקום לוחות דיגיטליים: לוחות דיגיטליים בלבד יש למקם קרוב ככל האפשר לספק הכוח.
5. מטרה: לצמצם הפרעות ורעש שנוצר בסביבה הדיגיטלית.

# QUIZ ;

- מה היתרון במיקום לוחות דיגיטליים קרוב לספק הכוח?
  - א. צמצום אורך החיווט והפרעות רעש.
  - ב. חיסכון בחומרים.
  - ג. הפחתת צריכת האנרגיה.
- 
- תשובה נכונה: א. צמצום אורך החיווט והפרעות רעש.



# Generating Digital Levels from Analog Inputs

הגרף מתאר את ההשפעה של אות כניסה אנלוגי  
המשתנה באיטיות ( $V_{in}$ ) על שער לוגי (logic gate)

זהירות, רעידות בדרך

הבעיה: אותות אנלוגיים משתנים לאט מדי, וגורמים:  
לרעידות במתח היציאה. לצריכת זרם גבוהה בשערים לוגיים.

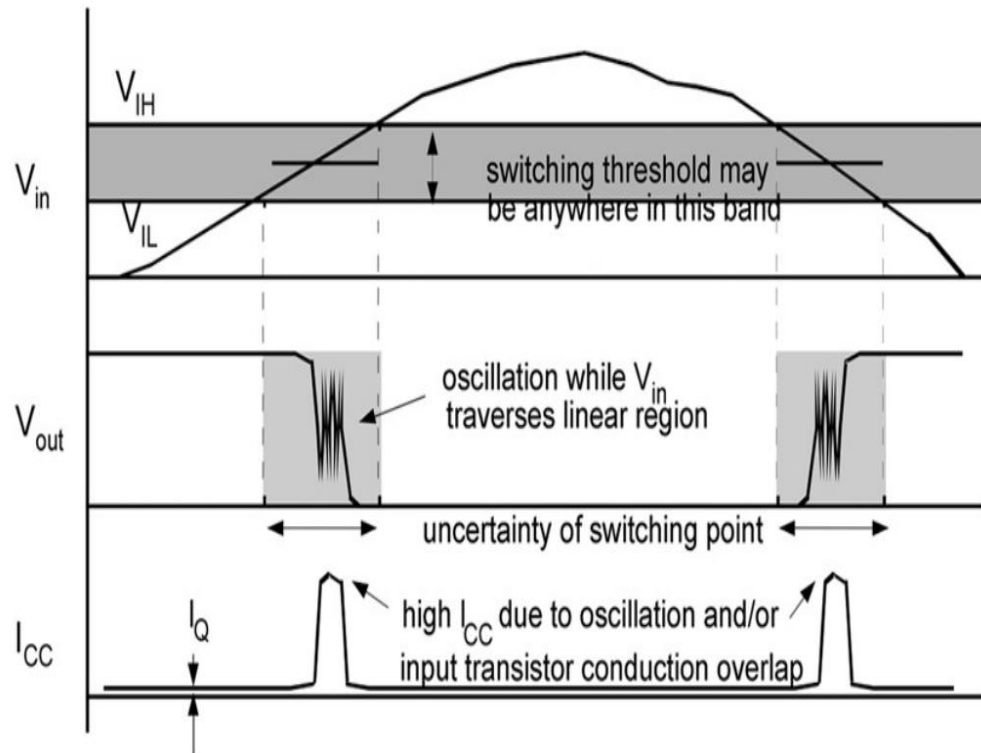
מה הפתרון ?

שימוש ב - Schmitt-trigger - רכיב שמייצב את המעברים בין HIGH ו-  
LOW.

שימוש במשווה (Comparator) למעבר מדויק יותר.

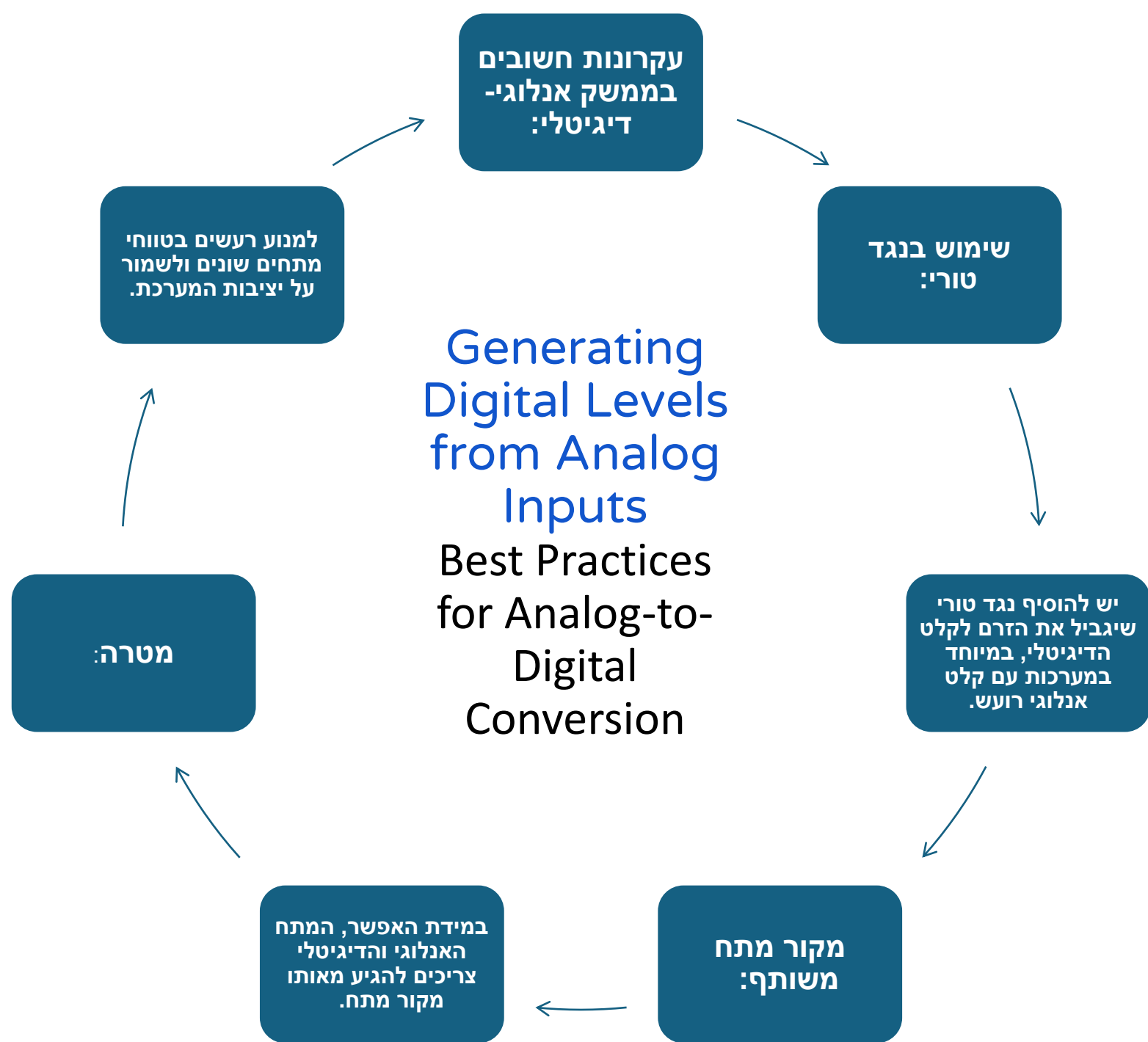
יתרונות עיקריים :

1. מונעים תקלות כאשר טווח המתח של הקלט האנלוגי חורג מגבולות מתח ההזנה של ההיגיון הדיגיטלי.
2. מגנים על השער מפני קפיצות מתח, גם אם קיימות דיודות הגנה (clamps) בקלט.
3. מאפשרים דיוק גבוה יותר במערכות אנלוגיות-דיגיטליות .



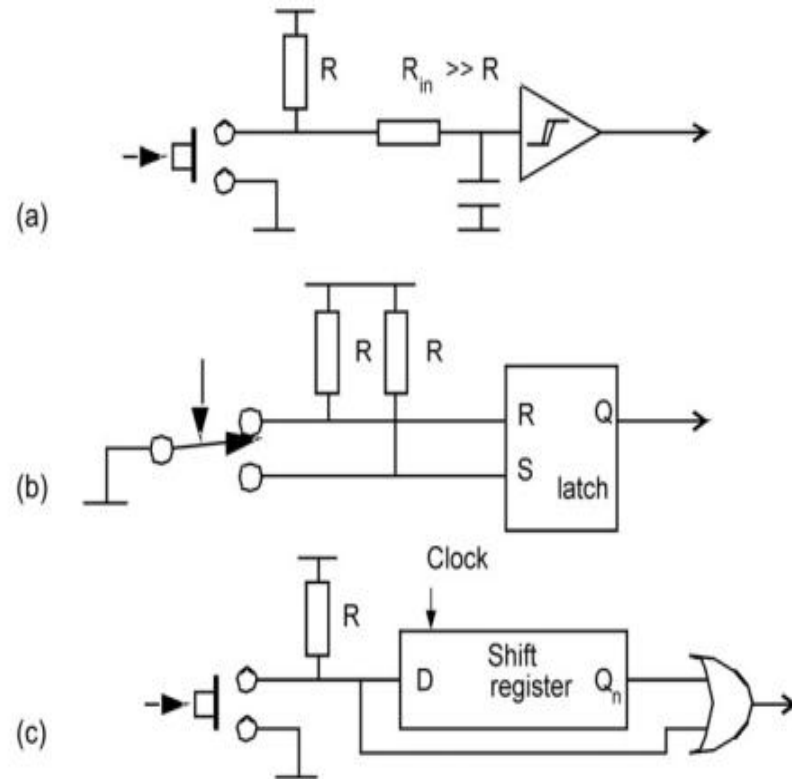
The effect of a slow input to a logic gate





# De-bouncing Switch Inputs to Digital Systems

Ensuring Reliable Digital Input from Mechanical Switches



Switch de-bouncing circuits

מהי בעיית "רעידות מגע" (Contact Bounce)?  
כאשר לוחצים על מתג (Switch), המגעים הפנימיים שלו לא מתחברים בצורה מיידית ונקייה. במקום זאת:  
נוצרים רעידות (Bounce), כלומר חיבור וניתוק מהירים של המגעים למשך זמן קצר.

רעידות אלו יוצרות אותות לא יציבים ולא נקיים (Unstable Signals), שעלולים לגרום לשגיאות במערכות דיגיטליות.

מה הבעיה עם רעידות מגע?  
לדוגמה, אם המתג מחובר לקלט דיגיטלי, רעידות המגע עלולות לגרום למערכת לקרוא כמה לחיצות במקום אחת.  
זה עשוי לא להיות בעייתי במערכות פשוטות, אך במעגלים דיגיטליים רגישים זה עלול לגרום לבעיות חמורות.

# פתרונות למניעת רעידות מגע De-bouncing

- שתי שיטות נפוצות:

1. סינון באמצעות רשת RC : מוסיפים נגד R וקבל C כדי ליצור מסנן שיחליק את האות.  
דרישות: קבוע הזמן של המסנן RC Time Constant להיות ארוך יותר מזמן הרעידות של המתג.  
יתרון: המסנן גם מפחית הפרעות (Noise) חיצוניות שנגרמות על ידי RF או EMI.  
- דורש שימוש בשערים עם כניסת Schmitt-Trigger .

2. שיטות מתקדמות: שימוש בתפיסת R-S (R-S Latch).  
אשר האות משתנה במהירות גבוהה, מסנן RC לא תמיד מספיק.  
ניתן להשתמש במעגלים מתקדמים יותר כמו RS Latch או מעגל תזמון Clocked Latch כדי לנטרל רעידות.  
דוגמה: שרטוט 6.16 (אמראה מעגל עם תזמון (Clock) שמעבד את האות באופן מדויק יותר.

Another  
Teaching  
Moment

# What is **Switch Bounce and Debounce**





# QUIZ

- מדוע רעידות מגע מהוות בעיה במערכות דיגיטליות?
- א. בגלל שהן גורמות לשחיקת מגעים.
- ב. בגלל שהן גורמות לפולסים שגויים שגורמים להפעלה שגויה של המעגלים.
- ג. בגלל שהן מאטות את קצב העבודה.
- תשובה נכונה: ב. בגלל שהן גורמות לפולסים שגויים שגורמים להפעלה שגויה של המעגלים.





## Protecting Against Externally Applied Overvoltages

### Safeguarding Digital Circuits from External Hazards

---

סיכונים במתח יתר (Overvoltage)

חשיפה לסיכונים :

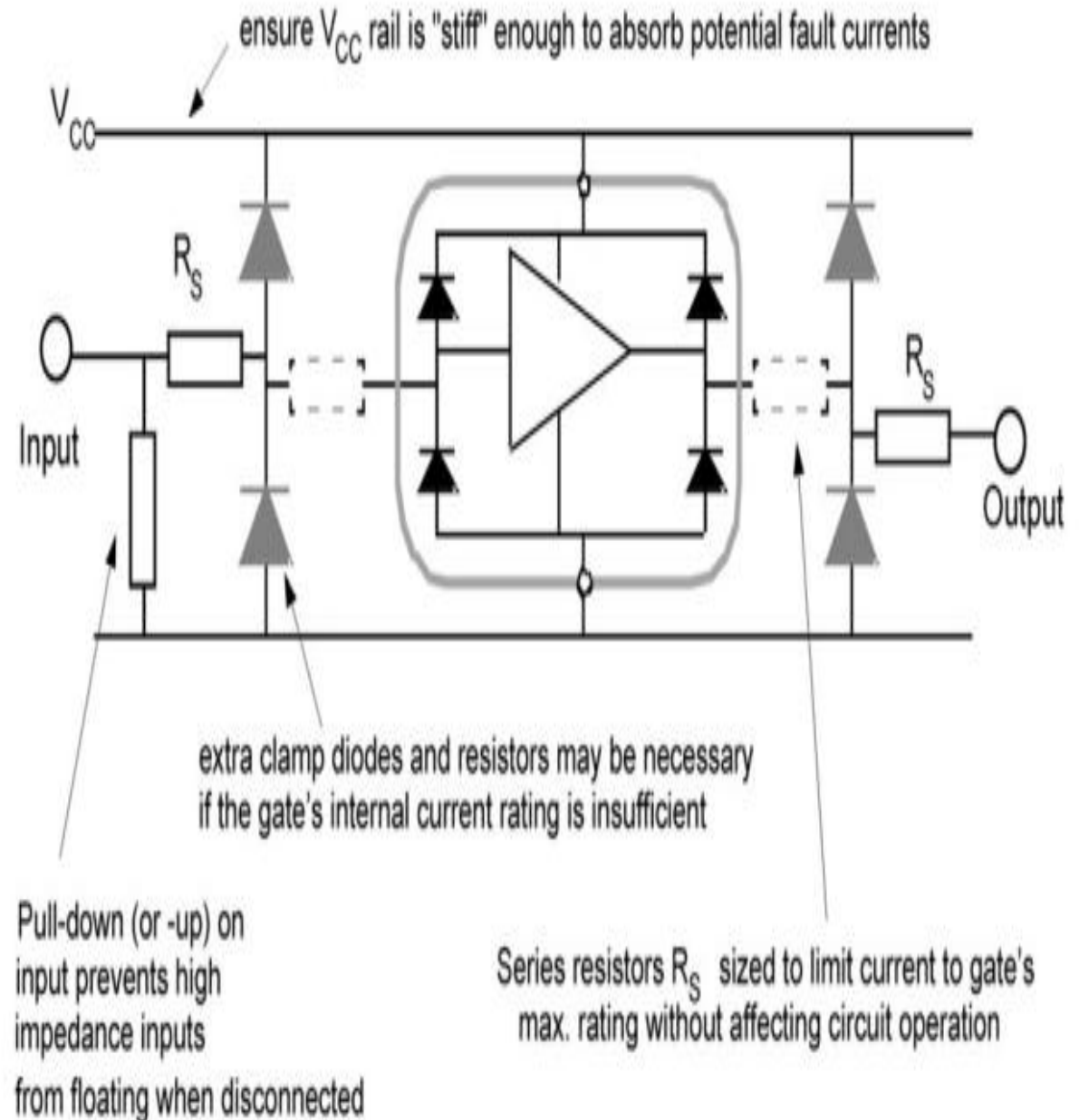
- קלטים ופלטטים דיגיטליים המתחברים ללוחות חיצוניים רגישים לאירועי מתח יתר.
- גורמים נפוצים: חיבור שגוי, פריקת חשמל סטטי או תקלות חיצוניות.

שפעה על המערכת :

- אירועים אלה עלולים לגרום לנזק מיידית או מצטבר לרכיבים.
- עלול להתרחש מצב Latch-up מסוכן, שבו מוזרם זרם או מתח מופרז לתוך מעגלים רגישים.

## שיטות הגנה:

- דיודות הגנה פנימיות:
  - קיימות במשפחות לוגיקה מודרניות, אך אינן מספקות הגנה מלאה.
- דיודות חיצוניות ונגד טורי:
  - מומלץ להשתמש ב-Clamp Diodes ובנגד טורי כדי לנתב זרם עודף בצורה בטוחה.
- ספקי מתח ורגולטורים:
  - יש לוודא שספקי המתח יכולים לספוג את האנרגיה הנוספת מבלי שהמתח שלהם יופר.
  - לשקול תכנון מחודש של הווסתים (רגולטורים) להגנה מקיפה.







# References

1. <https://www.ti.com/video/5840441551001>
2. [https://www.youtube.com/watch?v=lvU8m\\_30iK0](https://www.youtube.com/watch?v=lvU8m_30iK0)
3. <https://resources.altium.com/p/how-to-use-a-star-point-for-analog-ground-digital-ground-connection>
4. <https://wiki.analog.com/university/courses/electronics/text/chapter-20>
5. <https://www.protoexpress.com/blog/how-to-design-mixed-signal-pcb-with-signal-integrity/>
6. [file:///C:/Users/USER/Downloads/Chapter-6---Digital-circuits\\_2012\\_The-Circuit-Designer-s-Companion%20\(1\).pdf](file:///C:/Users/USER/Downloads/Chapter-6---Digital-circuits_2012_The-Circuit-Designer-s-Companion%20(1).pdf)
7. <https://www.analog.com/en/resources/technical-articles/how-to-easily-neutralize-overvoltages.html>



Thank  
YOU  
FOR  
YOUR  
TIME