

מר 034

מערך שעות לקורס - סילבוס

שם הקורס: התקנים לוגיים מתוכנתים

מס' הקורס: 31551

היקף הקורס: הרצאה – 2 ש"ש, מעבדה – 3 ש"ש,

מספר נקודות זכות: 3.5 נ"ז

ניתן בסמסטר: ב'.

בשנה"ל: תשפ"ד.

שם המרצה: ד"ר פאדל טריף

טלפון: 04-9086424

e-mail: fadelt@braude.ac.il

שעות קבלה: ימי ב', שעות 11:30-12:20

ימי ג', שעות 13:50-14:40

(בתיאום מראש בדוא"ל)

שם המתרגל (מעבדה): מר אורן זלץ

חדר: מעבדה EM305

טלפון: 050-4039735

e-mail: orenz@braude.ac.il

שעות קבלה: אחרי המעבדה

(בתיאום מראש בדוא"ל)

אודות הקורס

רכיבים לוגיים מתוכנתים הופכים להיות אבן יסוד בבניית מעגלים אלקטרוניים. קורס זה ייתן בסיס תיאורטי להבנת מערכות דיגיטליות משובצות רכיב מתוכנת יחד עם התנסות מעשית בתחום. הקורס יחולק ל-3 מודולות עיקריות שכל אחת מהן תכיל חומר תיאורטי, תרגול והתנסות מעשית במעבדה. בסוף הקורס יוגש פרויקט מסכם שיכלול את כל הידע שנרכש במהלך הקורס.

מטרות הקורס:

- הכרת תהליך פיתוח מערכות מבוססות רכיבים לוגיים מתוכנתים,
- הכרת שפת תיאור חומרה VHDL,
- הכרת טכניקות כתיבה לסימולציה וסינתזה,
- שימוש בכלים לפיתוח מערכות מבוססות רכיב לוגי מתוכנת.

פירוט נושאי הלימוד

1. מבוא לרכיבים מתוכנתים: רכיב לוגי מתוכנת, יצרני רכיבים לוגיים מתוכנתים, סוגי רכיבים לוגיים מתוכנתים, שיטות תכנון קלסיות, שפת תיאור חומרה VHDL, עקרונות השפה, רמות תיאור מעגלים, תכנון היררכי, מתודולוגיית תכנון רכיב מתוכנת בסיסית, שלבי תכנון מערכת מבוססת רכיב מתוכנת.
2. יסודות שפת התכנות VHDL: מבנה תוכנית שפת VHDL, היישות, מפתחים, הארכיטקטורה, שיטות תיאור מערכות, כללי התחביר של השפה, סוגי משתנים, ספריות וחבילות, פעולות.
3. יסודות התיאור ההתנהגותי: משתנה, קבוע, משפטי התניה ובחירה מקביליים, משפטים סדרתיים, תהליך, רשימת רגישויות, משתנה בתוך תהליך, פקודות התניה סדרתיים, לולאות, משפטי בקרה בלולאה, ההשוואה בתהליך, אירועים, כתיבה לסינתזה, תהליך ההסקה, סינתזה של מערכות סינכרוניות.
4. תיאורים מבניים: מימוש גרפי, מימוש בקוד, מבנית, שלבי תכנון היררכי, לולאות בתיאור מבני, משתנים כלליים, רכיבי LPM.
5. כלים לסימולציה ובדיקה: אירועים, השויות, מודל הסימולציה, סוגי סימולציה, תוכנית בדיקה, פקודות ניהול זמן, מחוללים, בודקי תזמונים, שימוש בתכונות ATTRIBUTES, בודקי תזמונים לרוחב, פולס מינימלי, בודקי תזמונים לזמן הכנה, בודקי תזמונים לזמן החזקה, כלים לדיבוג פרויקטים, נתח לוגי, SIGNAL TAP.
6. תיאור מכונת מצבים: מערכות צירופיות וסדרתיות, מכונת מצבים, דיאגרמת בועות, סוגי מכונת מצבים, מימוש מכונת מצבים, שבלונת מימוש מכונת מצבים בשפת VHDL.

7. ארגון ותכנון פרויקטים: ספרייה, חבילה, פונקציה, פרוצדורה.
8. מימוש רכיבי זיכרון: סוגי מידע, מערכים ורשומות, מודל של זיכרון בסיסי, תיאור רכיבי זיכרון באמצעות מערך, רכיבי LPM.
9. ממשקי קלט/פלט: דוגמאות לכתיבת ממשק להתקן קלט/פלט חיצוני.

תוצרי הלמידה:

1. הבנת מיבנה הרכיב המתוכנת.
2. הבנת תהליך תכנון מערכות משובצות רכיב מתוכנת.
3. כתיבת תוכניות בשפת VHDL לתיאור מערכות דיגטליות.
4. הבנת תהליך הסימולציה לבדיקת מערכות.
5. ביצוע סימולציה לבדיקת פונקציונליות המערכת המתוכנתת.
6. ביצוע סינתזה למערכת המתוכנתת וצריכתה ברכיב מתוכנת.
7. דיבוג המערכת המתוכנתת תוך שימוש ב-SIGNAL TAB.
8. שימוש בסביבת הפיתוח QUARTUS PRIME של חברת אינטל.
9. שימוש בסביבת הסימולציה MODELSIM של חברת מנטור גרפיקס.
10. כתיבה טכנית.

תיאור מהלך הקורס והדרישות:

- הקורס יתבסס על הרצאות, תרגולים, מעבדות, ופרויקטים:
- ההרצאות יהיו סינכרוניות בזום או פיזיות בכיתה.
 - התרגול יהיה אסינכרוני (מוקלט בוידיו).
 - במהלך המעבדה יבוצעו ניסויים להתנסות מעשית בסיסית שבמהלכם יירכש ידע והיכרות עם סביבת הפיתוח לרכיבים לוגיים מתוכנתים. בסוף כל מעבדה יוגש דו"ח מסכם, למרצה בתיבת ההגשה באתר הקורס בזוגות.
 - במהלך הקורס הסטודנטים יבצעו 2 פרויקטים: פרויקט אמצע (עבודה עצמית בבית), ופרויקט מסכם (עבודה מונחית במעבדה) שבמהלכו תאופיין מערכת מבוססת רכיב מתוכנת, שתמומש ע"י כתיבת קוד בשפת VHDL, ביצוע סימולציה, וצריכת המערכת לרכיב מתוכנת. בסוף הפרויקט יוגש דו"ח מסכם וכל סטודנט ייבחן באופן אישי.

קביעת ציון:

- דו"חות מעבדה (תקף) – 35% (במהלך המעבדה יש להציג למרצה כל שלב כמפורט במשימת מעבדה ויש לעמוד בלו"ז המוגדר).
- פרויקט מסכם (תקף) – 65%

דגשים:

- חובה לעבור כל אחד מהמרכיבים בציון מינימלי של 55 בכדי לעבור את הקורס.
- כל ההגשות יהיו באתר הקורס. לא יתקבלו הגשות חריגות לאחר סגירת המטלה.

ספרי לימוד ומקורות:

1. טריפ פ., שקפים של קורס רכיבים לוגיים מתוכנתים 31551, המכללה האקדמית להנדסה בראודה 2023.
2. זסלבסקי ע., לימוד שפת VHDL לסימולציה וסינתזה, הוצאת שורש, מהדורה שנייה, 2012.
3. זסלבסקי ע., תכן ספרתי ומבוא לפרויקטים עם רכיבי ALTERA, הוצאת שורש.
4. Sudhakar Y., Introductory VHDL from Simulation to Synthesis, Prentice Hall, 2001.
5. Douglas P., VHDL, 3rd Ed., McGraw-Hill, 1998.
6. Cyclone V GX Starter Kit, User Manual, TeraIC, 2014.
7. Intel® Quartus® Prime Edition – User Guide, UG-20173, V. 19.4, 2019, Intel.
8. ModelSim SE User's Manual, V. 10.2c, 2013, Mentor Graphics.

שבוע מספר	תאריך תחילת השבוע	נושא ההרצאה / תרגול (הרצאה - סינכרונית - זום/פרונטלי) (תרגול - אסינכרוני)	נושא המעבדה (סינכרוני - פרונטלי)
		ימי ב'	ימי ד'
1	26/5/2024 הסמסטר מתחיל ביום ג'	-----	<u>מעבדה מס' 1</u> - מבוא לכלי פיתוח רכיבים מתוכנתים, - מימוש שער AND, מסכם חצי בינארי, מרבב 4 ל- 1, מקודד לתצוגת 7 מקטעים, אוגר 8 סיביות, מונה, וגוזר.
2	2/6/2024	<u>פרק 1</u> - מבוא לרכיבים מתוכנתים <u>פרק 2</u> - יסודות שפת VHDL המשך מעבדה מס' 1
3	9/6/2024	<u>פרק 3</u> - יסודות התיאור ההתנהגותי המשך מעבדה מס' 1
4	16/6/2024	<u>פרק 5</u> - מבוא לתיאורים מבניים <u>פרק 6</u> - מבוא ל- TB	<u>מעבדה מס' 2</u> - מימוש מריץ אורות - תכנון מבני
5	23/6/2024	<u>פרק 5</u> - תיאורים מבניים - המשך <u>פרק 6</u> - כלים לסימולציה ובדיקה - Testbench - המשך המשך מעבדה מס' 2
6	30/6/2024	<u>פרק 7</u> - תיאור מכונת מצבים	מעבדה מס' 3 - מימוש שעון עצר - תכנון מבני ומכונת מצבים
7	7/7/2024	<u>תרגול מס' 1</u> - תיאור התנהגותי - אסינכרוני המשך מעבדה מס' 3
8	14/7/2024	<u>תרגול מס' 2</u> - תיאור מבני - אסינכרוני	מעבדה מס' 4 - תרגיל מסכם - כתיבת קוד למערכת בהתאם למפרט טכני, בדיקת המערכת: סימולציה, נתח לוגי, צריבה
9	21/7/2024	<u>פרק 8</u> - כלים לסימולציה ובדיקה - Signal TAP המשך מעבדה מס' 4
10	28/7/2024	<u>תרגול מס' 3</u> - תיאור מכונת מצבים - אסינכרוני המשך מעבדה מס' 4
11	4/8/2024	השלמות המשך מעבדה מס' 4
12	11/8/2024	השלמות	הצגת פרויקט מסכם
	30/8/2024		הגשת דו"ח פרויקט מסכם

תאריך: 20/3/2024

חתימה האחראי על הקורס: ד"ר פאדל טריף

תאריך: 3/2024

אישור ראש המחלקה: ד"ר רמי אהרונים