

המחלקה להנדסת חשמל ואלקטרוניקה

קורס

התקנים לוגיים מתכנתים 31551

תרגיל מעבדה מסכם

כתב וערך: מר אורן זלץ

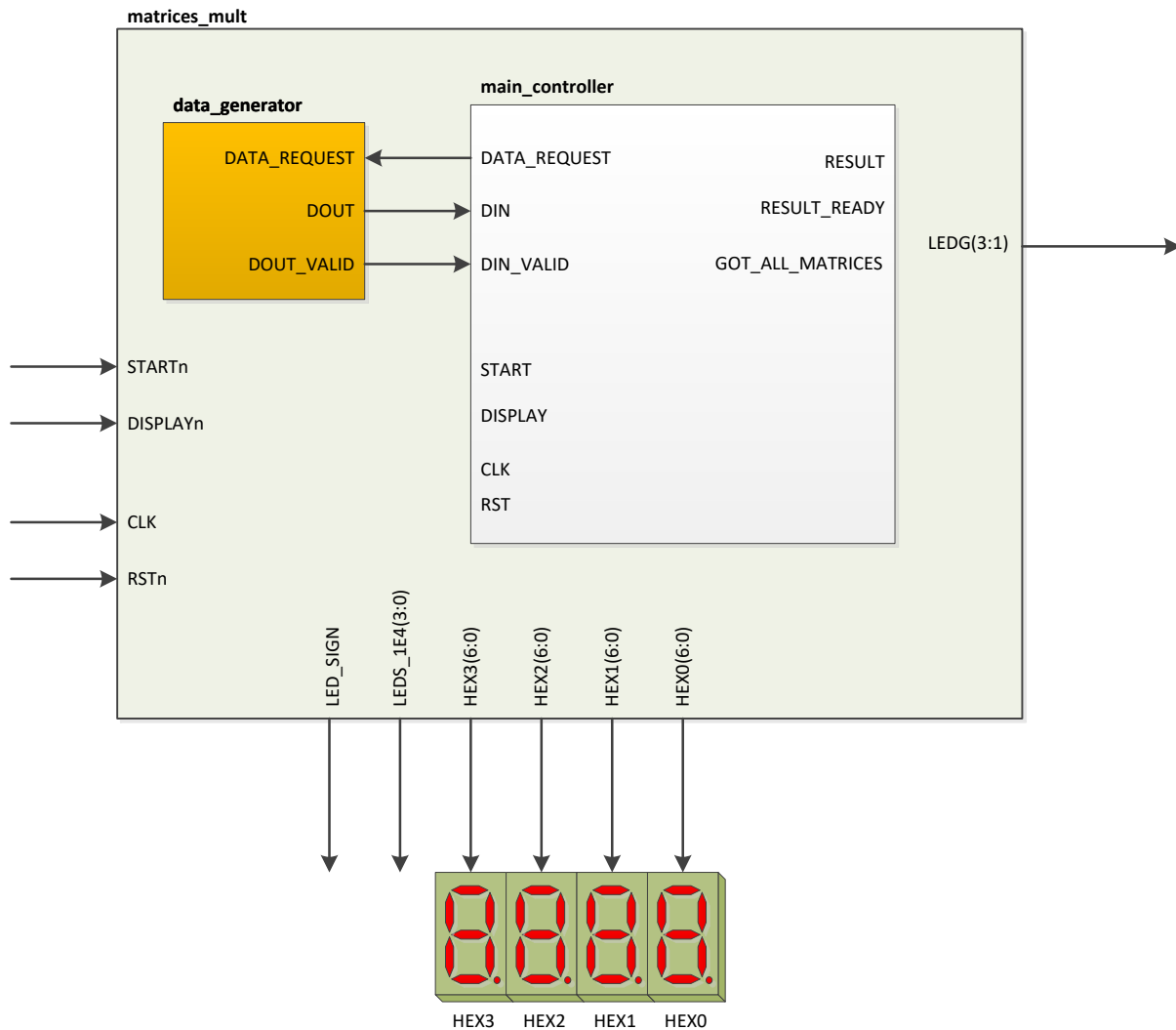
בדק ואישר: ד"ר פאדל טריף

תשפ"ד סמסטר ב'

1 כללי

יש לתכנן מערכת שקולטת 2 מטריצות בגודל 4×4 כל אחת, מחשבת את תוצאת המכפלה של שתי המטריצות ומציגה את התוצאה על-גבי תצוגת 7-segment.

2 סכימת בלוקים כללית



איור 1: סכימת בלוקים כללית

הבלוק הכתום יספק את המטריצות עליהן יבוצע החישוב. בלוק זה יסופק על ידינו ויהיה חלק מהקושחה הכוללת. שימו לב: הבלוק `main_controller` הוא הבלוק הראשי אך לא היחיד. כל השאר לא מופיעים באיור זה.

3 הגדרת הדרישות

3.1 פירוט דרישות המערכת

- המערכת תופעל משעון יחיד של 50MHz.
- כניסת ה- RESET היא active low – מגיעה מלחצן שבערכה
- המערכת תתעורר במצב המתנה. במצב זה כל ה-LEDs ותצוגת ה-7seg יהיו כבויים למעט LEDG(1) שידלוק בכל זמן פעולת המערכת.
- לחיצה ראשונה על הלחצן STARTn תגרום לבלוק data_generator להתחיל להוציא את שתי המטריצות. קודם כל יתקבלו כל 16 האיברים של המטריצה הראשונה ולאחר מכן כל 16 האיברים של המטריצה השנייה. סדר קבלת האיברים לכל מטריצה הוא משמאל לימין ומלמעלה למטה. **בזמן קבלת המטריצות, המערכת תתעלם מלחיצות על הלחצנים STARTn ו- DISPLAYn.**
- גודל כל מטריצה 4x4 כאשר כל איבר במטריצה הוא 8 bits signed (מספרים מסומנים בין 127- ל +127).
- המטריצות ירשמו לזיכרון בסדר שנתון לשיקולכם. שימו לב: סדר רישום איברי המטריצות לזיכרון ישפיע על אופן ואופטימליות המימוש.
- בסיום קבלת שתי המטריצות (ורישומן לזיכרון) ידלק LEDG(2) והמערכת תעבור למצב המתנה.
- לחיצה על לחצן STARTn תעביר את המערכת למצב חישוב שבו תחושב המטריצה שהיא מכפלה של שתי המטריצות שהתקבלו ונמצאות בזיכרון. **בזמן חישוב מטריצת היעד, המערכת תתעלם מלחיצות על הלחצנים STARTn ו- DISPLAYn.**
- המטריצה שהיא תוצאת ההכפלה של שתי המטריצות שהתקבלו תרשם אף היא לאותו הזיכרון בכתובות אחרות. **שימו לב: בכל מחזור שעון ניתן לבצע קריאה מהזיכרון או כתיבה לזיכרון. אין אפשרות לכתוב ולקרוא מהזיכרון בו-זמנית.**
- בסיום רישום מטריצת היעד לזיכרון המערכת תעבור באופן אוטומטי למצב הצגה: תצוגת 7-seg תדלק ותציג כבר עתה את האיבר הראשון במטריצת היעד. במצב זה LEDG(2) יכבה ו-LEDG(3) ידלק.
- כל לחיצה על לחצן DISPLAYn תגרום להצגת האיבר הבא של מטריצת היעד על גבי התצוגה.
- שימו לב: הערכה כוללת 4 ספרות בתצוגה. זה לא מספיק בכדי להציג מספרים של 5 ספרות ולכן ישנם 4 לדים שנקראים LEDS_1E4 שם תוצג **ספרת עשרות האלפים של המספר בקידוד בינארי.**
- הסימן של התוצאה יוצג על גבי LED_SIGN: כבוי-התוצאה חיובית, דולק-התוצאה שלילית.
- במידה ומוצג האיבר ה-16 ונלחץ שוב הלחצן DISPLAYn, יוצג שוב האיבר הראשון וחוזר חלילה.
- לחיצה על הלחצן STARTn תחזיר את המערכת למצב המתנה (המצב ההתחלתי). במצב זה המערכת שוב תחכה ללחיצה על הלחצן STARTn ותהיה מוכנה לקבל שתי מטריצות חדשות. כל התצוגות והלדים יכבו (למעט LEDG(1) שכאמור ידלוק לאורך כל פעולת המערכת).
- אין הגבלה על מספר הסבבים שהמערכת מסוגלת לבצע.

דגשים:

1. ינתן דגש על זמן החישוב של מטריצת היעד. ככל שיקח פחות מחזורי שעון כך יותר טוב.
2. ינתן דגש על כמות המכפלים שבשימוש – ככל שיש פחות כך יותר טוב.

שימו לב: שני הדגשים סותרים אחד את השני.

יש יותר מפתרון אחד קביל אחד.

4 ציוד נדרש

- ערכת Cyclone V Starter Kit
- מחשב הכולל notepad++, modelsim, quartus-i.

5 הנחיות כלליות

- הקוד יכתב ב-VHDL
- יש לכתוב testbench ולסמלץ כל בלוק בנפרד (למעט בלוקים שצויין שלא נדרש עבורם testbench).
- יש לבצע סימולציה מלאה לכל המערכת (full chip).
- כל הקוד שיוגש חייב להיות אישי. אין להשתמש בקוד מוכן (למעט היכן שצויין אחרת) או להוריד מודולים מאתרים שונים ברשת.
- יש לצרף קובץ do שמקמפל את כל הפרויקט ב-modelsim.
- יש לצרף קובץ do ששומר את סידור הסיגנלים ב-waveform כולל group לסיגנלים של כל קומפוננטה.
- יש לצרף קובץ do שקורא לשני קבצי ה-do הקודמים ובנוסף טוען את התוכן לתוך הסימולטור ומריץ את הסימולציה.
- שימוש ב-synchronizer במקומות שנדרש.
- שימוש בגוזר במקומות שנדרש.
- יש להקפיד על כתיבה מבנית.
- אין להשתמש במשתנים פרט לשמירת חישובי ביניים.
- יש להקפיד על כללי הכתיבה הנכונה לסינתיזה.
- אין להשתמש במספרים בתוך הקוד. יש להגדיר קבועים עם שמות בעלי משמעות (מותר להשתמש במספרים 0 ו-1 בתוך הקוד. אין צורך להגדיר עבורם קבוע).
- אין להשתמש בלולאות (for loop למשל) בקוד שמיועד לסינתיזה. במידה והשתמשם בלולאות – יש לנמק למה היה צריך.
- יש לוודא שאין critical warnings או warning משמעותיים ב-quartus.
- אין להשתמש בפעולות חלוקה (/ או mod).
- לפני תחילת העבודה נא לוודא שאתם זוכרים כיצד מכפילים שתי מטריצות.

שימו לב, בדיקת התרגיל היא אוטומטית בחלקה.

חובה לשמור על שמות הקבצים, שמות ה-entities, שמות ה-ports וה-generics המוגדרים במסמך זה אחרת ירדו נקודות לחינם.

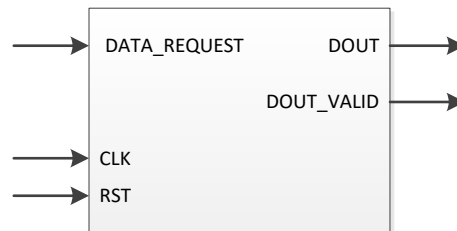
6 תכן מפורט

6.1 תהליך התכנון

6.1.1 תיאור הבלוק DATA GENERATOR

**ניתן להוריד את הבלוק הזה מהמודל
אין צורך לבצע סימולציה לבלוק זה. יש tb למי שמעוניין.**

בלוק זה מייצר מידע מקבילי כל עליית שעון. המידע ביציאה DOUT תקף כאשר היציאה DOUT_VALID בגבוה.



איור 2: בלוק data generator

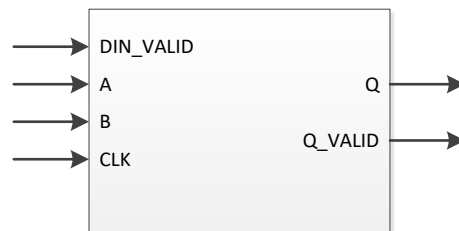
טבלה 1: תיאור הבלוק data generator

Generics			
Name	default value	type	Description
Ports			
Name	Dir.	type	Description
System Signals			
CLK	I	std_logic	System clock
RST	I	std_logic	Active high asynchronous reset
Other Signals			
DATA_REQUEST	I	std_logic	פעיל בגבוה, ברוחב מחזור שעון אחד. פולס אחד בכניסה זו יגרום להוצאת 16 איברים של מטריצה אחת. הבלוק יתעלם מכניסה זו בזמן שהוא מוציא נתונים.
DOUT	O	std_logic_vector (7:0)	16 איברי המטריצה יוצאים לפי הסדר משמאל לימין, מלמעלה למטה. כל מספר מיוצג ע"י 8 סיביות. המספרים מסומנים (signed).
DOUT_VALID	O	std_logic	המידע ביציאה DOUT תקף בכל עליית שעון שבה יציאה זו בגבוה.

6.1.2 תיאור הבלוק my_multiplier

**ניתן להוריד את הבלוק הזה מהמודל
אין צורך לבצע סימולציה לבלוק זה. יש tb למי שמעוניין.**

בלוק זה מכפיל שני מספרים. שני המספרים יכולים להיות מסומנים או לא מסומנים. תוצאת ההכפלה תופיע ביציאת הבלוק לאחר מספר מחזורי שעון שנקבע על סמך פרמטר המתואר בטבלה מטה.

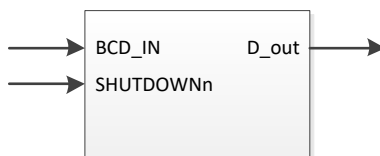


איור 3: בלוק my_multiplier

טבלה 2: תיאור הבלוק my_multiplier

Generics			
Name	default value	type	Description
N	8		כמות הביטים בכניסות A ו-B
LATENCY	1		השהייה של המכפל מכניסה ליציאה במחזורי שעון (מינימום 1)
IS_SIGNED	false		False - המספרים חיוביים True - המספרים מסומנים
Ports			
Name	Dir.	type	Description
System Signals			
CLK	I	std_logic	System clock
Other Signals			
DIN_VALID	I	std_logic	1 בכניסה זו אומר שהכניסות A ו-B תקפות
A	I	std_logic_vector (N-1:0)	
B	I	std_logic_vector (N-1:0)	
Q	O	std_logic_vector (2N-1:0)	תוצאת המכפלה של A ו-B
Q_VALID	O	std_logic	היציאה Q תקפה כאשר יציאה זו ב-1

6.1.3 בלוק bcd_to_7seg



איור 4 : הבלוק bcd_to_7seg

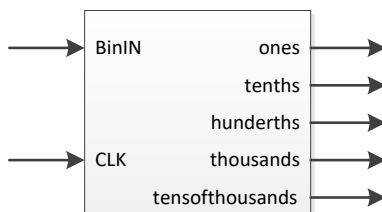
טבלה 3: תיאור הבלוק bcd_to_7seg

Generics			
Name	default value	Type	Description
Ports			
Name	Dir.	type	Description
User Signals			
BCD_IN	I	std_logic_vector (3:0)	BCD digit value
SHUTDOWNn	I	std_logic	0 – D_out is all '1' regardless of BCD_IN state.
D_out	O	std_logic_vector (6:0)	Digit value in 7-seg format (common anode)

ניתן להוריד את הבלוק הזה מהמודל

אין צורך לבצע סימולציה לבלוק זה

6.1.4 בלוק bin2bcd_12bit_sync



איור 5: הבלוק bin2bcd_12bit_sync

טבלה 4: תיאור הבלוק bin2bcd_12bit_sync

Generics			
Name	default value	Type	Description
Ports			
Name	Dir.	type	Description
System Signals			
CLK	I	std_logic	
User Signals			
BinIN	I	std_logic_vector (15:0)	BCD digit value
ones	O	std_logic_vector (3:0)	One's digit
tenths	O	std_logic_vector (3:0)	Tenth's digit
hunderths	O	std_logic_vector (3:0)	Hundred's digit
thousands	O	std_logic_vector (3:0)	Thousand's digit
tensofthousands	O	std_logic_vector (3:0)	ספרת עשרות האלפים

ניתן להוריד את הבלוק הזה מהמודל

אין צורך לבצע סימולציה לבלוק זה

6.1.5 בלוק matrix_ram



איור 6 : הבלוק matrix_ram

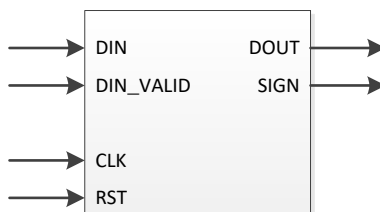
טבלה 5: תיאור הבלוק matrix_ram

Generics			
Name	default value	Type	Description
DATA_WIDTH	8	integer	
ADDRESS_BITS	6	integer	
Ports			
Name	Dir.	type	Description
System Signals			
CLK	I	std_logic	System clock
RST	I	std_logic	Active high asynchronous reset
User Signals			
DATA	I	std_logic_vector (DATA_WIDTH-1:0)	Write data port
WREN	I	std_logic	Active high write enable input
ADDRESS	I	std_logic_vector (ADDRESS_BITS-1:0)	Memory address
BYTEENA	I	std_logic_vector (DATA_WIDTH/8-1:0)	Active high byte enable input
Q	O	std_logic_vector (DATA_WIDTH-1:0)	Read data ההשהייה בקריאה מ-ADDRESS ל-Q היא מחזור שעון אחד

ניתן להוריד את הבלוק הזה מהמודל

אין צורך לבצע סימולציה לבלוק זה

6.1.6 בלוק num_convert



איור 6 : הבלוק num_convert

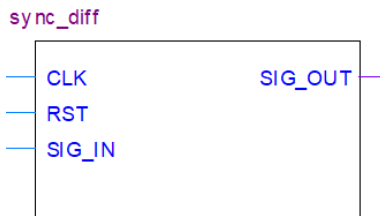
טבלה 6: תיאור הבלוק num_convert

Generics			
Name	default value	Type	Description
Ports			
Name	Dir.	type	Description
System Signals			
CLK	I	std_logic	System clock
RST		std_logic	Asynchronous, active high reset
User Signals			
DIN	I	std_logic_vector (16:0)	מספר מסומן
DIN_VALID	O	std_logic_vector (3:0)	1-DIN is valid
DOUT	O	std_logic_vector (15:0)	הערך המוחלט של המספר שבכניסה
SIGN	O	std_logic	0- המספר שבכניסה חיוב 1- המספר שבכניסה שלילי

ניתן להוריד את הבלוק הזה מהמודל

אין צורך לבצע סימולציה לבלוק זה

6.1.18 מימוש הבלוק sync_diff



איור 9: הבלוק של סינכרוניזציה/גוזר

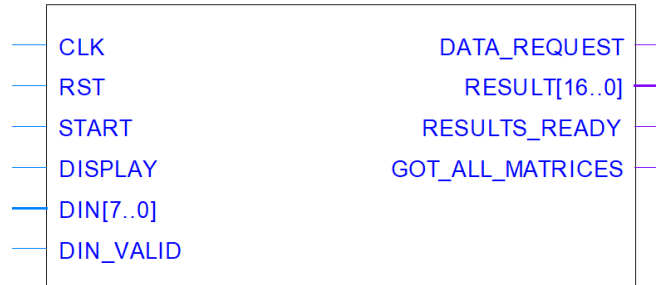
טבלה 8: תיאור הבלוק sync_diff

Generics			
Name	Dir.	Type	Description
G_DERIVATE_RISING_EDGE		boolean	אם true – גוזר עליה אם false – גוזר ירידה
G_SIG_IN_INIT_VALUE		std_logic	לשים פה את ערך ברירת המחדל של הסיגנל בכניסה
Ports			
Name	Dir.	type	Description
System Signals			
CLK	I	std_logic	System clock
RST	I	std_logic	Active low system reset. Connect to KEY0 on EVB.
SIG_IN	I	std_logic	0 – KEY pressed 1 – KEY not pressed
SIG_OUT	O	std_logic	Gets 1 for 1 clk cycle when SIG_IN pressed

ניתן להוריד את הבלוק הזה מהמודל.

אין צורך לבצע סימולציה לבלוק זה.

6.1.19 מימוש הבלוק main_controller



איור 7 : הבלוק main_controller

טבלה 7: תיאור הבלוק main_controller

Generics			
Name	Dir.	Type	Description
Ports			
Name	Dir.	type	Description
System Signals			
CLK	I	std_logic	System clock
RST	I	std_logic	Active high asynchronous reset
START	I	std_logic	פולס חיובי ברוחב מחזור שעון אחד שמתקבל בעקבות לחיצה (ולא שחרור) על הלחצן STARTn
DISPLAY	I	std_logic	פולס חיובי ברוחב מחזור שעון אחד שמתקבל בעקבות לחיצה (ולא שחרור) על הלחצן DISPLAYn
DATA_REQUEST	O	std_logic	פולס חיובי ברוחב מחזור שעון אחד שבעקבותיו יתקבלו 16 איברים של מטריצה אחת.
DIN	I	std_logic_vector (7:0)	כניסת המידע של איברי המטריצה המתקבלת
DIN_VALID	I	std_logic	המידע בכניסה DIN תקף בכל עלית שעון שבה כניסה זו ב-'1'
RESULT	O	std_logic_vector (16:0)	ביציאה זו יצאו הערכים של מטריצת היעד
RESULT_READY	O	std_logic	המידע ביציאה RESULT תקף בכל עלית שעון שבה יציאה זו ב-'1'.
GOT_ALL_MATRICES	O	std_logic	יציאה זו תעלה ל-'1' לאחר שהתבלו שתי מטריצות המקור ונרשמו לזיכרון.

יש לממש את הבלוק. יש לבדוק את התנהגות המערכת באמצעות שימוש ב-testbench ברמה העליונה בלבד!
אין צורך לבנות testbench נפרד לבלוק זה

6.1.20 מימוש הרמה העליונה



איור 8 : הבלוק של הרמה העליונה

טבלה 8: תיאור הבלוק *matrices_mult*

Generics			
Name	Dir.	Type	Description
Ports			
Name	Dir.	type	Description
System Signals			
CLK	I	std_logic	System clock
RSTn	I	std_logic	Active low system reset. Connect to KEY0 on EVB.
STARTn	I	std_logic	0 – KEY pressed 1 – KEY not pressed
DISPLAYn	I	std_logic	0 – KEY pressed 1 – KEY not pressed
HEX0	O	std_logic_vector (6:0)	0 will turn on the relevant segment ספרת האחדות
HEX1	O	std_logic_vector (6:0)	0 will turn on the relevant segment ספרת העשרות
HEX2	O	std_logic_vector (6:0)	0 will turn on the relevant segment ספרת המאות
HEX3	O	std_logic_vector (6:0)	0 will turn on the relevant segment ספרת האלפים
LEDS_1E4	O	std_logic_vector (3:0)	יצוג בינארי של ספרת עשרות האלפים 1 will turn on the relevant LED
LED_SIGN	O	std_logic	1 will turn on the relevant LED
LEDG	O	std_logic_vector (3:1)	1 will turn on the relevant LED

יש לממש את הבלוק. יש לבדוק את התנהגות המערכת באמצעות שימוש ב-testbench מוכן שניתן להוריד מהמודל.

באמצעות testbench זה יבדקו העבודות על ידינו טרם מתן הציון.

7 הדות המסכם

הדוח יוגש כמסמך word ויכלול את הפרקים הבאים:

- דף שער
- הגדרת דרישות המערכת.
- סכימת בלוקים מפורטת.
- תיאור כל בלוק כולל דיאגרמות מצבים של מכונות המצבים של אותו הבלוק (למעט בלוקים שקבלתם מוכנים). אין לצרף דיאגרמות מצבים מתוך ה-quartus אלא שרטוטים אישיים בלבד.
- תוצאות סימולציה של כל בלוק (למעט בלוקים שקבלתם מוכנים).
- תוצאות סימולציית full-chip.
- סיכום ניצול משאבים של כל בלוק ושל כל התכן.
- מספר תוצאות "מעניינות" של ה-signal tap.
- תוצאות ניתוח timing.
- תוצאות RTL netlist viewer עבור כל בלוק ועבור הרמה העליונה
- סיכום ומסקנות.
- יש לכווץ את כל התיקיה של הפרויקט ולהגיש יחד עם הדו"ח המסכם.

הצגת הפרויקט בתאריך

12,14/8/2024

הגשת הדו"ח עד 30/8/2024

לו"ז ביצוע הפרויקט

מפגש	תאריך תחילת שבוע	נושא לביצוע	הערות
1	21/7/2024	1. הצגת התרגיל המסכם	בזמן המעבדה - 3 שעות
2	28/7/2024	2. מימוש הבקר הראשי	בזמן המעבדה - 3 שעות
3	4/8/2024	3. מימוש הרמה העליונה וצריבת המערכת	בזמן המעבדה - 3 שעות
4	11/8/2024	4. הצגת הפרויקט	בזמן המעבדה - 3 שעות
	30/8/2024	5. הגשת דו"ח	סה"כ 12 שעות