```
`timescale 1 ns / 1 ns
module cascsdcoef
           clk,
           reset,
           clk enable,
           ce out,
           Out1
          );
  input
         clk;
  input reset;
  input clk enable;
  output ce out;
  output signed [63:0] Out1; // sfix64
  wire enb 1 147 0;
  wire enb 1 120 0;
  wire enb 1 480 1;
  wire enb 1 160 0;
  wire enb 1 160 1;
  wire enb 1 105 0;
  wire enb 1 840 1;
  wire enb 1 120 1;
  wire enb_1_735_1;
  wire enb 1 105 1;
 wire signed [63:0] Subsystem17 out1; // sfix64
 wire signed [63:0] Subsystem15 out1; // sfix64
  wire signed [63:0] Subsystem out1; // sfix64
  cascsdcoef tc u cascsdcoef tc
                                    (.clk(clk),
                                      .reset(reset),
                                      .clk enable(clk enable),
                                      .enb 1 105 0 (enb 1 105 0),
                                      .enb 1 105 1(enb 1 105 1),
                                      .enb_1_120_0(enb_1_120_0),
                                      .enb_1_120_1(enb_1_120_1),
                                      .enb 1 147 0(enb 1 147 0),
                                      .enb 1 160 0(enb 1 160 0),
                                      .enb_1_160_1(enb_1_160_1),
                                     .enb_1_480_1(enb_1_480_1),
                                      .enb 1 735 1(enb 1 735 1),
                                      .enb 1 840 1(enb 1 840 1)
  Subsystem17 u Subsystem17
                                 (.clk(clk),
                                  .reset(reset),
                                  .enb_1_147_0(enb_1_147_0),
                                  .enb 1 105 0(enb 1 105 0),
```

```
.enb_1_735_1(enb_1_735_1),
.enb_1_105_1(enb_1_105_1),
                                     .Out1(Subsystem17 out1) // sfix64
                                     );
  Subsystem15 u Subsystem15
                                    (.clk(clk),
                                     .reset(reset),
                                     .enb 1 120 0(enb 1 120 0),
                                     .enb 1 105 0 (enb 1 105 0),
                                     .enb_1_840_1 (enb_1_840_1),
                                     .enb 1 120 1(enb 1 120 1),
                                     .In1(Subsystem17_out1), // sfix64
.Out1(Subsystem15_out1) // sfix64
                                     );
  Subsystem u Subsystem
                              (.clk(clk),
                                .reset(reset),
                                .enb_1_120_0(enb_1_120_0),
                                .enb 1 480 1(enb 1 480 1),
                                .enb_1_160_0(enb_1_160_0),
                                .enb_1_160_1(enb_1_160_1),
                                .In1(Subsystem15_out1), // sfix64
                                .Out1(Subsystem_out1) // sfix64
  assign Out1 = Subsystem out1;
  assign ce out = enb 1 160 1;
endmodule // cascsdcoef
```