



## **Circuitos lógicos programables**

### **Contador ascendente/Descendente controlado por UART**

### **Trabajo práctico final**

Lic. Mariano A. Deville

([mariano.deville@gmail.com](mailto:mariano.deville@gmail.com))

## Descripción del Sistema

El proyecto consiste en la implementación de un contador de 8 bits controlado mediante comandos UART, con las siguientes características principales:

Comandos de control:

- C: comenzar la cuenta.
- P: detener la cuenta.
- A: contar en forma ascendente.
- D: contar en forma descendente.
- R: resetear el contador a cero.
- Vn: configurar velocidad de cuenta, donde  $n \in [0, 255]$ .
- On: configurar límite de cuenta, donde  $n \in [1, 255]$ .

Parámetros del sistema:

- Rango de velocidad de conteo: desde 2 pulsos de reloj del sistema hasta 16.581.375 pulsos.
- Rango del límite de conteo: 1 a 255.

Implementación:

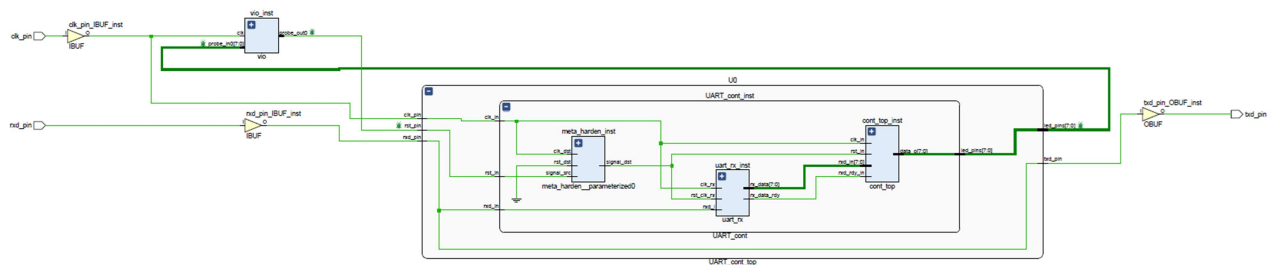
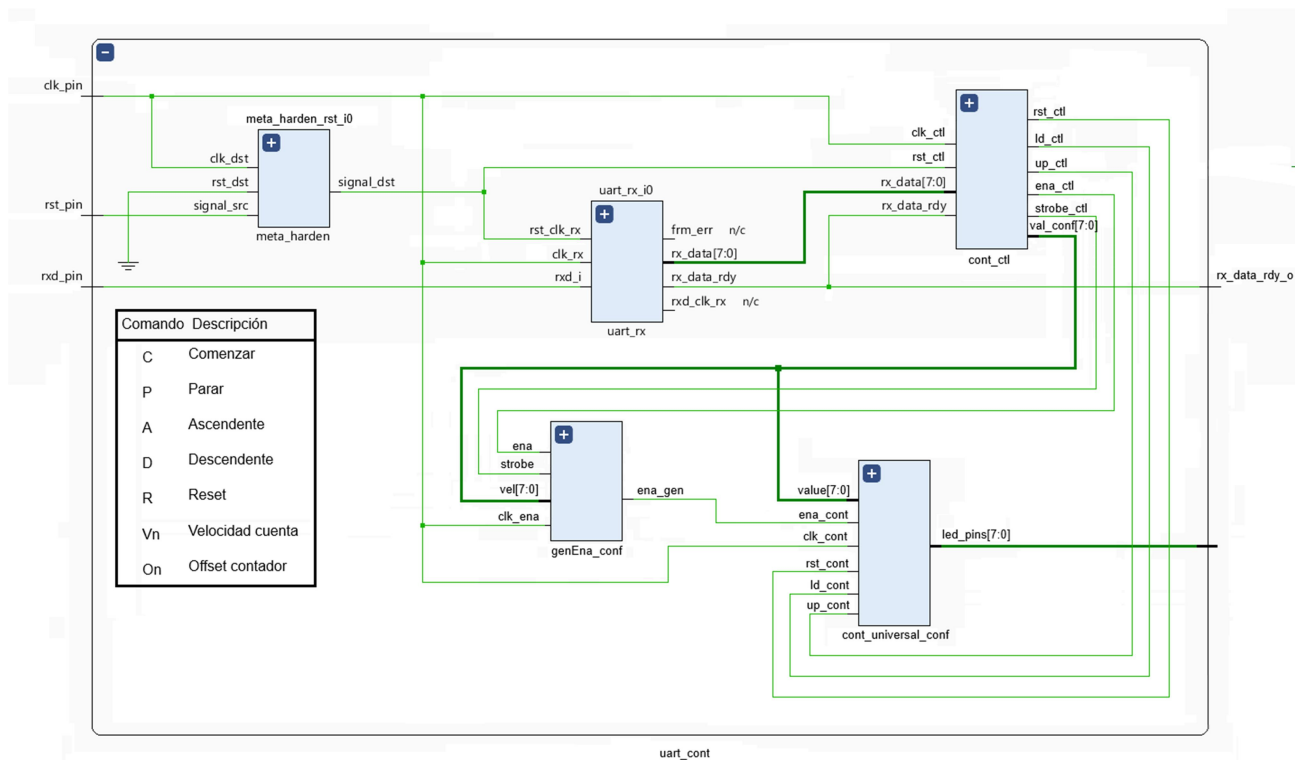
El diseño se basa en la práctica previa UART\_led, reutilizando los módulos UART existentes. Se emplearon versiones modificadas de los módulos enaGen y contador\_universal, y se desarrolló un nuevo módulo encargado de:

- Recibir la salida de la UART.
- Interpretar los comandos recibidos.
- Controlar el generador de pulsos (enaGen) y el contador (contador\_universal).

Salida:

El resultado del conteo se visualiza en un bus de 8 bits conectado a LEDs mediante un módulo VIO (Virtual Input/Output), que refleja en tiempo real el estado del contador.

El siguiente diagrama conceptual muestra la idea inicial de los módulos y su interconexión, mientras que el diagrama final refleja la implementación definitiva del sistema.

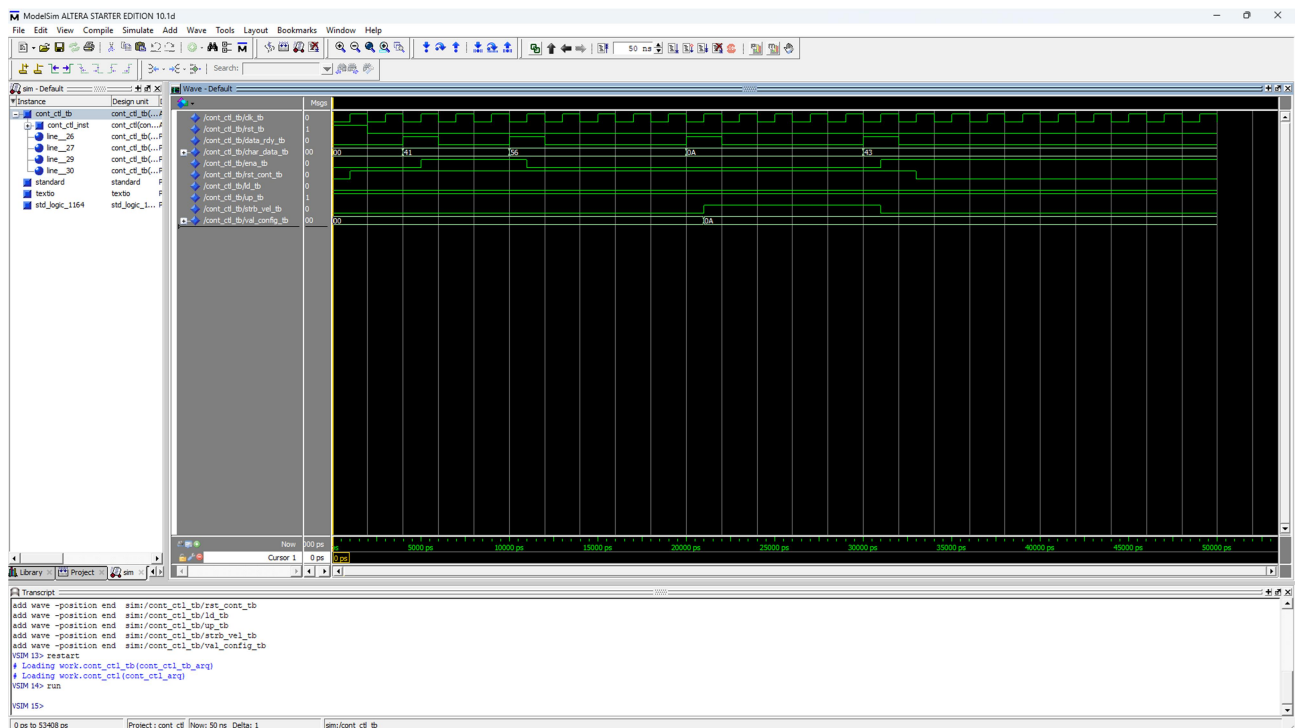


## Simulaciones

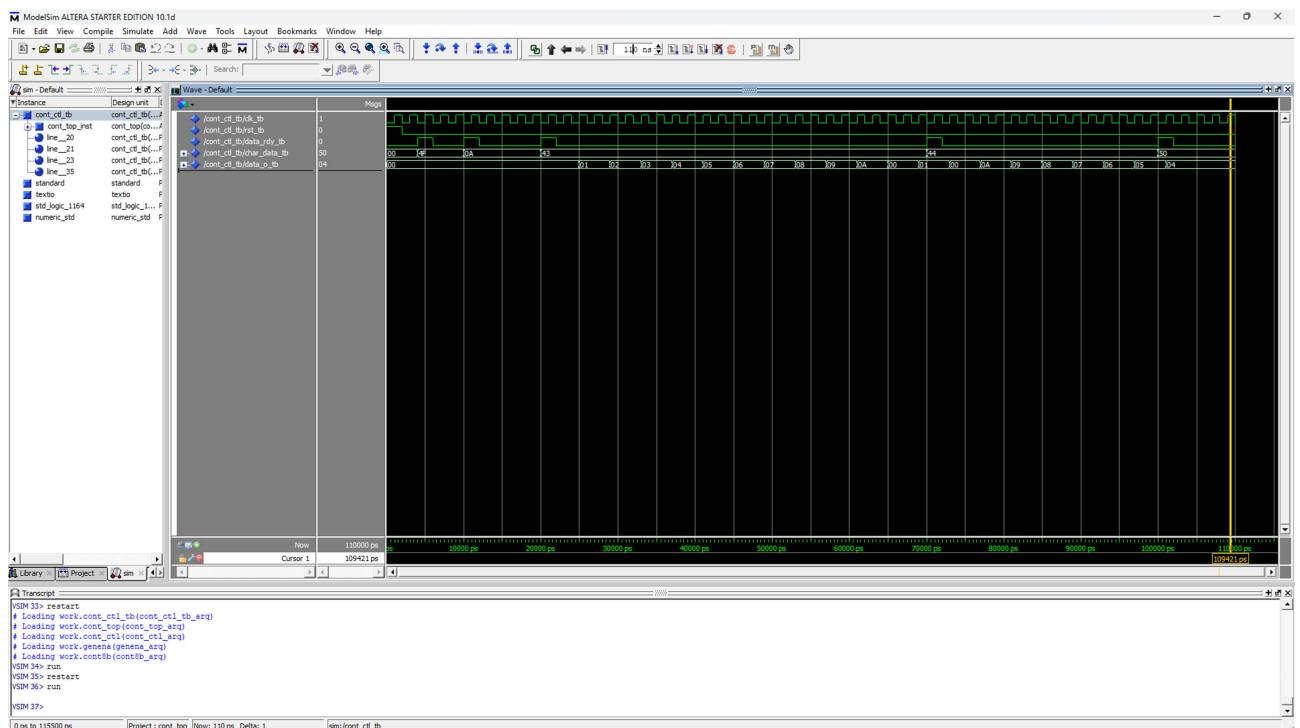
Se realizaron simulaciones individuales para cada módulo.

Una vez validadas, los módulos fueron integrados en bloques funcionales y nuevamente verificados.

Las simulaciones más relevantes corresponden a los módulos que controlan el generador de pulsos de habilitación y el contador de 8 bits (cont\_ctl, genEna y cont8b).



Finalmente, se simuló el bloque integrado que contiene los tres módulos principales, verificando el correcto funcionamiento del sistema completo.



## Implementación en FPGA

Para la implementación final se utilizó la placa disponible en el servidor lseserver, empleando un VIO para el manejo de las señales digitales de entrada y salida.

La comunicación UART se realizó mediante una sesión SSH que permitió enviar los comandos a través de la interfaz RS232.

En la siguiente imagen se muestran los recursos utilizados por la FPGA, y en la imagen posterior, el consumo de potencia correspondiente.

