

***Tema 3***

***SISTEMAS***

***SECUENCIALES***

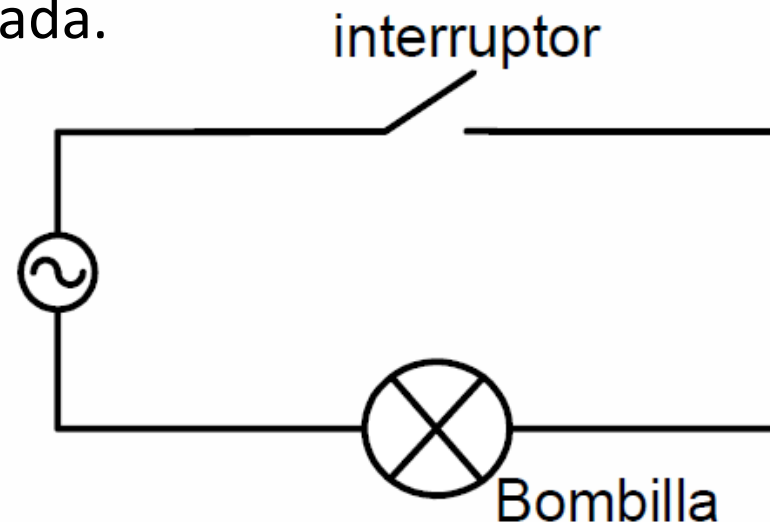
## 1.CIRCUITOS SECUENCIALES.

En los **sistemas combinacionales** las salidas son función exclusiva del valor de sus entradas en un momento dado.

Como ejemplo de sistema combinacional se puede considerar el circuito de iluminación de una habitación que disponga de un interruptor y una bombilla

Considerando como entrada la posición del interruptor (abierto o cerrado) y como salida el estado de la bombilla (encendida o apagada).

La salida depende del valor de la entrada.

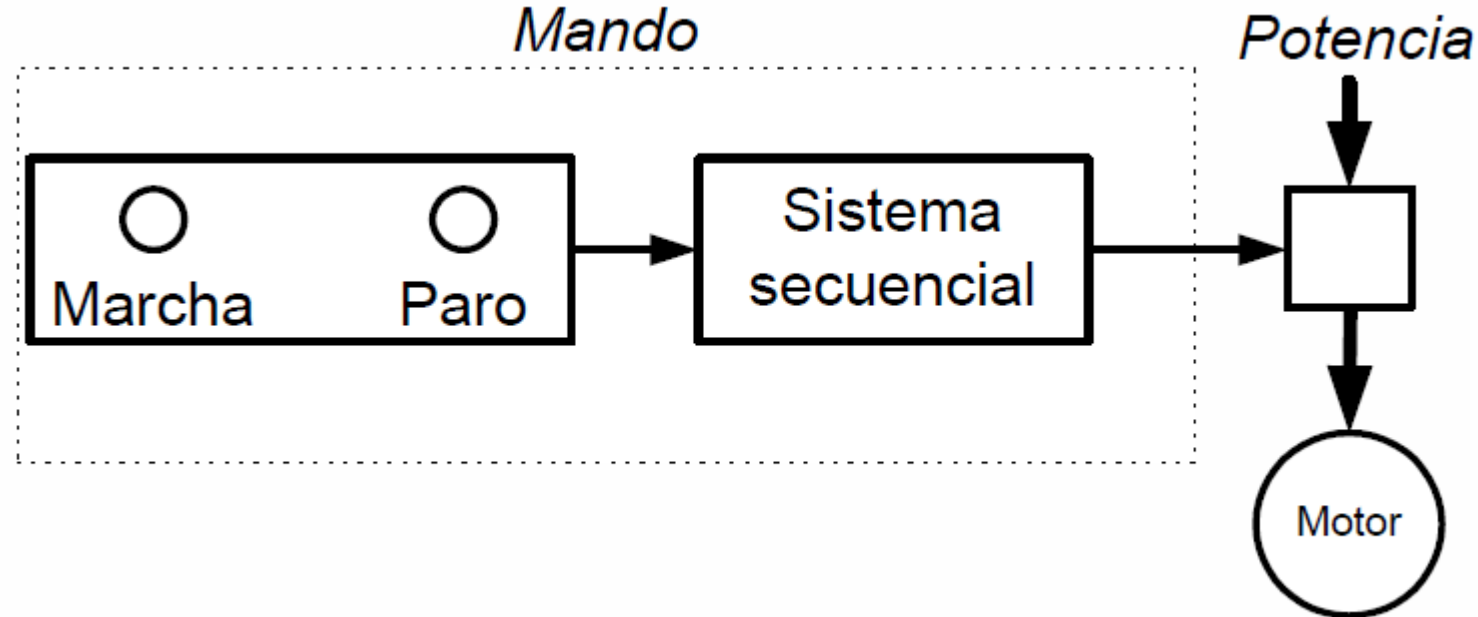


Por otra parte, un ascensor es un ejemplo de un sistema secuencial, donde se consideran como **entradas** todos los pulsadores y sensores del mismo y como **salida** la acción que realiza el motor (giro en un sentido, giro en otro o detenido).

El conocimiento que se tenga en un instante determinado de las entradas, no es suficiente para determinar la acción del motor, es necesario además disponer de la información de la posición de la cabina.

Esta ultima información se puede considerar como el estado en que se encuentra el sistema.

Otro ejemplo de sistema secuencial muy simple es el de una instalación que disponga de un motor eléctrico con un panel de mandos con dos pulsadores, uno de marcha y otro de paro.

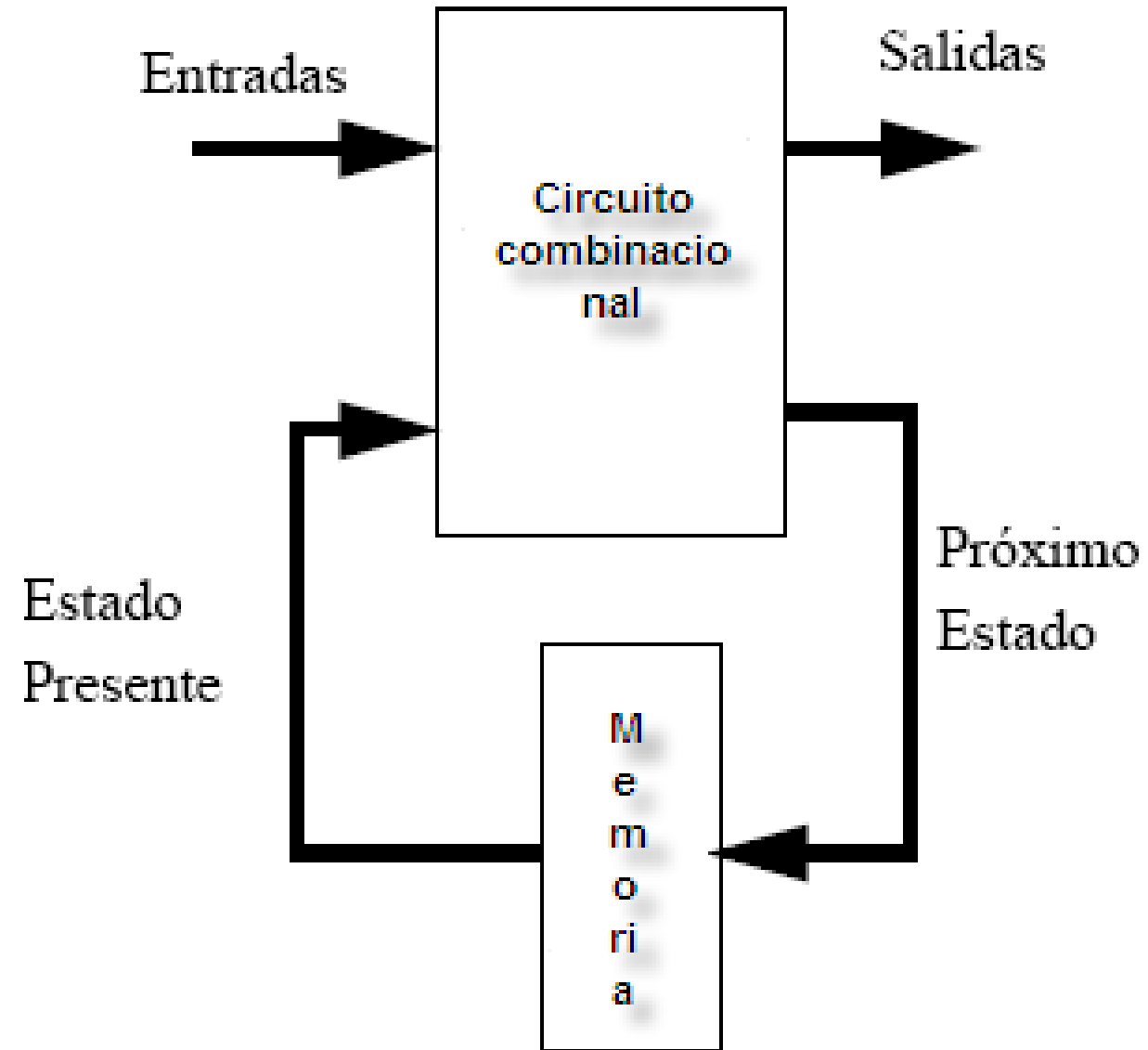


El funcionamiento es el siguiente:

- al pulsar el botón de marcha el motor gira y continúa girando aún cuando se deje de pulsar
- que se detenga a partir de pulsar el pulsador de paro, y continúe detenido cuando se deje de pulsar

Por tanto, para este sistema el conocimiento de una entrada en la que los dos pulsadores estén en reposo no es suficiente para decir si el motor está girando o no, se necesita información de su estado.

Un *circuito secuencial* es un sistema electrónico digital , en el que las variables de salida en un instante dado *no dependen solamente* de los valores que tengan las entradas en ese mismo instante, sino que además también dependen de los valores que esas entradas hallan tomado anteriormente a ese instante (secuencia de las entradas).



Los circuitos secuenciales se pueden clasificar de varias maneras:

Por la función que realizan:

*(biestables, registros, contadores, etc..)*

Por su modo de funcionamiento;

*(asíncronos y síncronos).*



Un **circuito secuencial asíncrono** es aquel en el que los cambios a la salida se producen en los mismos instantes en los que se modifiquen las variables de entrada, de manera adecuada (salvo retardo de las puertas).

En un **circuito secuencial síncrono**, los cambios en las salidas únicamente se pueden producir en unos instantes determinados por la presencia de una señal particular llamada señal de sincronismo, o señal de reloj (CLK).

## 2. Biestables. Introducción y clasificación.

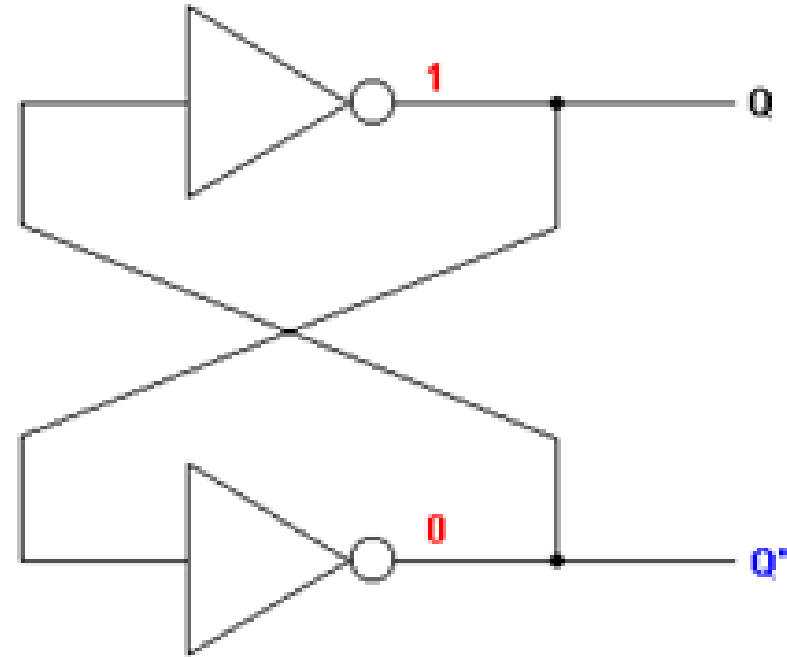
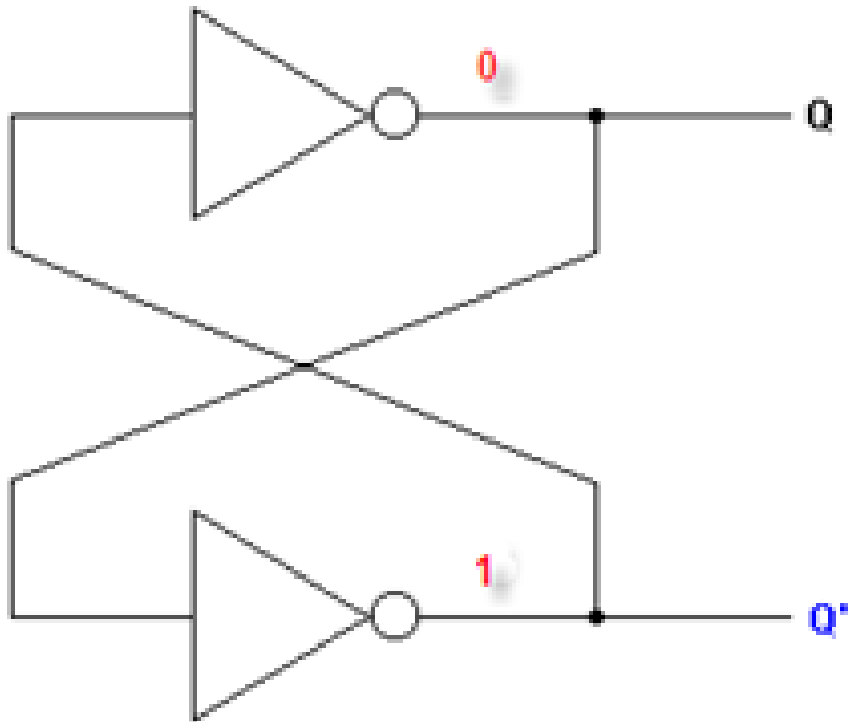
Los **biestables** son circuitos secuenciales elementales. También son llamados **Flips-Flops** o **LATCH** en inglés.

Los **biestables** son capaces de adoptar dos estados estables, correspondientes a los niveles lógicos "0" y "1", que perduran en el tiempo de modo indefinido aunque haya desaparecido la señal de excitación que los originó.

Se trata de células o elementos para memorizar un bit de información

La estructura con puertas lógicas para conseguir el propósito anterior consiste básicamente en dos inversores realimentados cuyas salidas definen las dos salidas complementarias  $Q$  y  $Q'$ .

A continuación se muestran las dos posibilidades de almacenamiento del biestable: estado  $Q=0$  y estado  $Q=1$ .



Para modificar el estado de los biestables, se hace necesario añadir algunas entradas externas al núcleo de memorización que se acaba de introducir. Reciben el nombre de **lógica de disparo** del biestable, y su valor determina el valor del estado Q.

Atendiendo a la lógica de disparo se puede efectuar una primera clasificación de los biestables:

**Biestable RS**

**Biestable JK**

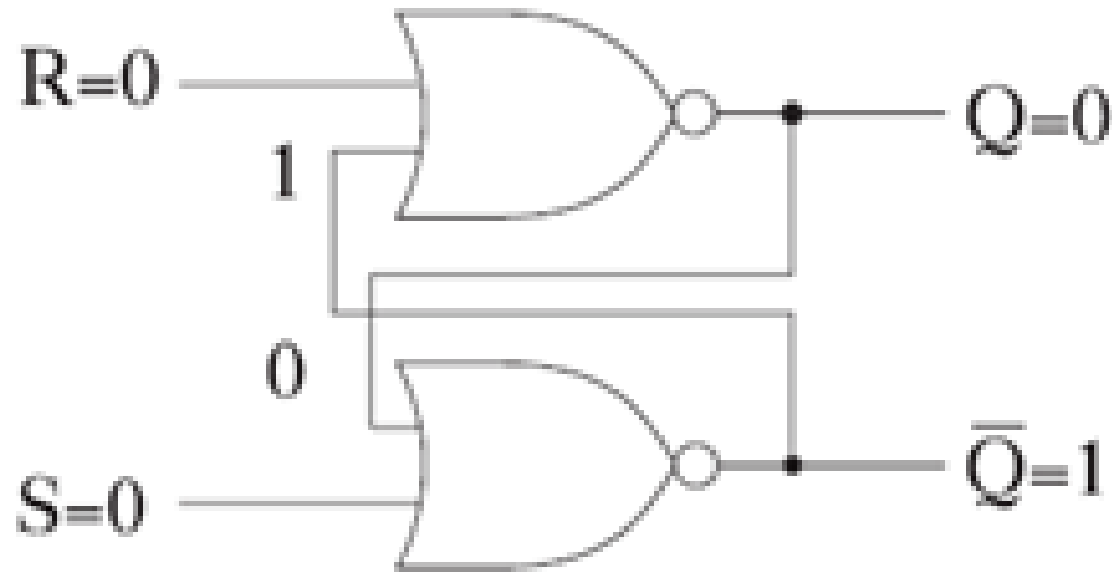
**Biestable D**

**Biestable T**

**R=0, S=0:**

Se trata de la condición de **mantenimiento del estado precedente**.

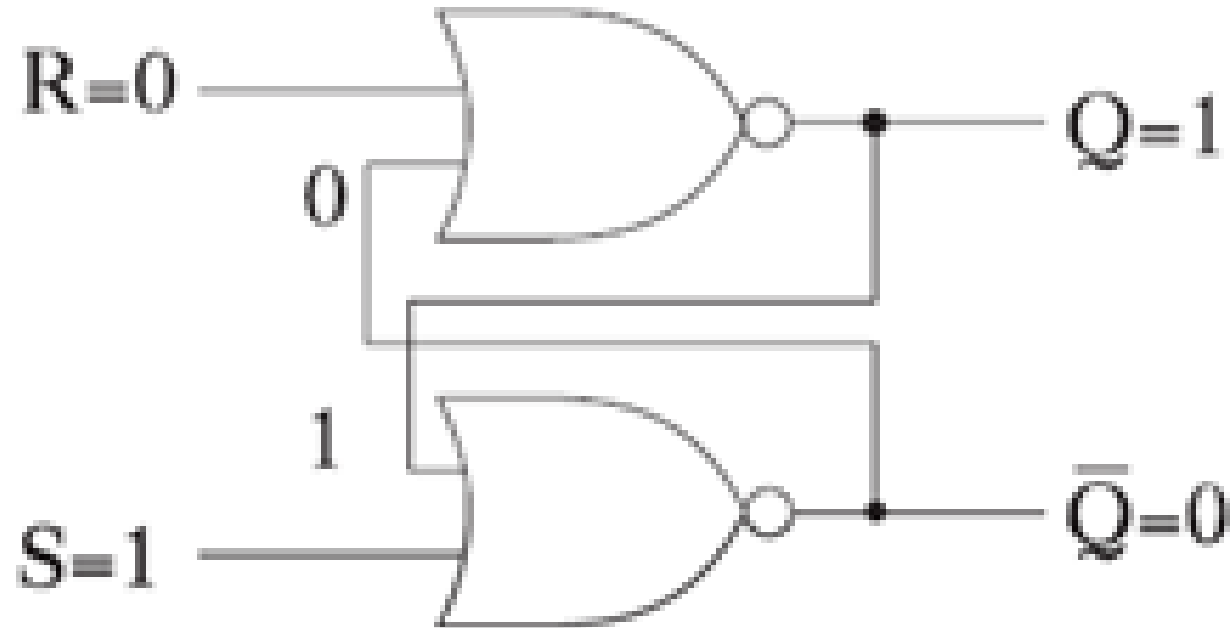
**$Q(t+1)=Q(t)$ .**



**R=0, S=1:**

Se trata de la condición de **puesta a uno o Set**.

El estado del biestable se fuerza a uno.  **$Q(t+1)=1$** , independientemente del valor del estado anterior.

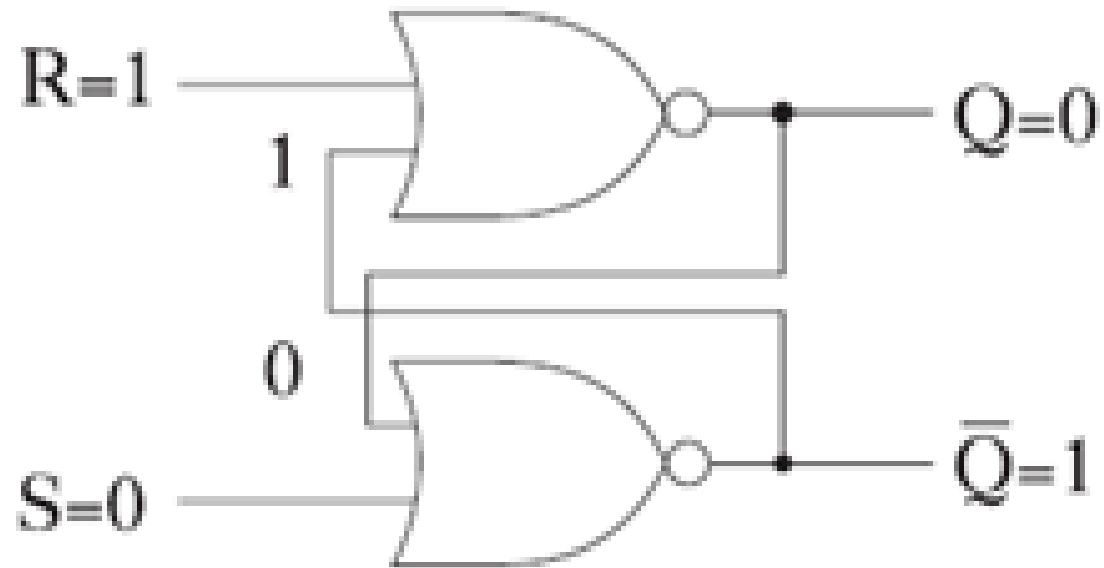


**R=1, S=0:**

Se trata de la condición de **puesta a cero o Reset**.

El estado del biestable se fuerza a cero.

**$Q(t+1)=0$** , independientemente del estado anterior.



**R=1, S=1:** Se trata de una **combinación prohibida o indeterminada**.

La activación simultánea de las entradas R y S no está permitida por dos razones:

1º) Al ver los esquemas internos nos llevaría a que  $Q = Q'$

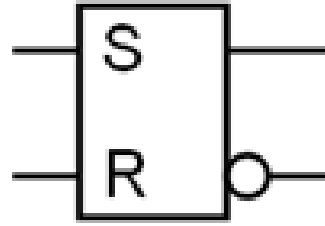
2º) Porque si estando es esta situación pasamos a no activar R y S, el nuevo estado final de  $Q_{t+1}$  va a depender de los tiempos de propagación de las puertas que constituyen el biestable.



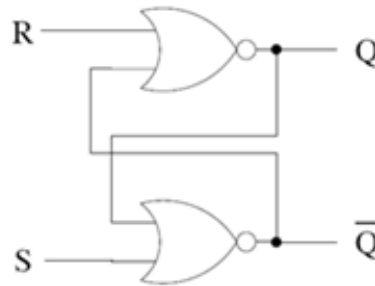
La entrada  $RS=11$  no está permitida porque puede dar lugar a oscilaciones del biestable, por producirse una contradicción lógica, al intentar tomar la salida y su negada el mismo valor. Esto produce oscilaciones indeseadas (llamadas carreras) o el basculamiento a un estado u otro de forma incontrolada.

Si ambas puertas son igual de rápidas se produce una oscilación llamada carrera. Si la puerta de arriba (en el dibujo) es más rápida, al volver a la entrada  $R=0$   $S=0$ ,  $Q$  fija su valor a 1 y arrastra a  $Q$  negada a 0. Si la puerta de arriba (en el dibujo) es más lenta, al volver a la entrada  $R=0$   $S=0$ ,  $Q$  negada fija su valor a 0 y arrastra a  $Q$  a 1. Como no se sabe qué puerta es más rápida, no se sabe en qué estado finalmente quedará.

## 2.1-Biestables RS



Se puede construir con dos puertas "NOR" realimentadas:



Cada una de estas celdas básicas cuenta con dos salidas (**Q y Q'**), y con dos entradas: **set (S) y reset (R)**

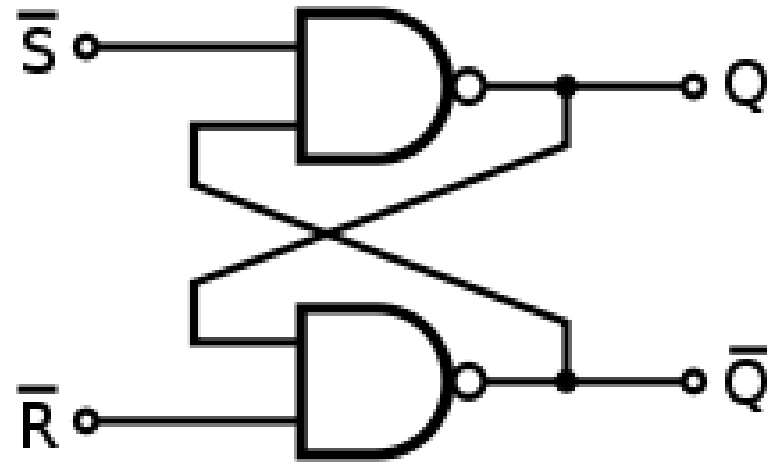
**R (reset):** poner la salida a cero (**Q = 0, Q' = 1**)

**S (set):** poner la salida a uno (**Q = 1, Q' = 0**)

R	S	Qt	Qt+1
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

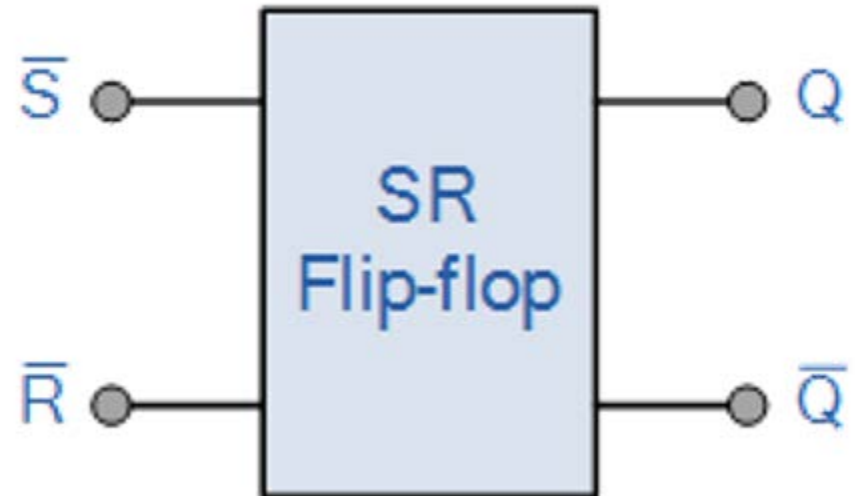
R S	Q(t+1)	Q'(t+1)	Función
<b>0 0</b>	<b>Q(t)</b>	<b>Q'(t)</b>	<b>mantiene Q(t)</b>
<b>0 1</b>	<b>1</b>	<b>0</b>	<b>Set</b>
<b>1 0</b>	<b>0</b>	<b>1</b>	<b>Reset</b>
<b>1 1</b>	<b>-</b>	<b>-</b>	<b>PROHIBIDA</b>

## Bistable RS NAND



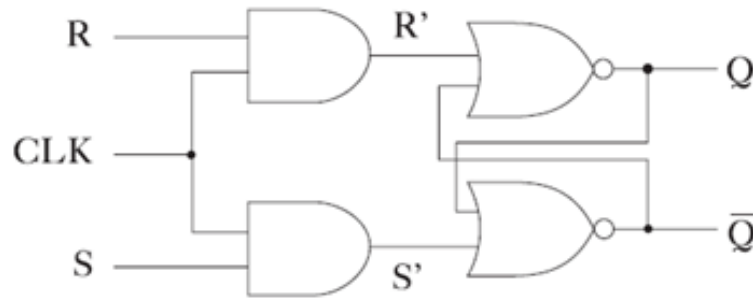
R	S	$Q_{t+1}$
0	0	$Q_t$
0	1	0
1	0	1
1	1	Prohibido

$\bar{R}$	$\bar{S}$	$Q_{t+1}$
1	1	$Q_t$
1	0	1
0	1	0
0	0	Prohibido



## Biestable RS (NOR) síncrono por nivel

Consta de una celda RS básica con puertas NOR, a la que se añaden dos puertas AND adicionales en la entrada.

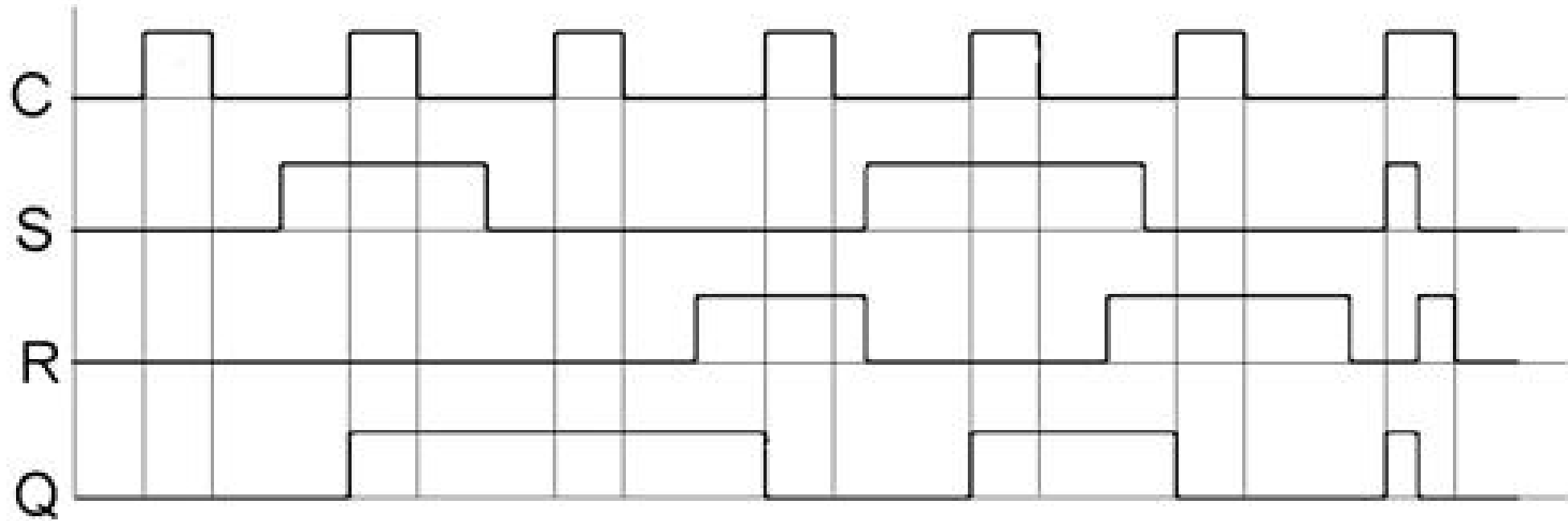


CLK	R	S	Q(t+1)
0	x	x	Q(t)
1	0	0	Q(t)
1	0	1	1
1	1	0	0
1	1	1	Estado no deseado

La señal de reloj que realiza la sincronización es introducida en cada puerta AND, en tanto que las señales R y S constituyen las otras entradas.

Las entradas a las puertas NOR (R' y S') sólo serán activas cuando el reloj esté en alta, con lo que las entradas R y S seguirán determinando el estado del biestable, pero en transiciones que únicamente podrán ocurrir cuando el reloj las permita.

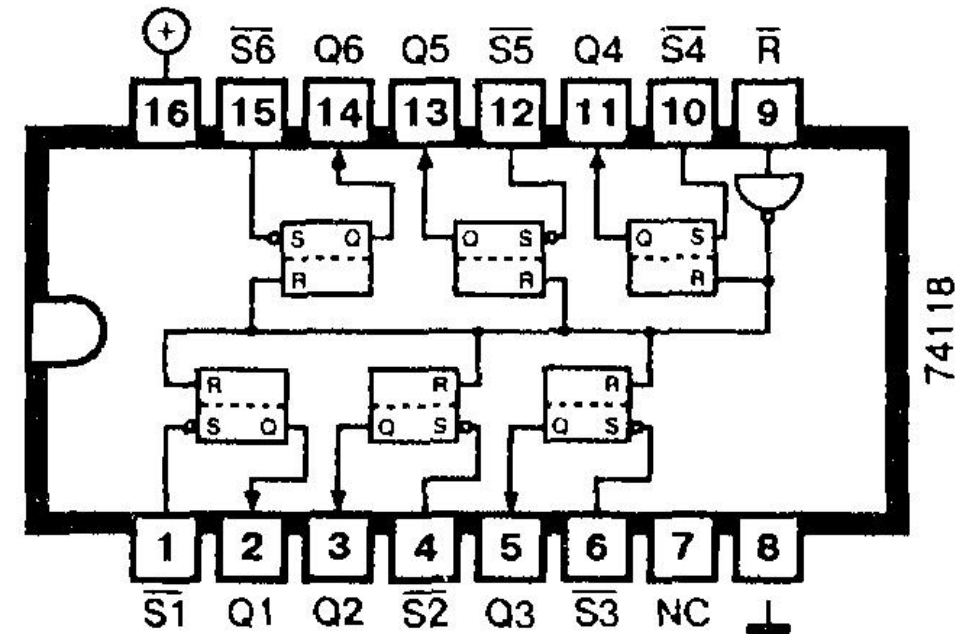
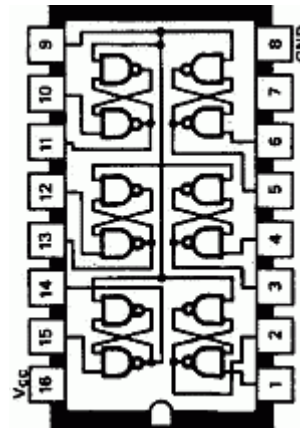
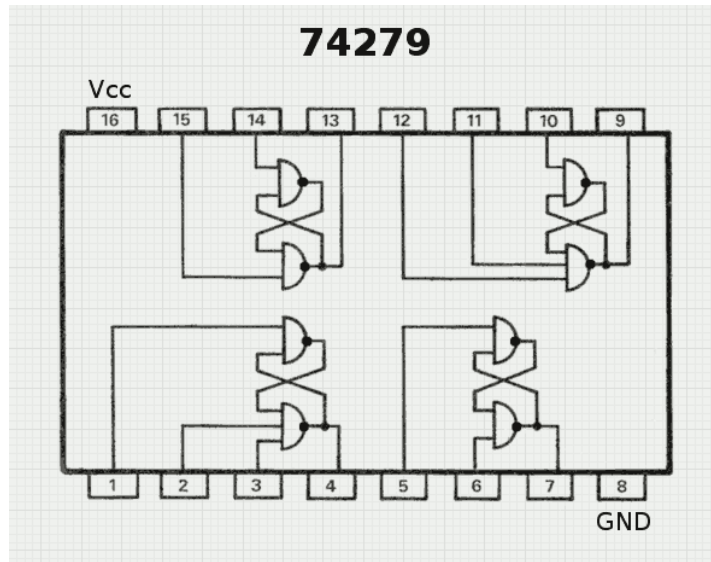
Una forma de representar gráficamente el comportamiento de los biestables es mediante **cronogramas**, los cuales muestran como evolucionan tanto las entradas de los flips-flops como sus salidas Q y Q'



Formas comerciales

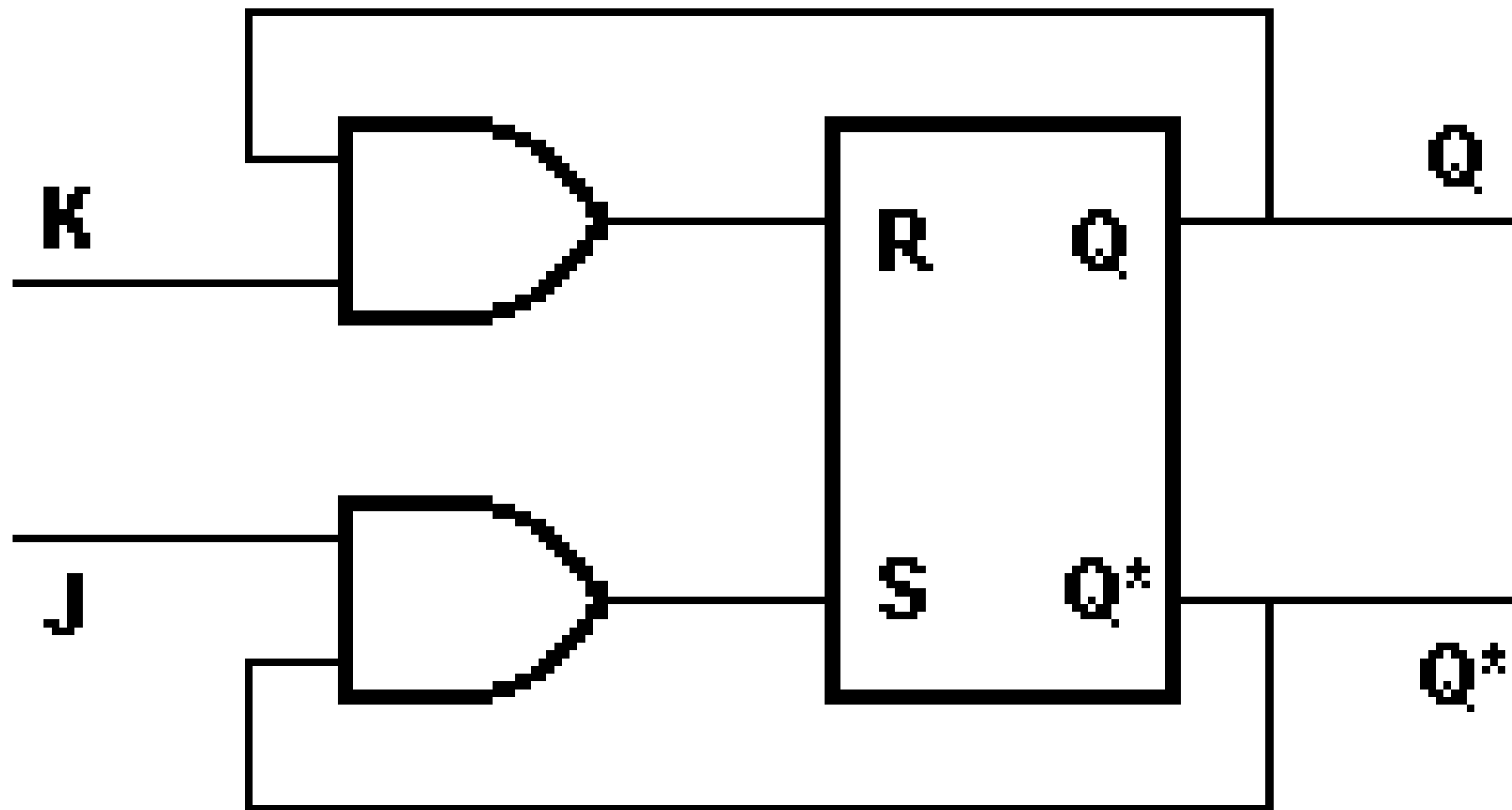
74279 (4 biestables RS NAND)

74118 y 74119 (6 biestables RS).



## 2.2. Biestable JK





En el biestable JK existe un lazo de realimentación de las salidas hacia la puerta AND de entrada, para evitar la inestabilidad del RS.

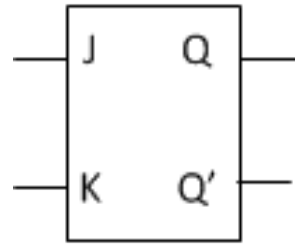
Cuando las entradas J y K aparecen simultáneamente activas, la salida que en ese momento se encuentre a 1 hace que la salida de la puerta AND correspondiente se ponga a 1 (la otra permanecerá en 0), lo que hace conmutar el biestable en cualquier caso.

## Biestable JK

Los **biestables JK** introducen una modificación en la lógica RS para subsanar la indeterminación o el estado que supone la combinación  $R=1, S=1$ . En este caso el biestable JK hace conmutar el estado precedente, es decir,  $Q(t+1) = Q'(t)$ .

La **entrada J** hace el papel de S (Set o puesta a 1) y la **entrada K** el de R (Reset o puesta a cero).

J K	$Q(t+1)$	Función
0 0	$Q(t)$	mantiene $Q(t)$
0 1	0	Reset
1 0	1	Set
1 1	$Q'(t)$	conmutación de $Q(t)$



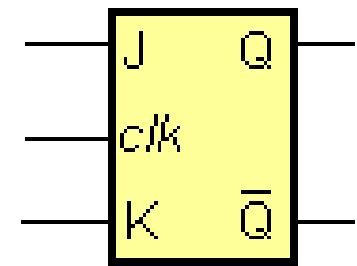
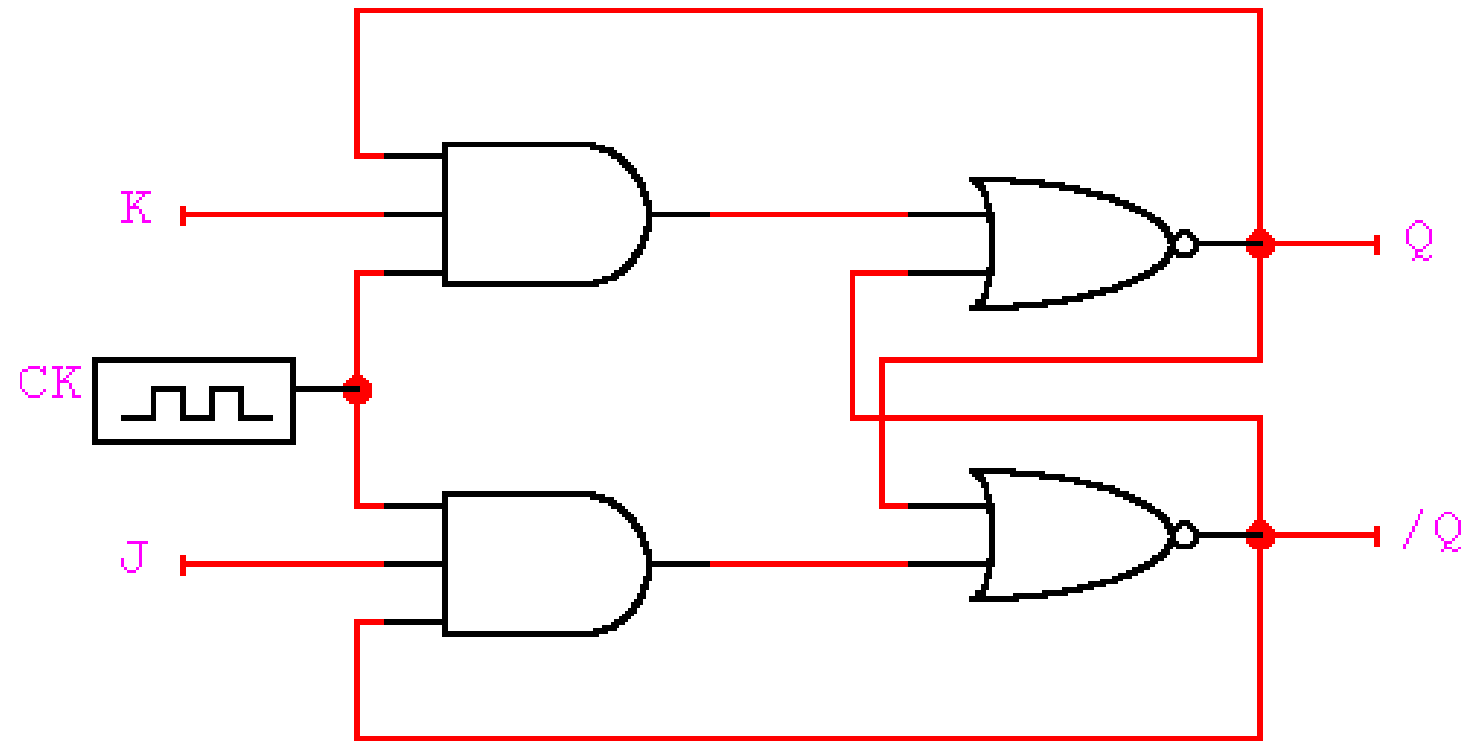
J	K	$Q_t$	$Q_{t+1}$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

J	K	$Q_{t+1}$
0	0	$Q_t$
0	1	0
1	0	1
1	1	$\overline{Q_t}$

Hay que hacer notar que esta conexión de realimentación del biestable JK a la que hacemos referencia hace que, si la señal de reloj permanece a 1 (siempre que  $J = K = 1$ ), se producirán transiciones de forma continua e incontrolada, con el resultado final de que no podemos predecir en qué estado se va a quedar el biestable al deshabilitar el reloj.

Para evitar este proceso indeseable, se deben diseñar biestables más complejos que, en vez de activarse con un nivel alto del reloj, se activen o disparen en las transiciones del reloj, es decir por flancos.

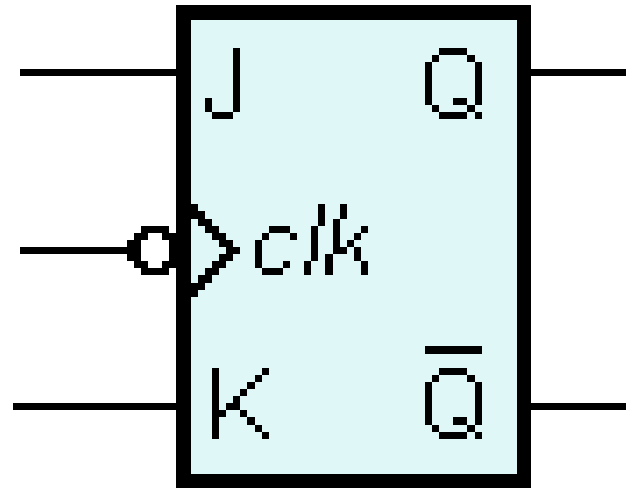
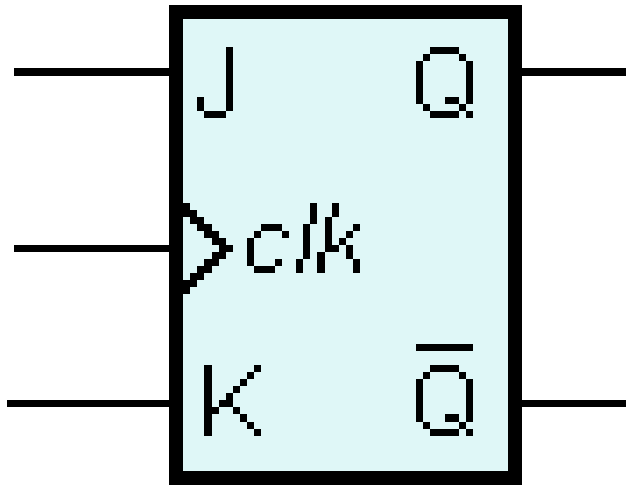
## Biestable JK síncrono por nivel

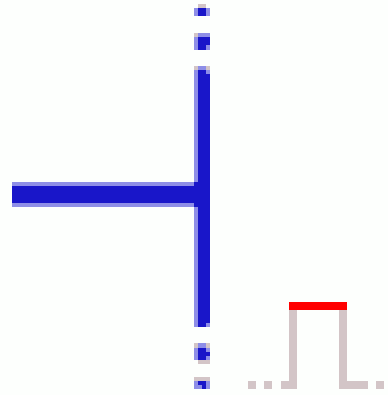


## Biestable JK activo por flanco

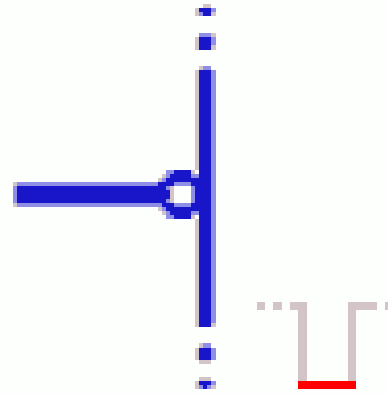
Junto con las entradas J y K existe una entrada C de sincronismo o de reloj cuya misión es la de permitir el cambio de estado del biestable cuando se produce un flanco de subida o de bajada, según sea su diseño. Su denominación en inglés es J-K Flip-Flop Edge-Triggered.

Ejemplo: 74LS73

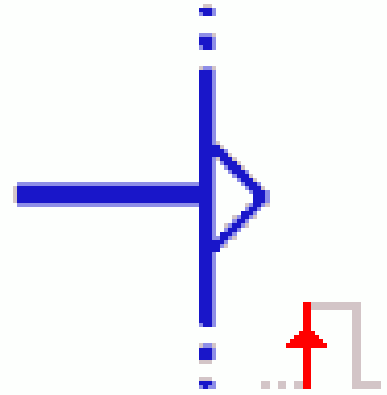




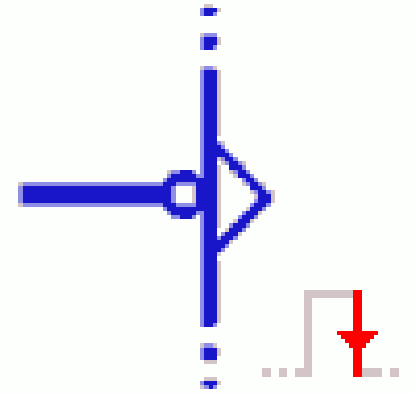
**ACTIVACION  
POR NIVEL  
POSITIVO**



**ACTIVACION  
POR NIVEL  
NEGATIVO**



**ACTIVACION  
POR FLANCO  
POSITIVO**



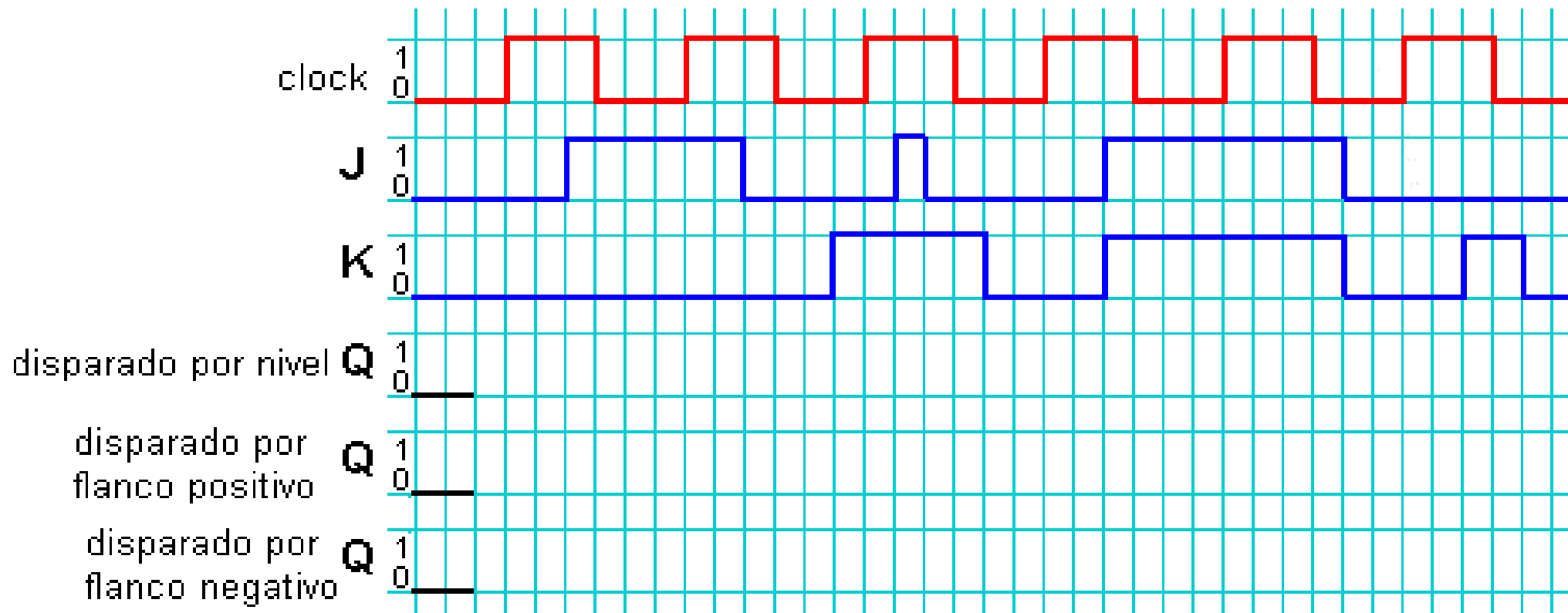
**ACTIVACION  
POR FLANCO  
NEGATIVO**



# Problema

Complete el diagrama de tiempo para un flip flop JK considerando las 3 casos diferentes:

- disparado por nivel
- disparado por flanco positivo
- disparado por flanco negativo



### 2.3. BIESTABLE SÍNCRONO DEL MODO MAESTRO ESCLAVO

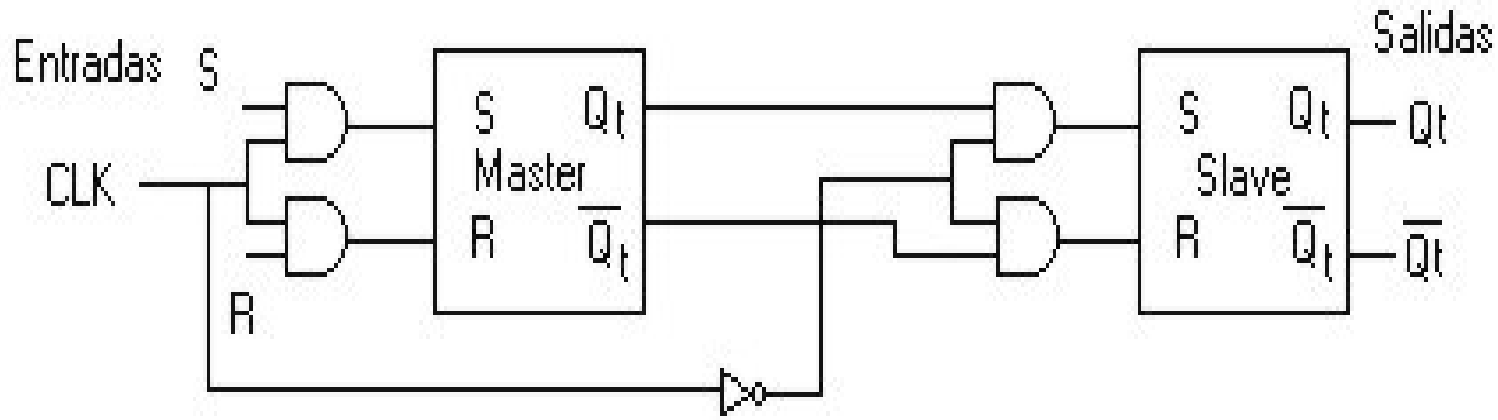
La estructura de un biestable maestro esclavo consta de dos biestables denominados master y slave respectivamente sincronizados por nivel.

El biestable maestro (Master, M) recoge las entradas y obtiene una primera salida del maestro que coloca en su salida mientras  $Clk = 1$ . El biestable esclavo (Slave, S) recoge la salida del maestro y la coloca a su salida mientras  $Clk = 0$ .

El resultado final se obtiene al finalizar el tiempo  $CLK=1$  y comenzar  $CLK=0$ , tendría un funcionamiento equivalente a biestable síncrono por flanco descendente.

## Biestable RS síncrono MASTER-SLAVE:

La estructura de un biestable maestro esclavo consta de dos biestables RS denominados master y slave respectivamente, además de dos circuitos lógicos.



Si CLK =1 (nivel alto) → Se graba el MASTER y el SLAVE no cambia de estado

Al llegar el flanco de bajada, esto es, CLK=0 → El MASTER no cambia de estado y el SLAVE obedece a lo que tenga grabado el MASTER.

## 2.4. Biestable T

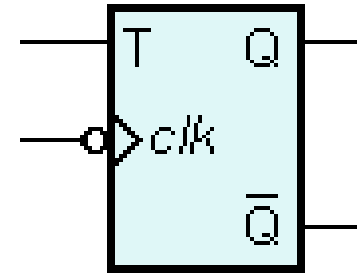
## **BIESTABLE ASÍNCRONO T**

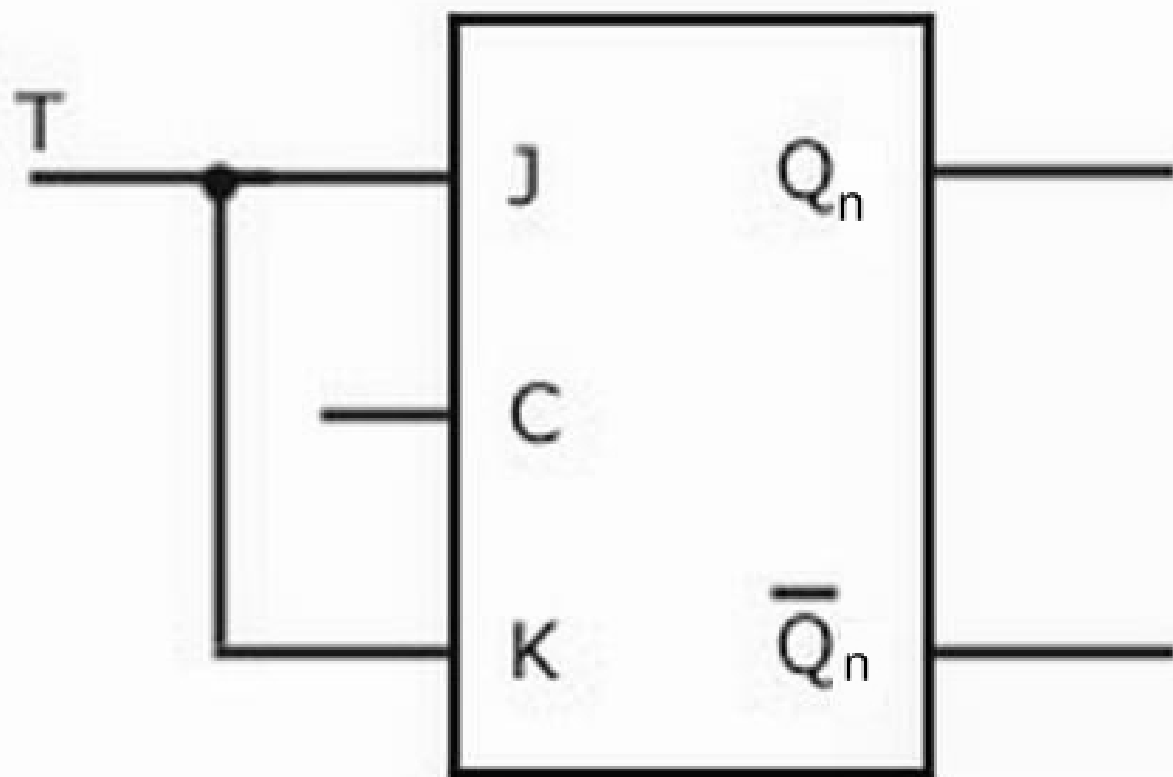
El biestable T cambia de estado ("toggle" en inglés) cada vez que la entrada de sincronismo o de reloj se dispara mientras la entrada T está a nivel alto. Si la entrada T está a nivel bajo, el biestable retiene el nivel previo.

Puede obtenerse al unir las entradas de control de un [biestable JK](#), unión que se corresponde a la entrada T. No están disponibles comercialmente.

T	Q	Q <sub>siguiente</sub>
0	0	0
0	1	1
1	0	1
1	1	0

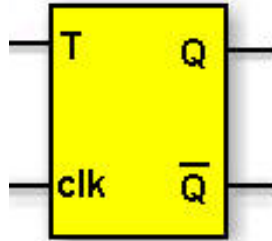
T	Q <sub>t+1</sub>
0	Q <sub>t</sub>
1	$\overline{Q_t}$





## Biestable T síncrono

Los biestables T (T de trigger o disparador) basan su lógica de disparo en generarla directamente a partir de la JK imponiendo la condición de igualdad  $J = K = T$ .



T(J=K)	Q(t+1)	Función
0	Q(t)	Mantenimiento
1	Q'(t)	Conmutación

Está compuesto por dos entradas, **entrada de datos T** y **entrada de reloj CK**, y dos salidas, **Q** y **Q'** que es la **salida complementada**.

El **biestable actúa manteniendo el estado anterior si  $T = 0$  o bien comutando el estado anterior si  $T=1$** , esta situación se denomina en inglés **toggling**.

En cuanto al sincronismo, el disparo por nivel queda descartado para evitar el problema de las oscilaciones continuas en el caso  $T=1$ .

**Los biestables T deben sincronizarse por flanco**, así pues tiene una entrada denominada T activada por flanco de subida o de bajada por la que recibe la señal de reloj o control.

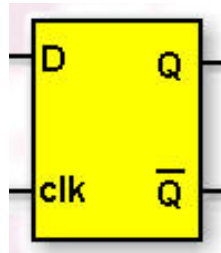
T	$Q(t+1)$
$\uparrow \downarrow$	$Q'(t)$



## 2.5. Biestable D

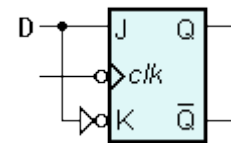
## Biestable D

Los **biestables D** actúan como **muestreadores o retardadores (D de Delay)**. El estado del biestable coincide con el valor de la señal de entrada **D**. Por lo tanto la ecuación de funcionamiento es  **$Q(t+1)=D$** .



Biestable D síncrono por nivel.

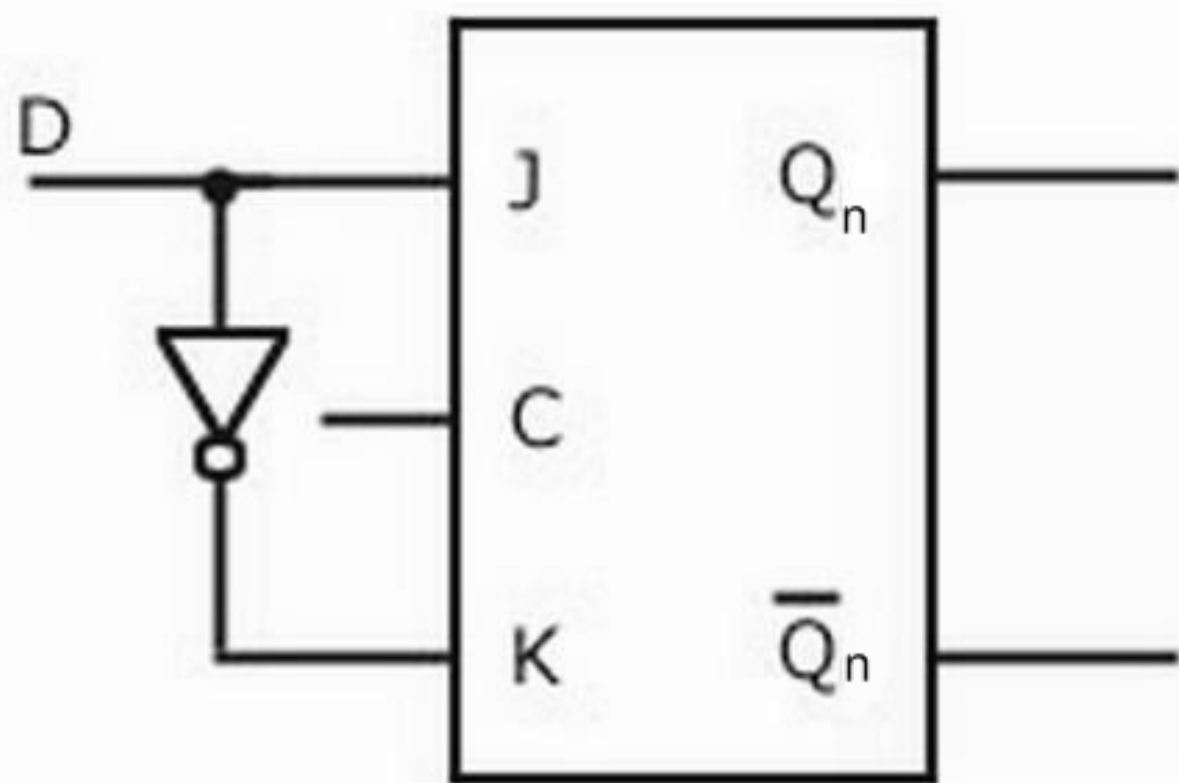
D C	$Q(t+1)$
0 1	0
1 1	1
x 0	$Q(t)$



biestable D, activado por señal de reloj en flanco de subida

D CK	$Q(t)$
0 ↑	0
1 ↑	1

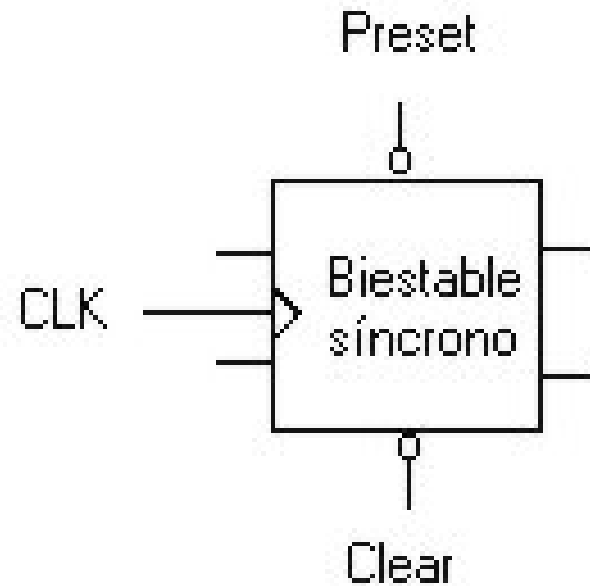
## Logic Diagram

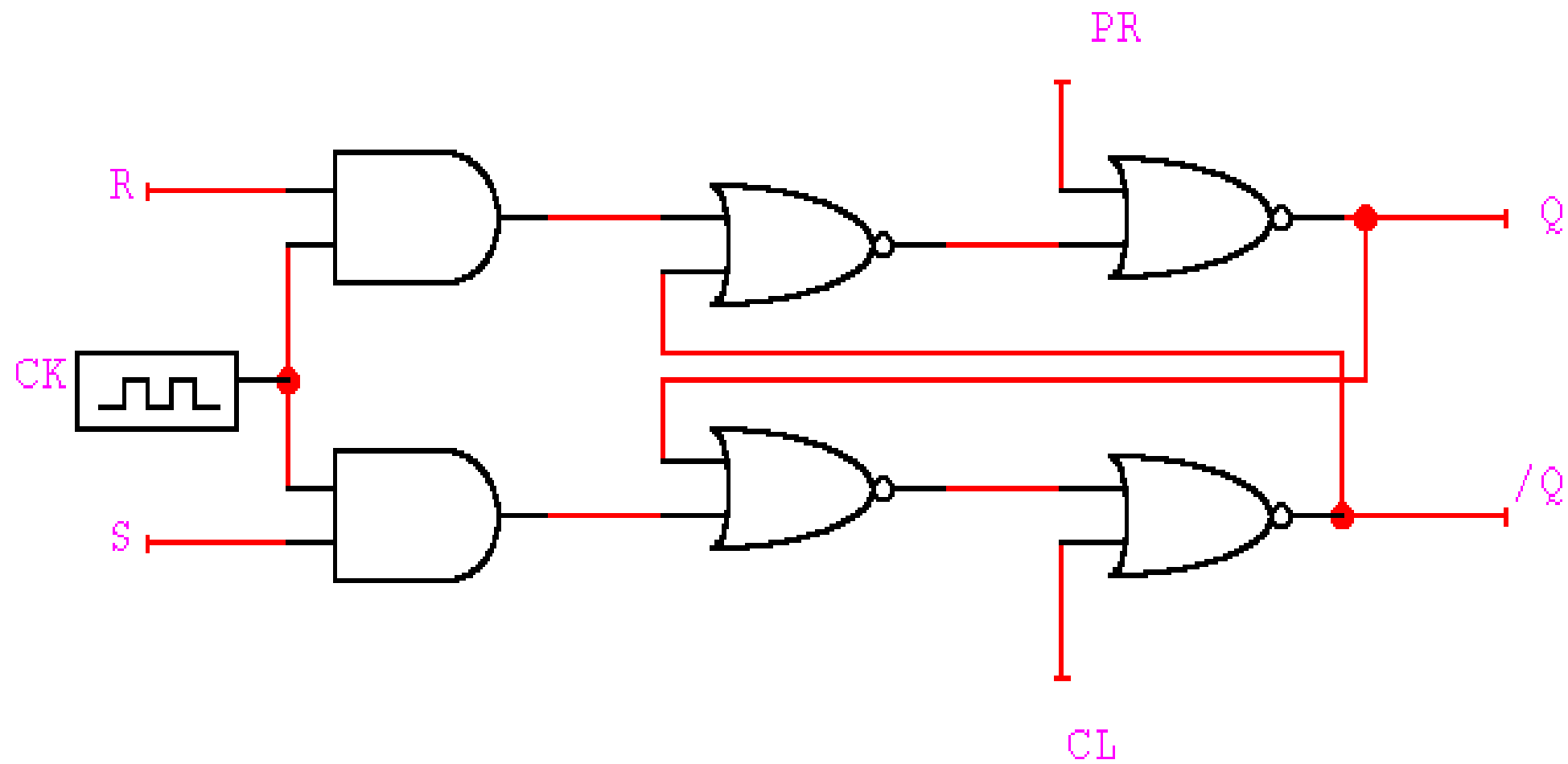


Tipos de biestables y su utilización:

	<b>RS</b>	<b>JK</b>	<b>D</b>	<b>T</b>
<b>Asíncrono</b>	Uso común	Interés teórico		
<b>Por nivel</b>	Interés teórico	Interés teórico	Uso común	
<b>Por flanco</b>	Interés teórico	Uso común	Uso común	Interés teórico
<b>Maestro Esclavo</b>	Uso común	Uso común	Uso común	Interés teórico

Con el fin de flexibilizar a los biestables síncronos, se les dota de otras entradas asíncronas, denominadas entrada de PRESET (puesta a uno) y entrada de CLEAR (puesta a cero). Estas entradas asíncronas tienen prioridad sobre las síncronas.

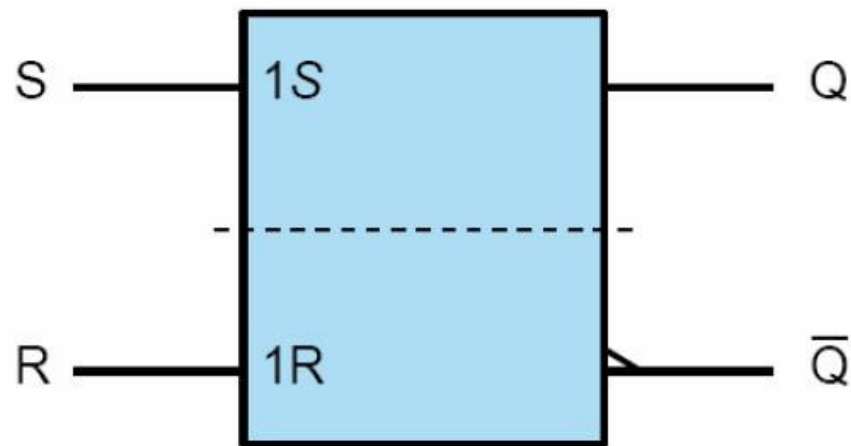




biestable RS síncrono con entradas asíncronas

# Biastable R-S (Puertas NOR)

Símbolo



ANSI/IEEE 91-1984

Tabla de Transición

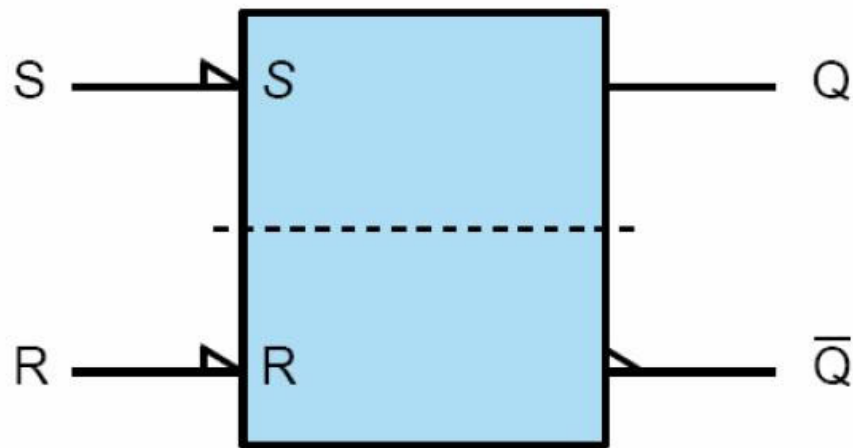
R	S	$Q_{(T+1)}$
0	0	$Q_{(t)}$
0	1	1
1	0	0
1	1	*

Tabla de Excitación

$Q_{(T)}$	$Q_{(T+1)}$	R	S
0	0	X	0
0	1	0	1
1	0	1	0
1	1	0	X

# Biestable R-S (Puertas NAND)

Símbolo



ANSI/IEEE 91-1984

Tabla de Transición

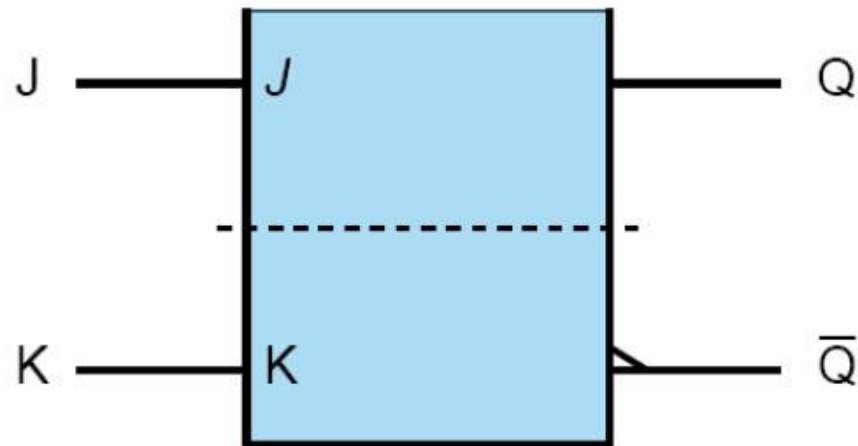
R	S	$Q_{(T+1)}$
0	0	*
0	1	0
1	0	1
1	1	$Q_{(t)}$

\* = Estado Prohibido



# Biestable J-K

Símbolo



ANSI/IEEE 91-1984

Tabla de Transición

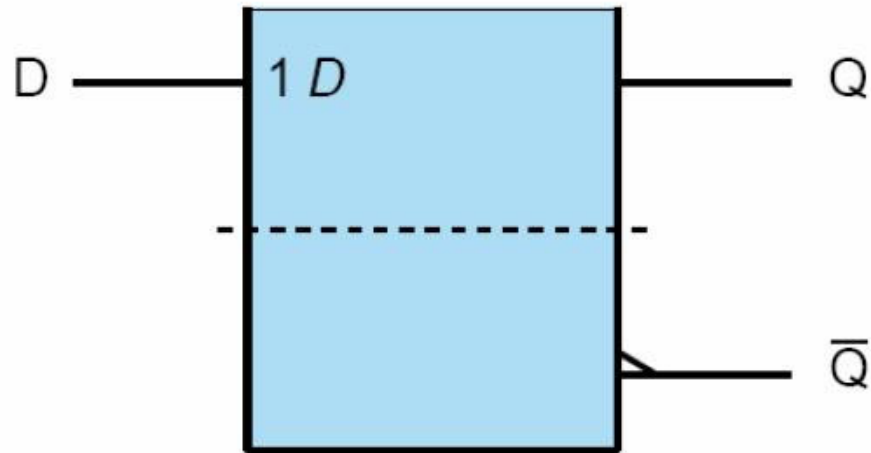
J	K	$Q_{(T+1)}$
0	0	$Q_{(t)}$
0	1	0
1	0	1
1	1	$\neg Q_{(t)}$

Tabla de Excitación

$Q_{(T)}$	$Q_{(T+1)}$	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

# Biastable D

Símbolo



ANSI/IEEE 91-1984

Tabla de Transición

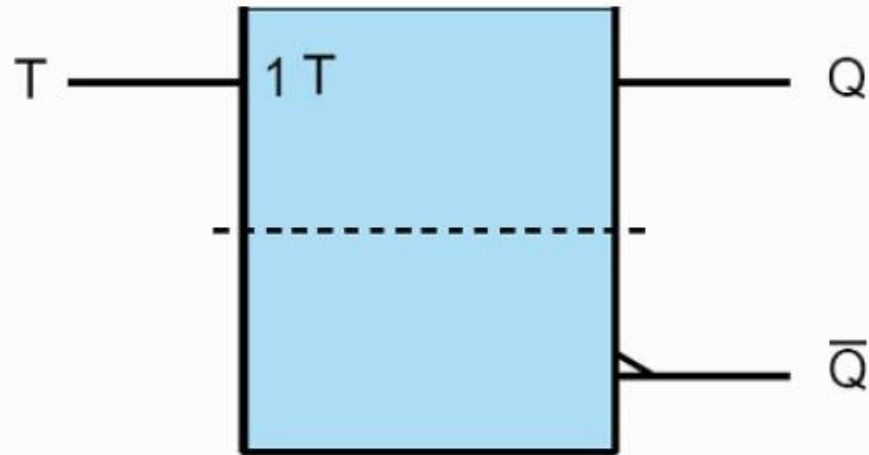
D	$Q_{(T+1)}$
0	0
1	1

Tabla de Excitación

$Q_{(T)}$	$Q_{(T+1)}$	D
0	0	0
0	1	1
1	0	0
1	1	1

# Biastable T

Símbolo



ANSI/IEEE 91-1984

Tabla de Transición

T	$Q_{(T+1)}$
0	$Q_{(T)}$
1	$\bar{Q}_{(T)}$

Tabla de Excitación

$Q_{(T)}$	$Q_{(T+1)}$	T
0	0	0
0	1	1
1	0	1
1	1	0

# 3. REGISTROS

### 3. Registros

Los **registros** son dispositivos formados por biestables síncronos por flanco, capaces de almacenar información durante un tiempo. Es necesario un biestable por cada bit de información que se almacena.

**El número de bits de un registro es el número de biestables que lo componen que, a su vez, es el número de bits que puede almacenar.**

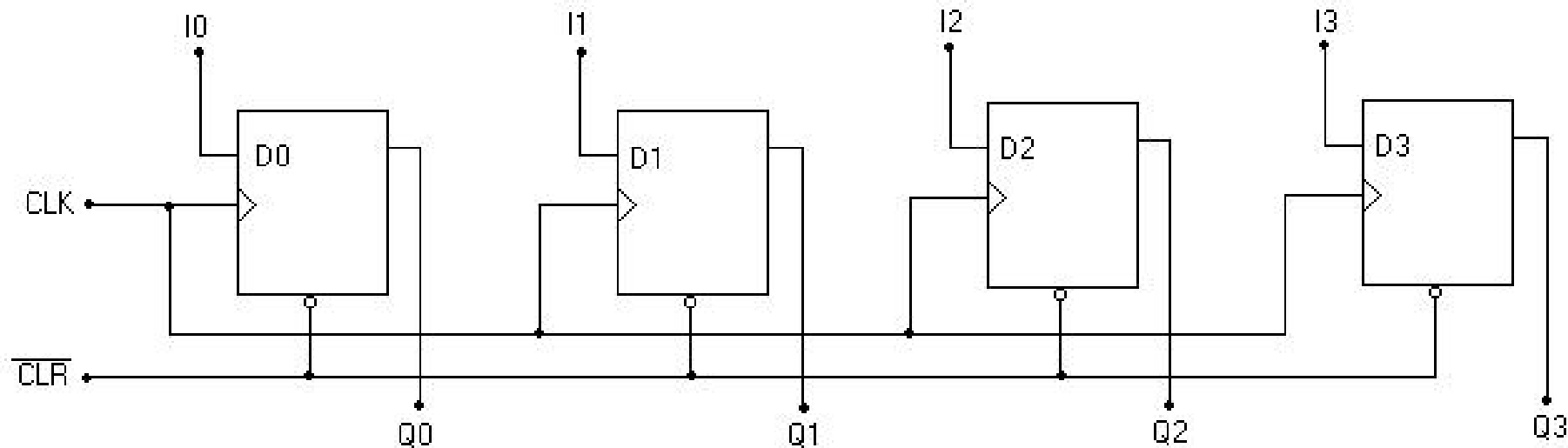
Si clasificamos los registros según que la capacidad para desplazar la información que contiene, exista o no, tendremos:

**Registros de almacenamiento:** Cuando solamente son capaces de almacenar datos y no de desplazarlos.

**Registros de desplazamiento:** Cuando además de almacenar el dato, son capaces de desplazarlo.

### 3.1. REGISTROS DE ALMACENAMIENTO

Los registros de almacenamiento están compuestos por biestables aislados entre si, con una señal de reloj común, y en los que la carga de los datos se produce simultáneamente.



### 3.2. REGISTROS DE DESPLAZAMIENTO (SHIFT REGISTERS)

Un registro de desplazamiento además de almacenar información es capaz de desplazarla bit a bit a través de los biestables que conforman ese registro. Para ello todos los biestables tienen de entrada la salida del anterior.

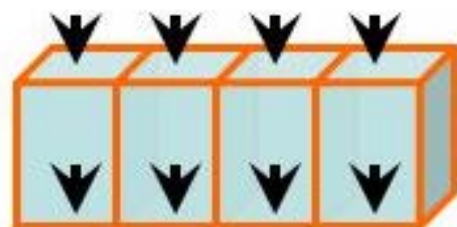
Con cada pulso de la señal de reloj la información almacenada en cada biestable se desplaza a través de ellos.



Según sea la forma de introducir y obtener los datos, los registros de desplazamiento se clasifica en:

- a) Registro de desplazamiento con entrada y salida serie.**
- b) Entrada serie y salida paralelo.**
- c) Entrada paralelo y salida serie.**
- d) Entrada y salida paralelo.**

Entrada de datos



Salida de datos

**Entrada paralelo**  
**Salida paralelo**

Entrada  
de datos



Salida  
de datos

**Entrada serie**  
**Salida serie**

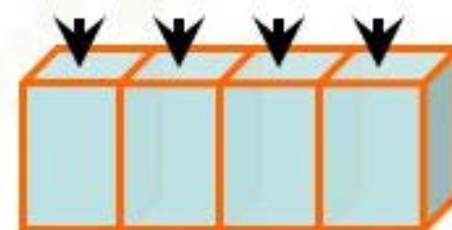
Entrada  
de datos



Salida de datos

**Entrada serie**  
**Salida paralelo**

Entrada de datos

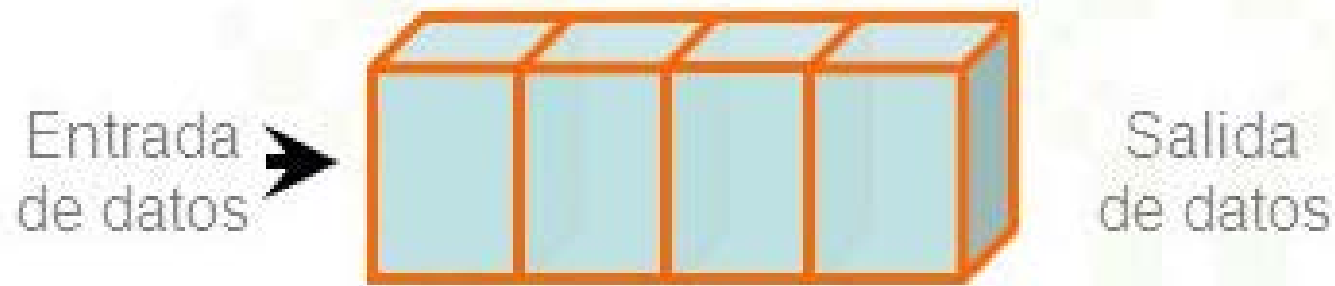


Salida  
de datos

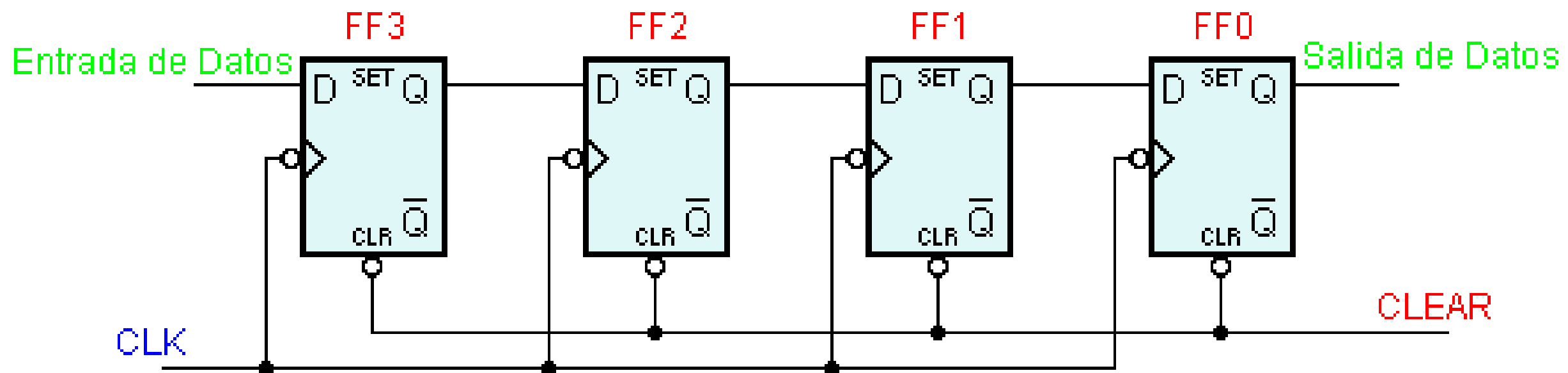
**Entrada paralelo**  
**Salida serie**

## **REGISTRO DE DESPLAZAMIENTO CON ENTRADA Y SALIDA SERIE**

En estos registros los datos se introducen por un único terminal y la salida se obtiene también en un único terminal.



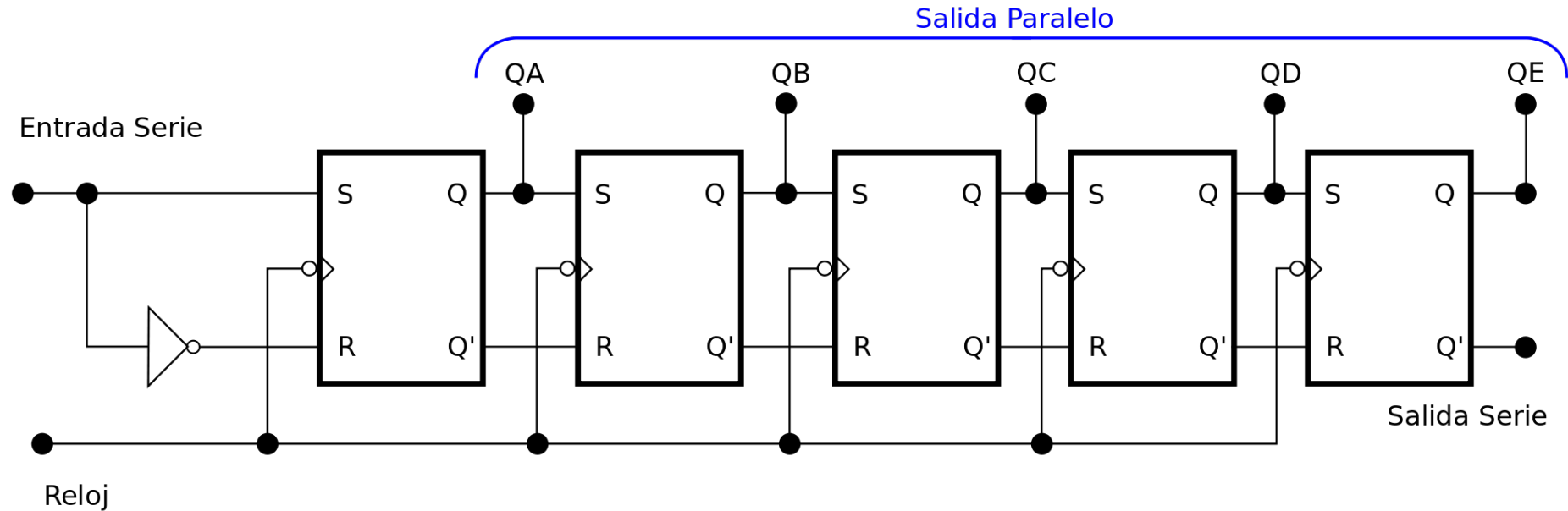
**Entrada serie**  
**Salida serie**



CLEAR

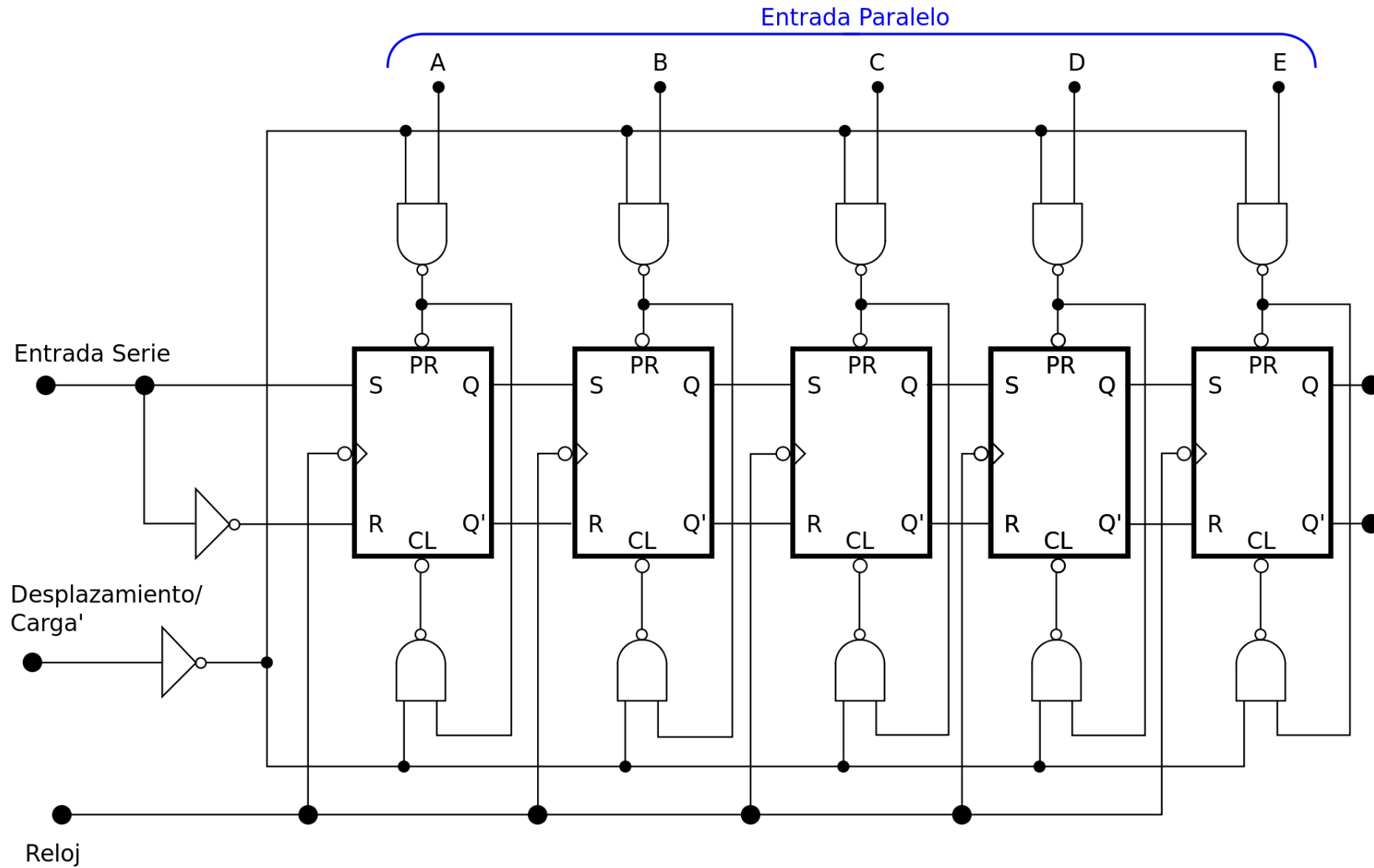
FF3	FF2	FF1	FF0
0	0	0	0

## REGISTRO CON ENTRADA SERIE Y SALIDA PARALELO



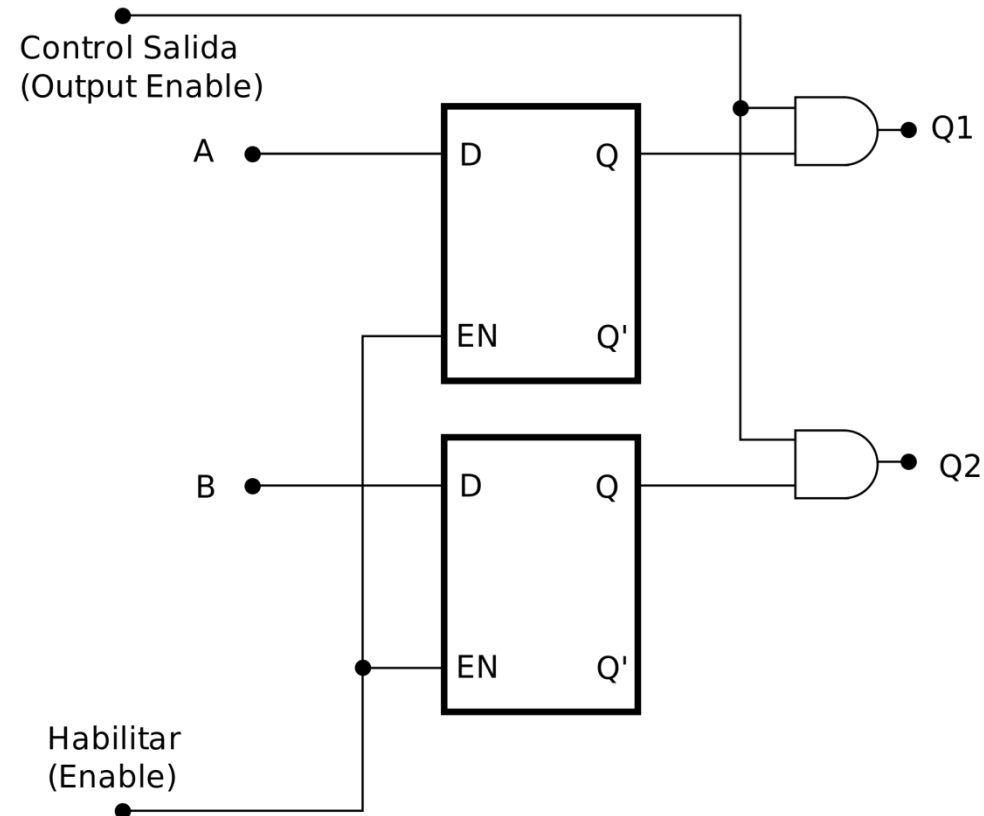
Un registro **entrada serie-salida paralelo** es aquel en el cual, la información entra al registro a través de una sola línea de entrada, y sale a través de varias líneas de salida, tantas como biestables conformen el registro, por lo que se podrán utilizar para la conversión de formato serie a formato paralelo.

## REGISTRO CON ENTRADA PARALELO Y SALIDA SERIE



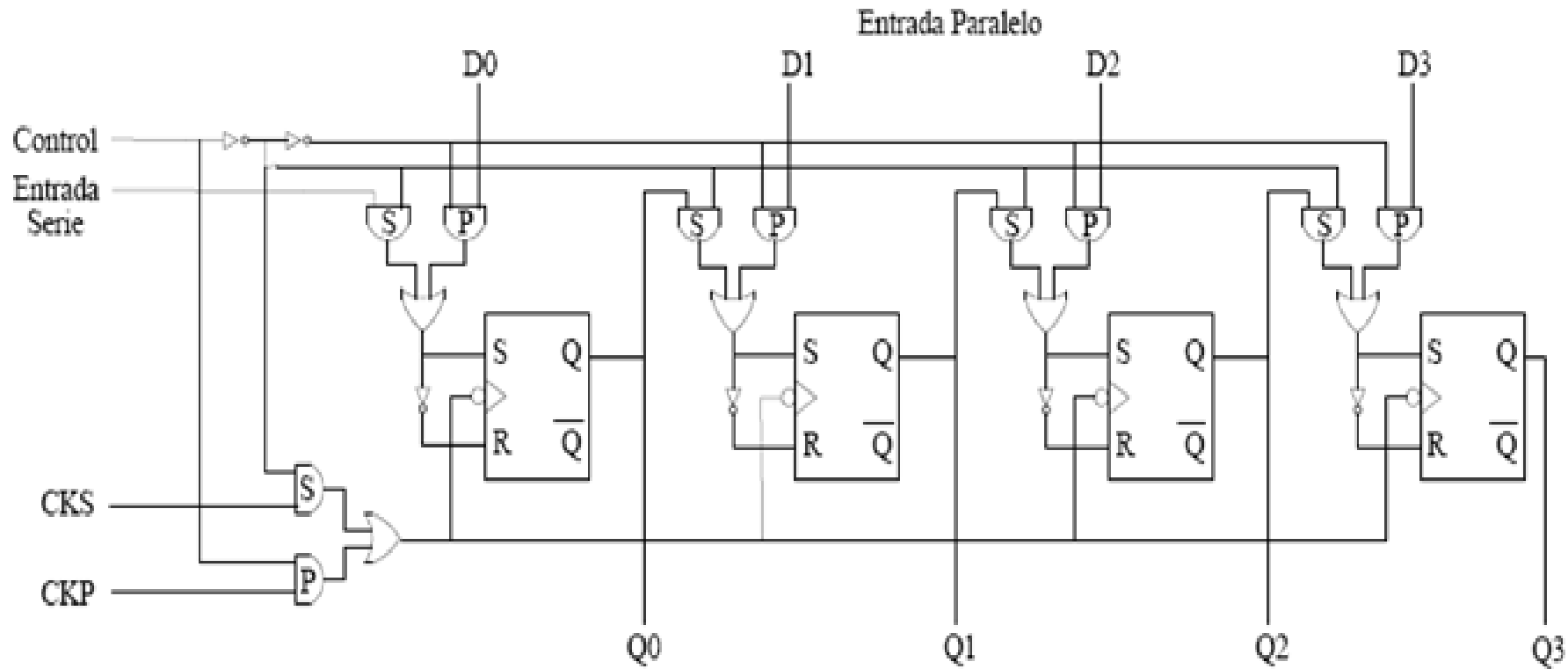
## REGISTRO CON ENTRADA PARALELO Y SALIDA PARALELO

Los **registros paralelo-paralelo** almacenan la información presente en sus entradas, en paralelo. Para ello utilizan, un pulso de habilitación o un flanco de una señal de reloj



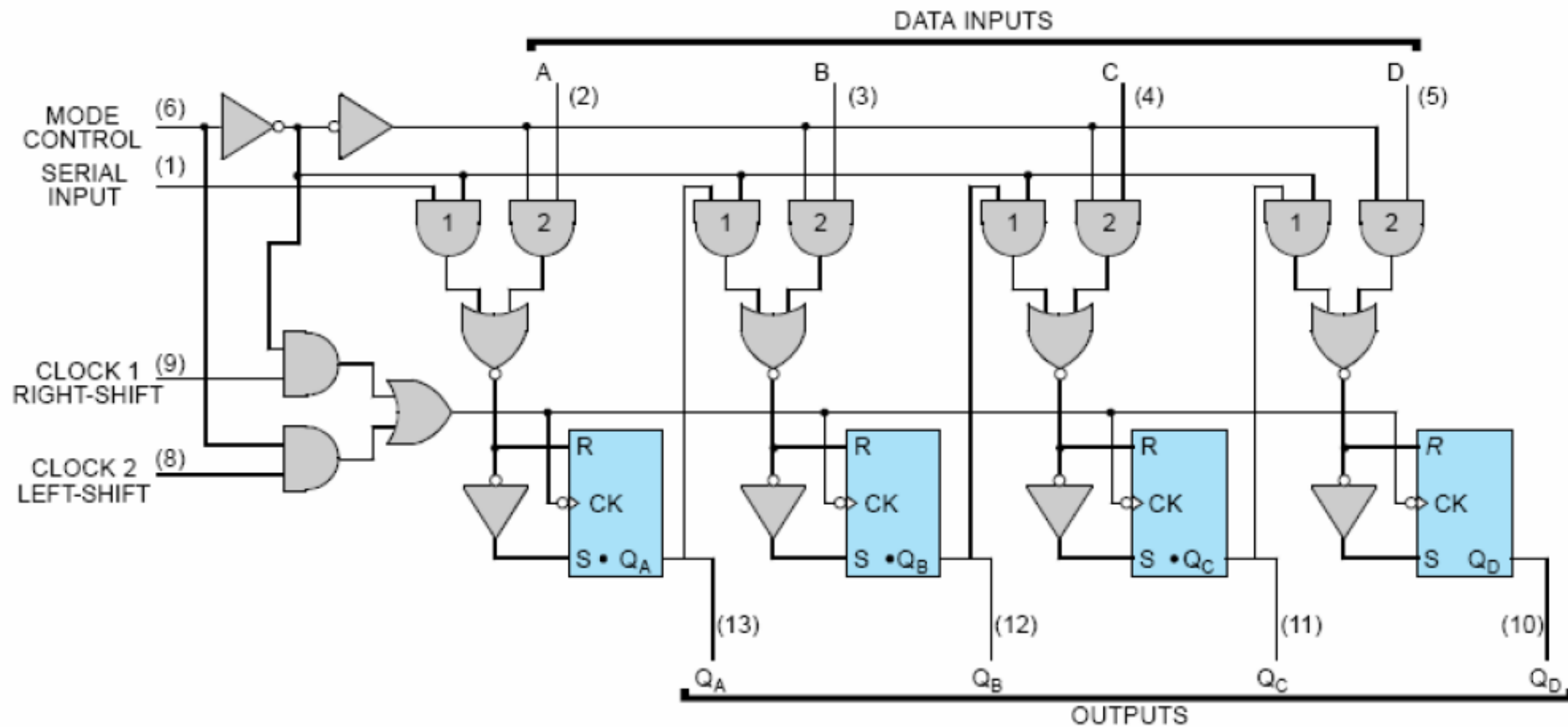
## REGISTRO DE DESPLAZAMIENTO UNIVERSAL

Un registro es universal cuando tanto las entradas como las salidas de los datos pueden ser en paralelo y en serie, y tiene capacidad para inhibir su funcionamiento.





# Registro Universal 7495



## **4. CONTADORES**

## 4. CONTADORES

Los **contadores** digitales son dispositivos formados por biestables que se emplean para contar los pulsos de una señal de reloj.

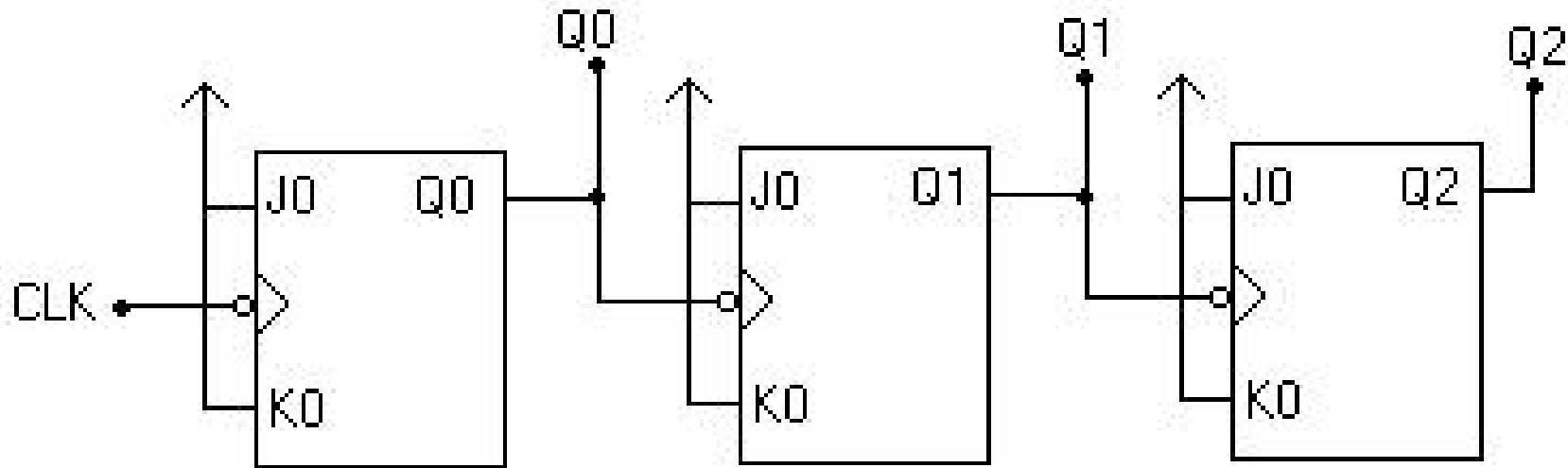
Todos los contadores tienen una entrada de reloj por la que llega la señal cuyos pulsos se cuentan y varias salidas en las que se expresa, en un determinado código binario, el número de pulsos que se han contado hasta ese momento.

La capacidad del contador para contar pulsos depende del número de salidas de que disponga el contador, cuanto mayor sea el número de salidas mayor será el número de pulsos que se podrá contar.

## 4.1. CONTADORES ASÍNCRONOS

### Contador asíncrono binario ascendente

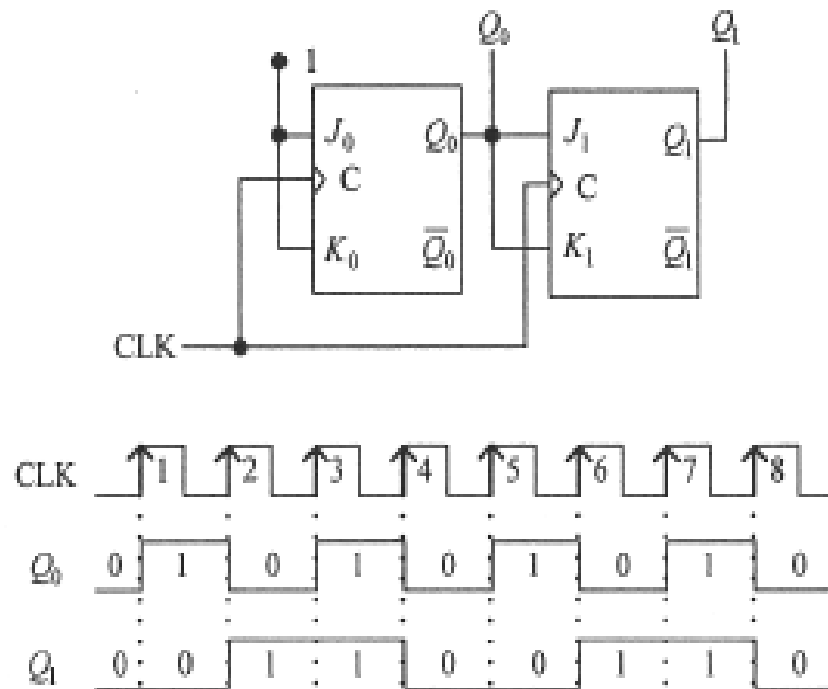
Un contador asíncrono binario ascendente es un contador en el cual, los biestables que lo conforman no comparten la señal de reloj, realizando sólo el conteo en sistema binario y unidireccional ascendente.



## 4.2. CONTADORES SÍNCRONOS

### Contador síncrono binario ascendente de dos bits

La señal de reloj se aplica a los dos biestables que forman el contador, por lo que todos ellos cambian simultáneamente, realizando sólo el conteaje en sistema binario y unidireccional ascendente.



## Contador síncrono binario ascendente de cuatro bits

