

## EXÁMENES ARQUITECTURA

### (1) Noviembre 2024

1. **E/S. a)** ¿Cómo es la estructura de un módulo de E/S? **b)** Describa las características funcionales del acceso directo a memoria – DMA.
2. **Segmentación del Cauce. a)** Definición **b)** Rendimiento **c)** Describa el problema y posibles soluciones ante riesgos por transferencias de control de programa.
3. **Memoria Caché. a)** Si se pretende mejorar el tiempo de acceso medio a la memoria caché ¿Sobre qué parámetros será necesario trabajar y qué propone como medidas para hacerlo? **b)** Compare las correspondencias entre la MP y la caché. ¿Cómo se determina, en cada caso, la hilera/fila de ubicación de un bloque de palabras proveniente de la MP? Ejemplifique.
4. **Procesadores Superescalares. a)** ¿Cuáles son las características distintivas? **b)** Compare las políticas de Emisión de Instrucciones. **c)** Elija una alternativa de emisión/finalización y justifique.
5. **Procesamiento Paralelo. a)** Describa las cuatro variantes de arquitecturas de la taxonomía de Flynn. **b)** Compare los sistemas SMP y Clusters.

### (2) Diciembre 2024

1. **Arquitectura Von Newmann a)** ¿Qué elementos componen una máquina con arquitectura Von Newmann? Describir la función de cada uno. **b)** ¿Qué elementos característicos definen un bus?
2. **a)** Esquematice y describa la estructura interna de un controlador programable de interrupciones. **b)** Describa el funcionamiento de la gestión de E/S programada con espera de respuesta.
3. **Memoria Caché. a)** ¿Cuáles son los elementos a tener en cuenta para el diseño de una memoria caché? **b)** ¿La coherencia de datos de un sistema jerárquico se ve afectada por el uso de DMA?
4. **Procesadores Superescalares. a)** ¿De qué depende el paralelismo de una máquina superescalar? **b)** ¿Cuál es el objetivo de la técnica de renombre de registros?
5. **Procesamiento Paralelo. a)** Que son los MIMD de la taxonomía de Flynn. Describa las variantes que conozca.

### (3) Julio 2023

1. **a)** Explique el mecanismo de interrupción. **b)** Describa el tratamiento a realizar cuando hay múltiples fuentes de interrupciones.
2. **a)** Describa las funciones de correspondencia entre memoria principal y caché. **b)** Analice las políticas de escritura desde el punto de vista de la coherencia de datos.
3. **a)** ¿Qué entiende por segmentación del cauce? **b)** ¿Qué ventajas proporciona su implementación?
4. **a)** Describa tres diferentes causas que pueden retardar un cauce de instrucciones segmentado. **b)** ¿Qué retardo produce cada uno?
5. **a)** ¿Qué elementos característicos describen un bus? **b)** ¿De qué depende el paralelismo de una máquina superescalar?

#### (4) Octubre 2022

1. **a)** ¿A qué método de atención lo conocemos como de “interrupciones vectorizadas”? **b)** ¿Cuándo, por qué, para qué y cómo utiliza una de las denominadas interrupciones por Software?
2. **a)** Esquematice y describa la estructura interna de un módulo de E/S. **b)** Describa los posibles modos de ubicación de los módulos de E/S.
3. **a)** Describa las funciones de correspondencia entre Memoria Principal y caché. **b)** Analice las políticas de escritura desde el punto de vista de la coherencia de datos.
4. **a)** ¿Qué características tienen los procesadores Superescalares? **b)** Describa las causas que pueden retardar el funcionamiento de los mismo.
5. **a)** ¿Qué elementos característicos definen un bus? **b)** ¿Qué son los MMO de la taxonomía de Flynn?

#### (5) Octubre 2023

1. **Interrupciones a)** Explique el mecanismo de interrupción. **b)** Describa como se realiza el reconocimiento de interrupciones vectorizadas mediante el PIC.
2. **E/S a)** ¿Cómo es la estructura de un módulo de E/S? **b)** Describa las características funcionales del acceso directo a memoria – DMA.
3. **Memoria a)** ¿Por qué funciona un sistema de memoria basado en jerarquía? **b)** Analice brevemente todos los elementos a tener en cuenta para el diseño de una memoria Caché.
4. **Instrucciones a)** ¿Qué es la segmentación del cauce de instrucciones? **b)** ¿Cuánto mejora el rendimiento? **c)** ¿Qué es un riesgo WAR en un cauce segmentado?
5. **Paralelismo a)** ¿Qué es y de qué depende el paralelismo de una máquina? **b)** ¿Qué características tiene la implementación de un procesador superescalar?

#### (6) Marzo/Agosto 2024

1. **a)** ¿Qué métodos para pasaje de argumentos podemos utilizar en una computadora? **b)** ¿Cuáles son las diferencias en la terminación de una subrutina y un gestor de interrupción?
2. **a)** Esquematice y describa la estructura interna del PIC **b)** Describa cómo funciona la gestión de E/S con espera de respuesta.
3. **a)** ¿Cuáles son los elementos a tener en cuenta para el diseño de una memoria Cache? **b)** ¿La coherencia de datos de un sistema jerárquico de memoria se ve afectado por el uso de DMA?
4. **a)** ¿De qué depende el paralelismo de una máquina superescalar? **b)** ¿Cuál es el objetivo de usar la técnica de Renombre de Registros en un procesador superescalar?
5. **a)** ¿Qué elementos característicos definen un bus? **b)** ¿Qué son los MIMD de la taxonomía de Flynn?

**(7) Julio 2024**

1. **a)** Explique el mecanismo de interrupción. **b)** Describa el tratamiento a realizar cuando hay múltiples fuentes de interrupciones.
2. **a)** Describa las funciones de correspondencia entre memoria principal y caché. **b)** Analice las políticas de escritura desde el punto de vista de la coherencia de datos.
3. **a)** ¿Qué entiende por segmentación del cauce? **b)** ¿Qué ventajas proporciona su implementación?
4. **a)** Describa tres diferentes causas que puedan retardar un cauce de instrucciones segmentado. **b)** ¿Qué retardo produce cada una?
5. **a)** ¿Qué elementos característicos definen un bus? **b)** ¿De qué depende el paralelismo de una máquina superescalar?