

**ΠΑΝΕΠΙΣΤΗΜΙΟ ΠΑΤΡΩΝ
ΠΟΛΥΤΕΧΝΙΚΗ ΣΧΟΛΗ
ΤΜΗΜΑ ΜΗΧΑΝΙΚΩΝ Η/Υ ΚΑΙ ΠΛΗΡΟΦΟΡΙΚΗΣ**

Έλεγχος Ορθής Λειτουργίας Ψηφιακών Συστημάτων

Εργαστηριακές Ασκήσεις

Πάτρα, Ιανουάριος 2013

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 1

1. Εκτελέστε την διαδικασία της σύνθεσης για το συνδυαστικό κύκλωμα `c1355.v`, χρησιμοποιώντας την βιβλιοθήκη υλοποίησης που σας έχει δοθεί. Στη συνέχεια, χρησιμοποιώντας το εργαλείο TetraMax, εκτελέστε την διαδικασία Fault Simulation, για όλα τα πιθανά σφάλματα μόνιμης τιμής των γραμμών του κυκλώματος, χρησιμοποιώντας τα διανύσματα δοκιμής που είναι αποθηκευμένα στο αρχείο `c1355_test_set.v`. Παρατηρήστε τη διαδικασία Fault Simulation βήμα προς βήμα, δίνοντας προσοχή στην κατηγοριοποίηση των σφαλμάτων του κυκλώματος.
2. Κατα πόσο μειώθηκαν τα σφάλματα του κυκλώματος μετά την διαδικασία fault collapsing. Αποθηκεύστε σε μια λίστα τα σφάλματα που δεν ανιχνεύτηκαν από τα διανύσματα δοκιμής του αρχείου που σας δόθηκε.
3. Επαναλάβετε την παραπάνω διαδικασία θεωρώντας αυτή τη φορά ότι πιθανά σφάλματα μόνιμης τιμής δεν μπορούν να συμβούν στις γραμμές των cells AOI32D1. Που οφείλεται η αλλαγή του test coverage;
4. Επαναλάβετε την παραπάνω διαδικασία θεωρώντας ότι τα πιθανά σφάλματα μόνιμης τιμής είναι αυτά που είναι αποθηκευμένα στο αρχείο `c1355_faults.dat`.
5. Για το συνδυαστικό κύκλωμα `c7552.v` εκτελέστε την διαδικασία fault simulation, για όλα τα πιθανά σφάλματα μόνιμης τιμής των γραμμών του κυκλώματος, χρησιμοποιώντας τα διανύσματα δοκιμής που δίνονται στα αρχεία `c7552_test_set_10.v`, `c7552_test_set_50.v`, `c7552_test_set_100.v`, `c7552_test_set_1000.v`, `c7552_test_set_5000.v`, `c7552_test_set_10000.v`, `c7552_test_set_100000.v`, `c7552_test_set_1000000.v` και `c7552_test_set_10000000.v`. Τα παραπάνω διανύσματα έχουν προκύψει με ψευδοτυχαίο τρόπο, αλλάζοντας κάθε φορά το μήκος της ακολουθίας. Παρόλα αυτά, σε αρκετά από τα παραπάνω αρχεία το πλήθος των αποθηκευμένων διανυσμάτων είναι πολύ λιγότερο από αυτό που υποδεικνύει το όνομα του αρχείου, για το λόγο ότι το εργαλείο TetraMax δεν αποθηκεύει τα διανύσματα που δεν ανιχνεύουν κανένα σφάλμα. Αφού εκτελέσετε την διαδικασία Fault Simulation, για τα παραπάνω αρχεία, σχεδιάστε στη συνέχεια την καμπύλη του ποσοστού κάλυψης σφαλμάτων (fault coverage) συναρτήσει του αριθμού των διανυσμάτων. Γιατί δεν επιτυγχάνεται 100% fault coverage ακόμη και μετά την εφαρμογή των 10.000.000 διανυσμάτων; Πόσα είναι και πώς ονομάζονται τα σφάλματα που δεν ανιχνεύονται; Να σημειωθεί ότι το κύκλωμα δεν περιέχει redundant ή άλλα μη ανιχνεύσιμα σφάλματα.

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 2

1. Χρησιμοποιώντας το εργαλείο TetraMax, εκτελέστε την διαδικασία deterministic ATPG για το ακολουθιακό κύκλωμα s1423.v, για όλα τα πιθανά σφάλματα μόνιμης τιμής του κυκλώματος, Παρατηρήστε τη διαδικασία βήμα προς βήμα και ιδιαίτερα τα αποτελέσματα της διαδικασίας DRC. Ποιοι κανόνες παραβιάζονται και γιατί. Επιπλέον, παρατηρήστε τα αποτελέσματα της ATPG διαδικασίας, δίνοντας προσοχή στην κατηγοριοποίηση των σφαλμάτων του κυκλώματος. Που οφείλεται το χαμηλό ποσοστό test coverage. Αιτιολογήστε την απάντησή σας.
2. Εκτελέστε την διαδικασία ATPG για το συνδυαστικό κύκλωμα c3540.v, οδηγώντας το εργαλείο να παράγει διανύσματα δοκιμής με ντετερμινιστικό τρόπο για όλα τα πιθανά σφάλματα μόνιμης τιμής των γραμμών του κυκλώματος. Επαναλάβετε τη διαδικασία χρησιμοποιώντας 10.000, 100.000, και 1.000.000 ψευδοτυχαία διανύσματα. Συγκρίνετε τα ποσοστά test coverage για όλες τις περιπτώσεις και σχολιάστε την κατηγοριοποίηση των σφαλμάτων, λαμβάνοντας υπόψιν κάθε φορά το μήκος της ψευδοτυχαίας ακολουθίας. Υπάρχουν Random Pattern Resistant σφάλματα στο παραπάνω κύκλωμα;
3. Για το συνδυαστικό κύκλωμα c7552.v, εκτελέστε την διαδικασία deterministic ATPG για κάθε μία από τις ακόλουθες περιπτώσεις:
 - Οι απαιτήσεις του σχεδιασμού ικανοποιούνται αν το test coverage είναι τουλάχιστον 97.5%. Τι παρατηρείτε όσον αφορά το test coverage που προκύπτει.
 - Ο συνολικός αριθμός διανυσμάτων δοκιμής δεν πρέπει να ξεπερνά τα 200.
 - Οι προσπάθειες του ATPG αλγορίθμου να ανιχνεύσει ένα πιθανό σφάλμα μόνιμης τιμής να μην ξεπερνά τις 2.
4. Για το συνδυαστικό κύκλωμα c7552.v, εκτελέστε την διαδικασία Fault Simulation, για όλα τα πιθανά σφάλματα μόνιμης τιμής των γραμμών του κυκλώματος, χρησιμοποιώντας τα διανύσματα δοκιμής που είναι αποθηκευμένα στο αρχείο c7552_test_set.v. Αφού ολοκληρωθεί η διαδικασία, αποθηκεύστε σε ένα αρχείο την λίστα των σφαλμάτων που δεν ανιχνεύτηκαν και στην συνέχεια οδηγήστε το εργαλείο να παράγει διανύσματα δοκιμής μόνο για τα σφάλματα αυτά. Τέλος, αποθηκεύστε τα διανύσματα δοκιμής που προέκυψαν.

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 3

1. Για το ακολουθιακό κύκλωμα s5378.v, οδηγήστε το εργαλείο Design Compiler να δημιουργήσει μία scan αλυσίδα, αντικαθιστώντας όλα τα ακολουθιακά στοιχεία του κυκλώματος με τα scan ισοδύναμά τους. Αποθηκεύστε το νέο full-scan σχεδιασμό, αφού πρώτα έχετε βεβαιωθεί για τη σωστή του λειτουργία κατά τη φάση ελέγχου. Επιπλέον υπολογίστε το area και delay overhead του σχεδιασμού που προέκυψε μετά την εισαγωγή της αλυσίδας. Για να το κάνετε αυτό εκτελέστε ένα απλό mapping του αρχικού σχεδιασμού στην τεχνολογία υλοποίησης. Που οφείλεται το area και delay overhead.
2. Για το κύκλωμα που προέκυψε μετά την εισαγωγή μιας scan αλυσίδας, εξομοιώστε την εφαρμογή των διανυσμάτων δοκιμής, τα οποία είναι αποθηκευμένα στο αρχείο s5378.vec. Οι πρώτες τριάντα πέντε (35) στήλες του παραπάνω αρχείου αντιστοιχούν στις τριανταπέντε κύριες εισόδους του κυκλώματος, ενώ οι επόμενες εκατόν εβδομήντα εννιά (179) στην κατάσταση που πρέπει να έλθει η αλυσίδα (ξεκινώντας από το scan cell που βρίσκεται πιο κοντά στο scan input port του κυκλώματος) μετά την εφαρμογή ενός διανύσματος δοκιμής. Για να εξομοιώσετε την λειτουργία του κυκλώματος κατά τη φάση ελέγχου, είναι απαραίτητο να γράψετε ένα Verilog test bench, το οποίο θα εκτελεί τις λειτουργίες scan chain loading (σειριακή φόρτωση της αλυσίδας με το νέο διάνυσμα δοκιμής) και parallel capture (κανονική λειτουργία του κυκλώματος για ένα κύκλο ρολογιού). Κατά τη διάρκεια της εξομοίωσης, μετά το τέλος της εφαρμογής ενός διανύσματος, ενημερώστε ένα log αρχείο, το οποίο θα περιέχει την εσωτερική κατάσταση της αλυσίδας, καθώς και ένα log αρχείο, το οποίο θα περιέχει τις αποκρίσεις των εξόδων του κυκλώματος (εκτός του scan output port).

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 4

1. Για το ακολουθιακό κύκλωμα s1423.v, οδηγήστε το εργαλείο Design Compiler να δημιουργήσει μία scan αλυσίδα, αντικαθιστώντας όλα τα ακολουθιακά στοιχεία του κυκλώματος με τα scan ισοδύναμά τους. Αποθηκεύστε το νέο full-scan σχεδιασμό, αφού πρώτα έχετε βεβαιωθεί για τη σωστή του λειτουργία κατά τη φάση ελέγχου. Στη συνέχεια δημιουργήστε τα απαραίτητα αρχεία που καθορίζουν την λειτουργία και το χρονισμό του κυκλώματος κατά τη φάση ελέγχου, με βάση την καθυστέρηση του κρίσιμου μονοπατιού του κυκλώματος.
2. Οδηγήστε το εργαλείο TetraMax, να παράγει διανύσματα δοκιμής για όλα τα πιθανά σφάλματα μόνιμης τιμής των γραμμών του κυκλώματος. Δώστε ιδιαίτερη προσοχή στην διαδικασία DRC για να βεβαιωθείτε ότι το κύκλωμα είναι πλήρως scan-based (όλα τα ακολουθιακά στοιχεία αντικαταστάθηκαν από τα scan ισοδύναμα τους) και λειτουργεί σωστά κατά τη φάση scan chain loading και parallel capture. Αιτιολογήστε τα αποτελέσματα της διαδικασίας ATPG, συγκρίνοντας τα με τα αποτελέσματα της διαδικασίας ATPG της Άσκησης 2 για το ακολουθιακό κύκλωμα s1423.v.
3. Επαναλάβετε τη διαδικασία της σύνθεσης για το ακολουθιακό κύκλωμα s1423.v, αντικαθιστώντας όλα τα ακολουθιακά στοιχεία του κυκλώματος με τα scan ισοδύναμά τους, δημιουργώντας αυτή τη φορά δύο αλυσίδες ακολουθιακών στοιχείων. Στη συνέχεια, εκτελέστε τη διαδικασία Fault Simulation για τα διανύσματα που είναι αποθηκευμένα στο αρχείο s1423_test_set.v. Για τα σφάλματα που δεν ανιχνεύτηκαν από τη διαδικασία Fault Simulation παράγετε τα απαιτούμενα διανύσματα δοκιμής. Τι πετυχαίνουμε δημιουργώντας περισσότερες από μία αλυσίδες ακολουθιακών στοιχείων; Δικαιολογήστε την απάντησή σας παρουσιάζοντας τα κατάλληλα αποτελέσματα.