

# Σχεδιασμός Συστημάτων VLSI 2022

## Εργασία 5

### Ενότητα A:

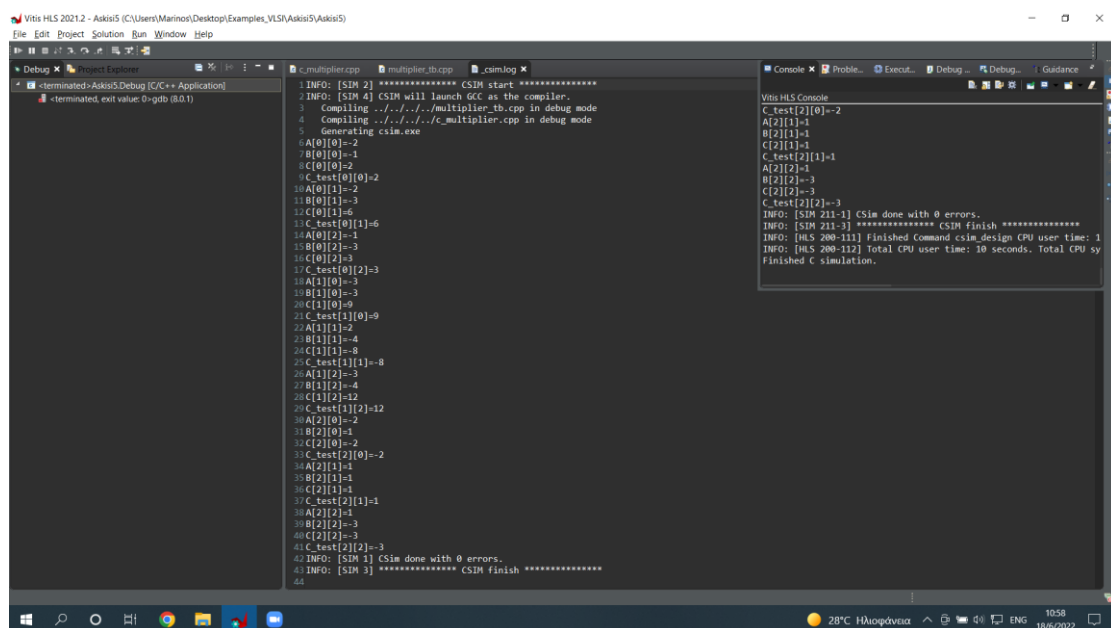
1) Δεν πρόλαβα να το υλοποιήσω, αλλά θα έφτιαχνα Full-Adder, Half-Adder και με τον συνδυασμό τους (ως components) μαζί με λογικές πύλες θα γινόταν ο πολλαπλασιασμός.

2) Οι διαφορές είναι ότι ο κώδικας από το cosimulation είναι πολύ μεγαλύτερος, με πολλά περισσότερα, processes και χρήση έτοιμων components.

### ΧΩΡΙΣ PRAGMA

Οι κώδικες είναι στα αρχεία c\_multiplier.cpp, multiplier\_tb.cpp.

### Simulation: Σωστά αποτελέσματα



```
1 INFO: [SIM 2] ***** CSIM start *****
2 INFO: [SIM 4] CSIM will launch GCC as the compiler.
3 Compiling ../../../../../../multiplier_tb.cpp in debug mode
4 Compiling ../../../../../../c_multiplier.cpp in debug mode
5 Generating csim.exe
6 A[0][0]=-2
7 B[0][0]=1
8 C[0][0]=2
9 C_test[0][0]=2
10 A[0][1]=-2
11 B[0][1]=-3
12 C[0][1]=6
13 C_test[0][1]=6
14 A[0][2]=1
15 B[0][2]=3
16 C[0][2]=3
17 C_test[0][2]=3
18 A[1][0]=-3
19 B[1][0]=-3
20 C[1][0]=9
21 C_test[1][0]=9
22 A[1][1]=2
23 B[1][1]=-4
24 C[1][1]=-8
25 C_test[1][1]=-8
26 A[1][2]=3
27 B[1][2]=-4
28 C[1][2]=-12
29 C_test[1][2]=-12
30 A[2][0]=-2
31 B[2][0]=1
32 C[2][0]=-2
33 C_test[2][0]=-2
34 A[2][1]=1
35 B[2][1]=1
36 C[2][1]=1
37 C_test[2][1]=1
38 A[2][2]=1
39 B[2][2]=-3
40 C[2][2]=-3
41 C_test[2][2]=-3
42 INFO: [SIM 1] CSIM done with 0 errors.
43 INFO: [SIM 3] ***** CSIM finish *****
44
```

```
Vitis HLS Console
C_test[2][0]=-2
A[2][1]=1
B[2][1]=1
C[2][1]=1
C_test[2][1]=1
A[2][2]=1
B[2][2]=-3
C[2][2]=-3
C_test[2][2]=-3
INFO: [SIM 211-1] CSIM done with 0 errors.
INFO: [SIM 211-3] ***** CSIM finish *****
INFO: [HLS 200-111] Finished Command csim_design CPU user time: 1
INFO: [HLS 200-112] Total CPU user time: 10 seconds. Total CPU sy
Finished C simulation.
```

### Synthesis:

**Synthesis Summary Report of 'mult'**

**General Information**

Date: Sat Jun 18 11:33:37 2022  
Version: 2021.2 (Build 3367213 on Tue Oct 19 02:48:09 MDT 2021)  
Project: Askis5

Solution: solution1 (Vivado IP Flow Target)  
Product family: zynqplus  
Target device: xqzu3eg-sfra484-1-i

**Timing Estimate**

Target	Estimated	Uncertainty
10.00 ns	2.226 ns	2.70 ns

**Performance & Resource Estimates**

Modules & Loops	Issue Type	Violation Type	Distance	Slack	Latency(cycles)	Latency(ns)	Iteration Latency	Interval	Trip Count	Pipelined	BRAM	DSP	FF	LUT	URAM
mult	-	-	-	-	11	110.000	-	12	-	no	0	0	15	149	0
VITIS_LOOP_11_1_VITIS_LOOP_12_2	-	-	-	-	9	90.000	2	1	9	yes	-	-	-	-	-

**HW Interfaces**

Vitis HLS Console  
INFO: [COMMON 17-206] Exiting Vivado at Sat Jun 18 11:20:43 2022...  
ERROR: [HLS 213-28] Failed to generate IP.  
INFO: [HLS 200-111] Finished Command export\_design CPU user time: 2 seconds. CPU system time: 0 seconds. Elapsed time: 63.011 seconds; current allocated memory: 0.000 MB.  
command "ap\_source" returned error code  
while executing  
"source C:/Users/Marinos/Desktop/Examples\_VLSI/Askis5/solution1/export.tcl"  
invoked from within  
"hs::main C:/Users/Marinos/Desktop/Examples\_VLSI/Askis5/solution1/export.tcl"  
("uplevel" body line 1)  
invoked from within  
"uplevel 1 hs::main (\*)\$newargs"

## CoSimulation:

**Cosimulation Report for 'mult'**

**General Information**

Date: Sat Jun 18 11:36:32 GTB 2022  
Version: 2021.2 (Build 3367213 on Tue Oct 19 02:48:09 MDT 2021)  
Project: Askis5  
Status: Pass

Solution: solution1 (Vivado IP Flow Target)  
Product family: zynqplus  
Target device: xqzu3eg-sfra484-1-i

**Cosim Options**

Tool: Vivado XSIM  
RTL: VHDL

**Performance Estimates**

Modules & Loops	Avg II	Max II	Min II	Avg Latency	Max Latency	Min Latency
mult	9	9	9	9	9	9
VITIS_LOOP_11_1_VITIS_LOOP_12_2						

## 3)ME PRAGMA

Ο κώδικας είναι στο pragma\_c\_multiplier.cpp.

Δεν υπάρχει διαφορά με το unroll=1 και αν είχαμε το 3 έβγαζε error ότι δεν μπορεί να πραγματοποιηθεί το store αφού έχει περιορισμένα ports. Με pipeline II=1 δεν έχουμε καμία διαφορά στις μετρήσεις.

Καλύτερα αποτελέσματα για cyclic factor=3 dim=2. Ίδια είναι

και τα αποτελέσματα για block factor=3 dim=2

The screenshot shows the 'Synthesis Summary Report of 'mult'' in Vivado. It includes sections for General Information, Timing Estimate, and Performance & Resource Estimates.

**General Information**

Date:	Mon Jun 20 21:58:22 2022	Solution:	solution1 (Vivado IP Flow Target)
Version:	2021.2 (Build 3367213 on Tue Oct 19 02:48:09 MDT 2021)	Product family:	zynqplus
Project:	pragma	Target device:	xqz3eg slc704-1-i

**Timing Estimate**

Target	Estimated	Uncertainty
10.00 ns	2.160 ns	2.70 ns

**Performance & Resource Estimates**

Module & Loops	Issue Type	Violation Type	Distance	Stack	Latency/cycle	Latency/cycle	Iteration Latency	Interval	Trips Count	Pipeline	BRAM	DSP	FF	LU	URAM
mult					5	50.000	-	6	-	no	0	0	7	61	0
Vitis_LOOP_16_1					3	30.000	2	1	3	yes	-	-	-	-	-

Οποιοσδήποτε άλλος τρόπος δεν μπορούσε να επιφέρει καλύτερα αποτελέσματα.

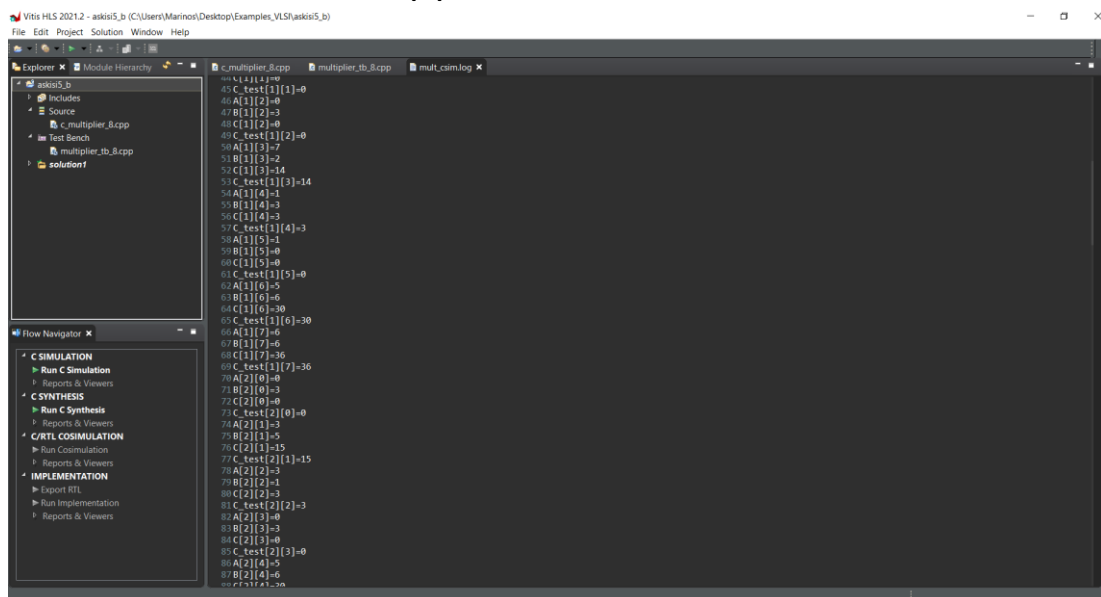
Η διαφορά με τα προηγούμενα vhd files, είναι ότι σε αυτό έχουμε περισσότερα αντίγραφα addresses, τα οποία λογικά παράγονται εξαιτίας της παραλληλοποίησης που επιλέξαμε.

## Ενότητα B:

### ΧΩΡΙΣ PRAGMA

Οι κώδικες βρίσκονται στα αρχεία  
c\_multiplier\_8.cpp, multiplier\_tb\_8.cpp.

**Simulation:** Όλα λειτουργούν σωστά.



**Synthesis:**

**Synthesis Summary Report of 'mult'**

**General Information**

Date: Mon Jun 20 11:26:37 2022  
 Version: 2021.2 (Build 3367213 on Tue Oct 19 02:48:09 MDT 2021)  
 Project: askisi5\_b  
 Solution: solution1 (Vivado IP Flow Target)  
 Product family: zynqplus  
 Target device: xqzu3eg-sfra484-1-i

**Timing Estimate**

Target	Estimated	Uncertainty
10.00 ns	4.312 ns	2.70 ns

**Performance & Resource Estimates**

Modules & Loops	Issue Type	Violation Type	Distance	Slack	Latency(cycles)	Latency(ns)	Iteration Latency	Interval	Trip Count	Pipelined	BRAM	DSP	FF	LUT	URAM
mult				-	66	660.000		67	-	no	0	0	24	195	0
VITIS_LOOP_11_1_VITIS_LOOP_12_2				-	64	640.000	2	1	64	yes	-	-	-	-	-

**HW Interfaces**

## CoSimulation:

**Co-simulation Report for 'mult'**

**General Information**

Date: Mon Jun 20 11:29:13 GTB 2022  
 Version: 2021.2 (Build 3367213 on Tue Oct 19 02:48:09 MDT 2021)  
 Project: askisi5\_b  
 Status: Pass  
 Solution: solution1 (Vivado IP Flow Target)  
 Product family: zynqplus  
 Target device: xqzu3eg-sfra484-1-i

**Cosim Options**

Tool: Vivado XSIM  
 RTL: Verilog

**Performance Estimates**

Modules & Loops	Avg II	Max II	Min II	Avg Latency	Max Latency	Min Latency
mult				64	64	64
VITIS_LOOP_11_1_VITIS_LOOP_12_2				65	65	65

## ME PRAGMA

Ο κώδικας είναι στο pragma\_c\_multiplier\_8.cpp.

Στο unroll έχουμε το ίδιο error με πριν. Η βέλτιστη λύση με την μικρότερη καθυστέρηση είναι με cyclic factor=8 dim=2.

Ουσιαστικά χωρίζουμε τον πίνακα σε μικρότερα arrays(8) και στις δυο διαστάσεις, με την διαδικασία της κυκλικής τοποθέτησης και με αυτά εκτελούμε την σχεδίαση των πολλαπλών αρχιτεκτονικών που επιθυμούμε.

pragma\_c\_multiplier\_8.cpp

Synthesis Summary(solution1)

Date: Mon Jun 20 22:40:25 2022

Version: 2021.2 (Build 3367213 on Tue Oct 19 02:48:09 MDT 2021)

Project: pragma\_8

Solution: solution1 (Vivado IP Flow Target)

Product family: zynqplus

Target device: xqzu3eg-ffra484-1-i

Timing Estimate

Target	Estimated	Uncertainty
10.00 ns	3.750 ns	2.70 ns

Performance & Resource Estimates

Module

Loops

Modules & Loops	Issue Type	Violation Type	Distance	Slack	Latency(cycles)	Latency(ns)	Iteration Latency	Interval	Trip Count	Pipelined	BRAM	DSP	FF	LUT	URAM
mult			-	10	100.000	-	11	-	-	no	0	0	11	381	0
Vitis_Loop_14_1			-	8	80.000	-	2	1	8	yes	-	-	-	-	-

HW Interfaces

AP\_MEMORY

Interface	Bitwidth
-----------	----------

Console

Errors

Warnings

Guidance

Properties

Main Report

Git Repositories

