

Σχεδιασμός Συστημάτων VLSI 2022

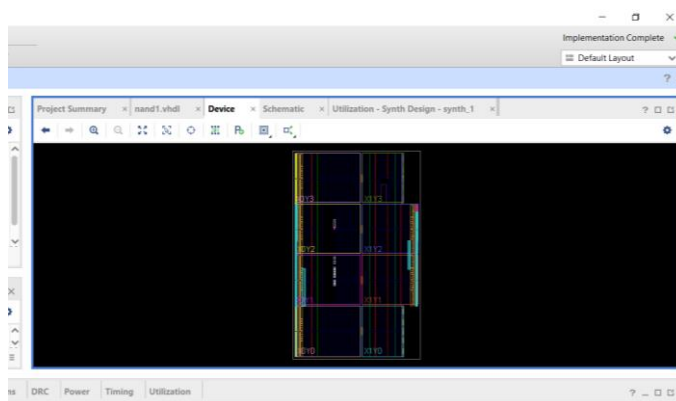
Εργασία 2

Ενότητα Α:

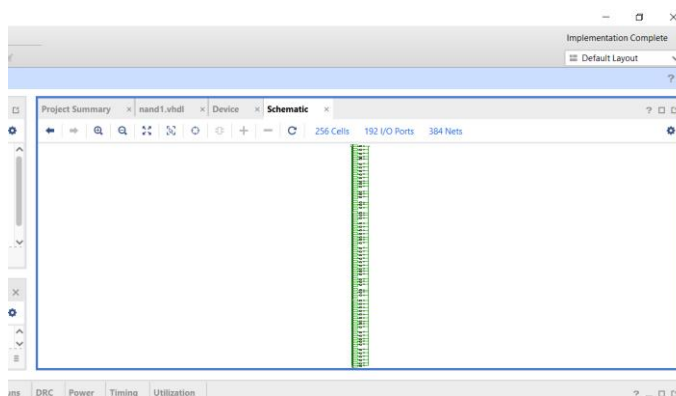
1) Για την πρώτη άσκηση:

NAND

Device



Schematic



Πληροφορίες

xc7a100t1csg324-1L			
Resources	Used	Available	Utilization%
I/Os	192	210	91.43
LUTs	64	63400	0.10
FFs	0	126800	0.00
Power	16.337W*		
Frequency	0 GHz**		

*Δεν είναι αντιπροσωπευτικό λόγω απουσίας clock

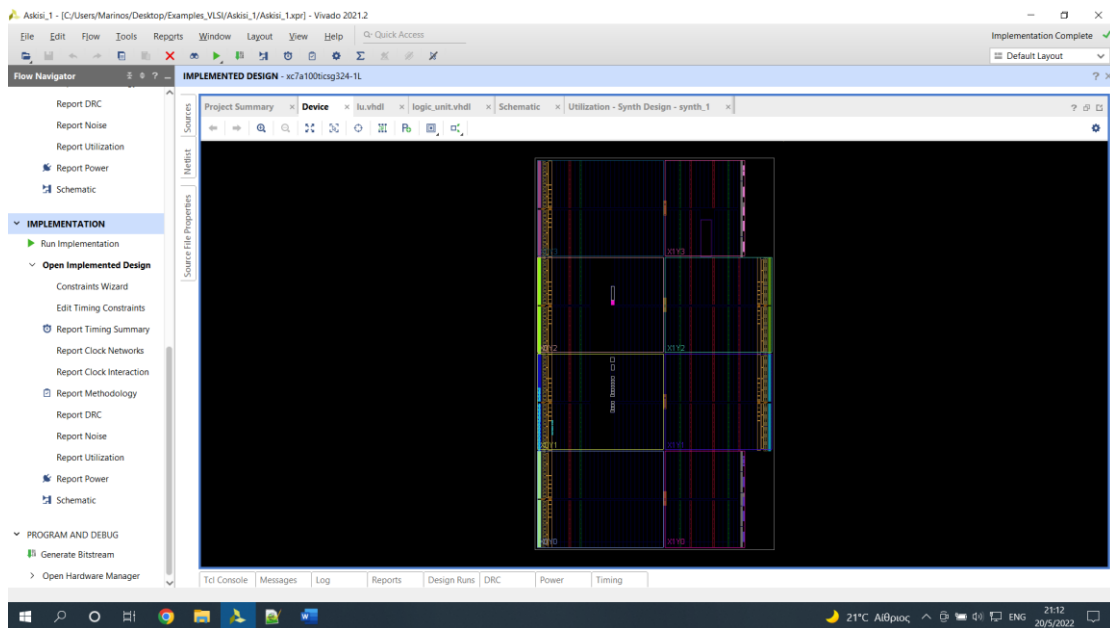
** Δεν είναι αντιπροσωπευτικό λόγω απουσίας clock.
Ουσιαστικά η συχνότητα θα είναι όσο το αντίστροφο της καθυστέρησης της πύλης NAND.

Παρατηρήσεις:

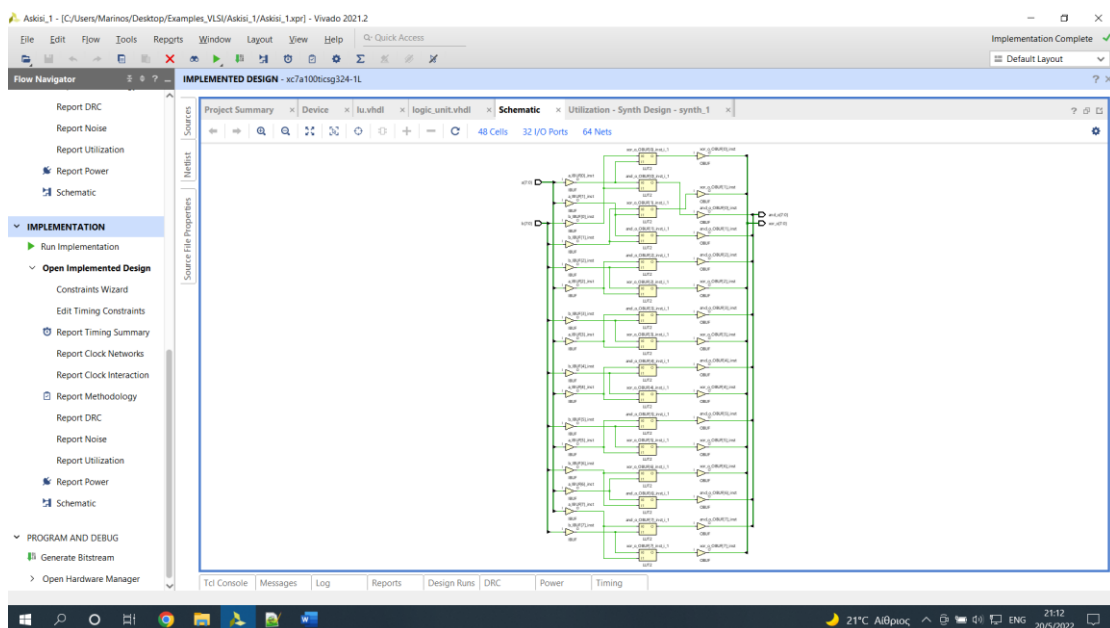
1. Ως κρίσιμο μονοπάτι θα έχουμε την καθυστέρηση της πύλης NAND.
2. Δεν μπορεί να επιτευχθεί η παραλληλία όπως είχε υπολογισθεί με την αλλαγή του κώδικα αφού το κύκλωμα είναι πολύ μικρό.
3. Και για τις δύο διαφορετικές υλοποιήσεις των NAND προκύπτουν τα ίδια αποτελέσματα.

LU

Device



Schematic



Πληροφορίες

xc7a100t1csg324-1L			
Resources	Used	Available	Utilization%
I/Os	32	210	15.24
LUTs	8	63400	0.01
FFs	0	126800	0.00
Power	5.411W*		

Frequency	0 GHz*
-----------	--------

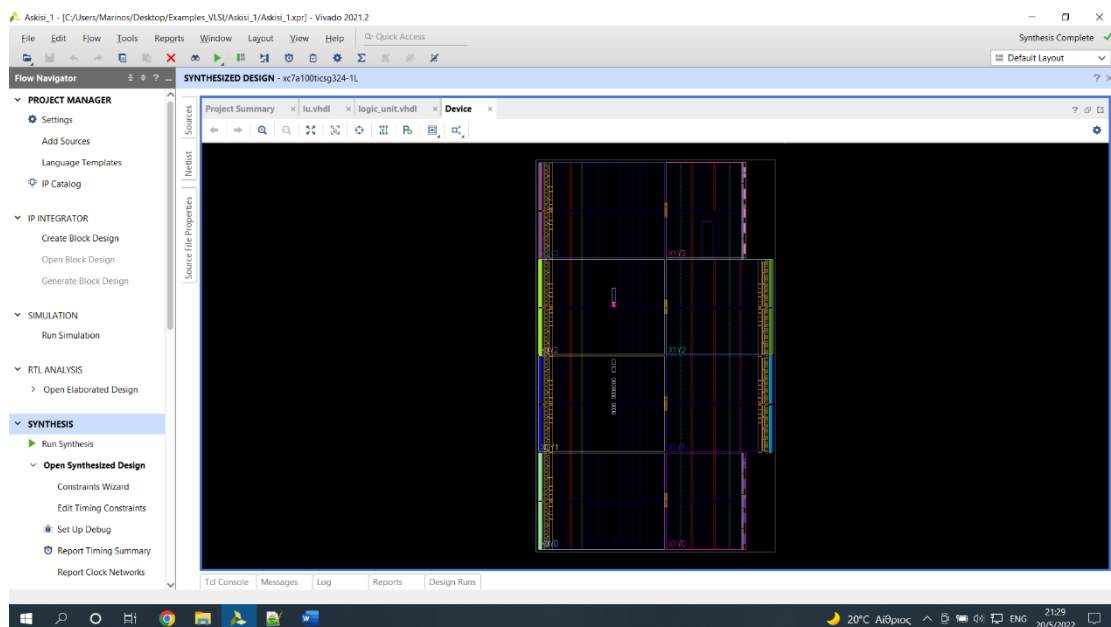
*Δεν είναι αντιπροσωπευτικό λόγω απουσίας clock

Παρατηρήσεις:

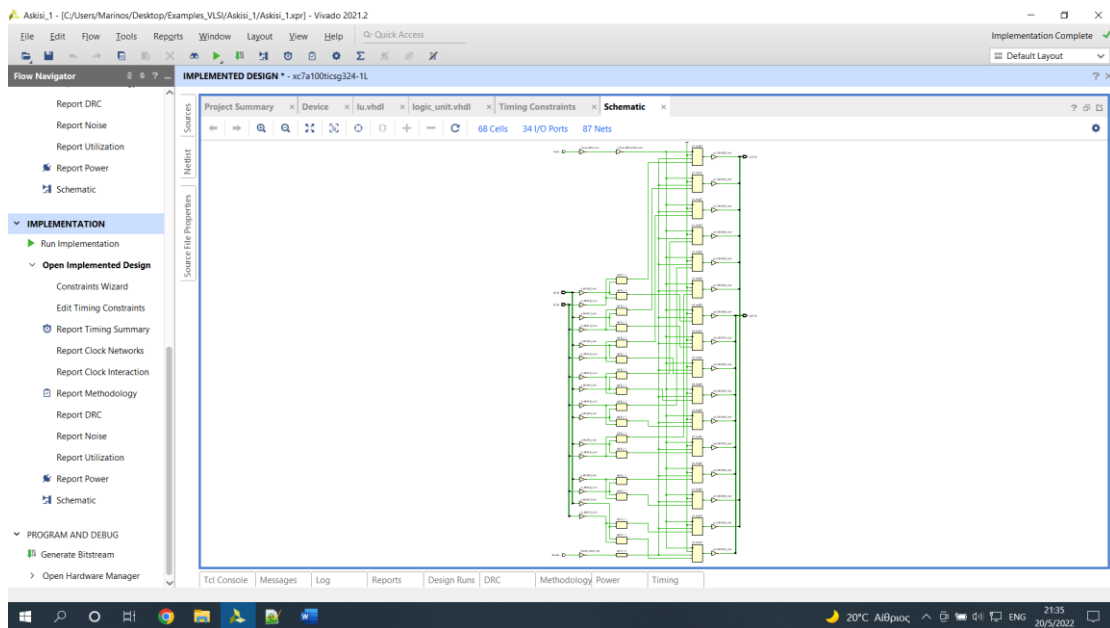
1. Ως κρίσιμο μονοπάτι θα έχουμε το μονοπάτι με την μεγαλύτερη καθυστέρηση λόγω των πυλών.

LU with Registers

Device



Schematic



Πληροφορίες

xc7a100ticsg324-1L			
Resources	Used	Available	Utilization%
I/Os	34	210	16.19
LUTs	9	63400	0.01
FFs	16	126800	0.01
Power	5.438W*		
Frequency	0 GHz*		

*Δεν είναι αντιπροσωπευτικό λόγω απουσίας clock.

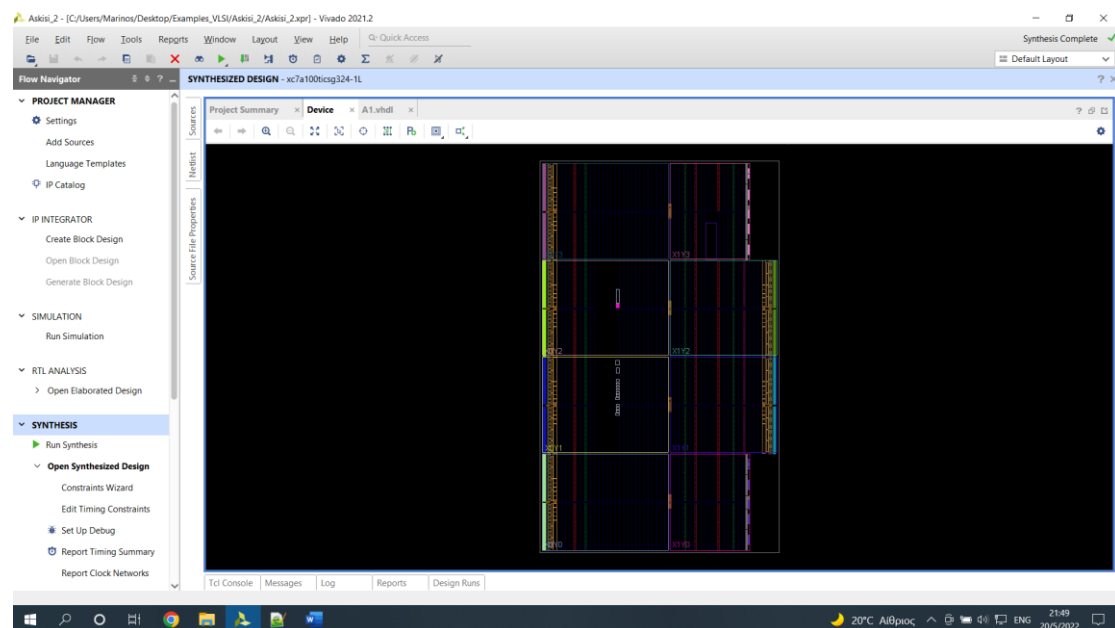
Παρατηρήσεις:

1. Δεν μπορούμε να υπολογίσουμε την συχνότητα λειτουργίας επειδή το clock αφορά μόνο τους registers και όχι το υπόλοιπο κύκλωμα. Θα έπρεπε να προσθέσουμε τις απαραίτητες καθυστερήσεις για να προκύψει η συχνότητα και το κρίσιμο μονοπάτι.

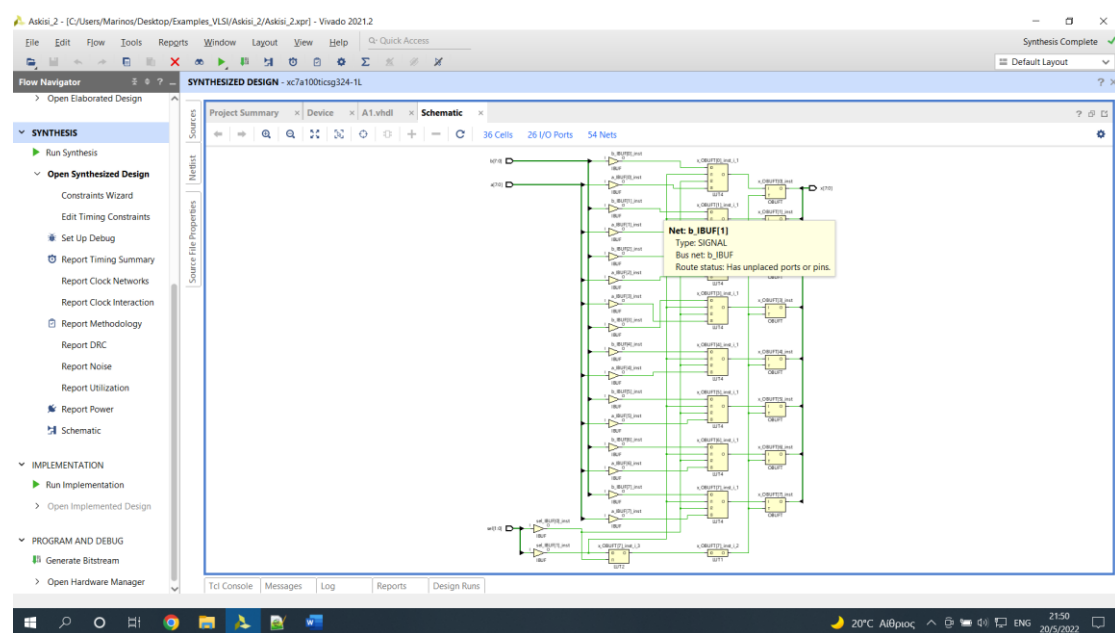
Για την δεύτερη άσκηση:

A1

Device



Schematic



Πληροφορίες

xc7a100ticsg324-1L			
Resources	Used	Available	Utilization%
I/Os	26	210	12.38

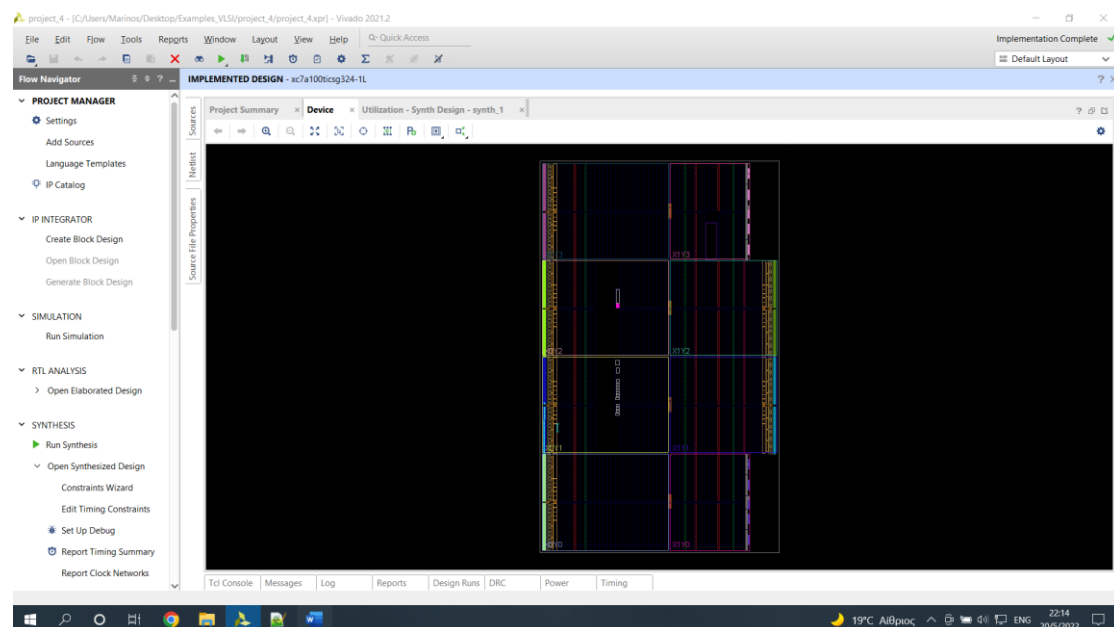
LUTs	9	63400	0.01
FFs	0	126800	0.00
Power	2.199W*		
Frequency	0 GHz*		

*Δεν είναι αντιπροσωπευτικό λόγω απουσίας clock.

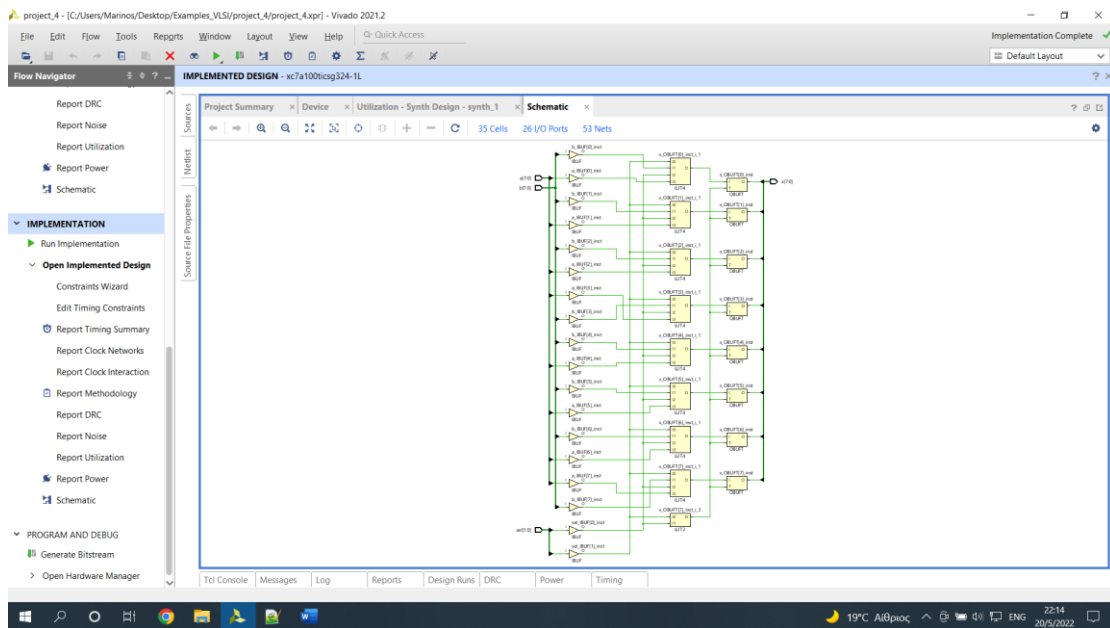
Παρατηρήσεις:

A2

Device



Schematic



Πληροφορίες

xc7a100ticsg324-1L			
Resources	Used	Available	Utilization%
I/Os	26	210	12.38
LUTs	9	63400	0.01
FFs	0	126800	0.00
Power	2.204W*		
Frequency	0 GHz*		

*Δεν είναι αντιπροσωπευτικό λόγω απουσίας clock.

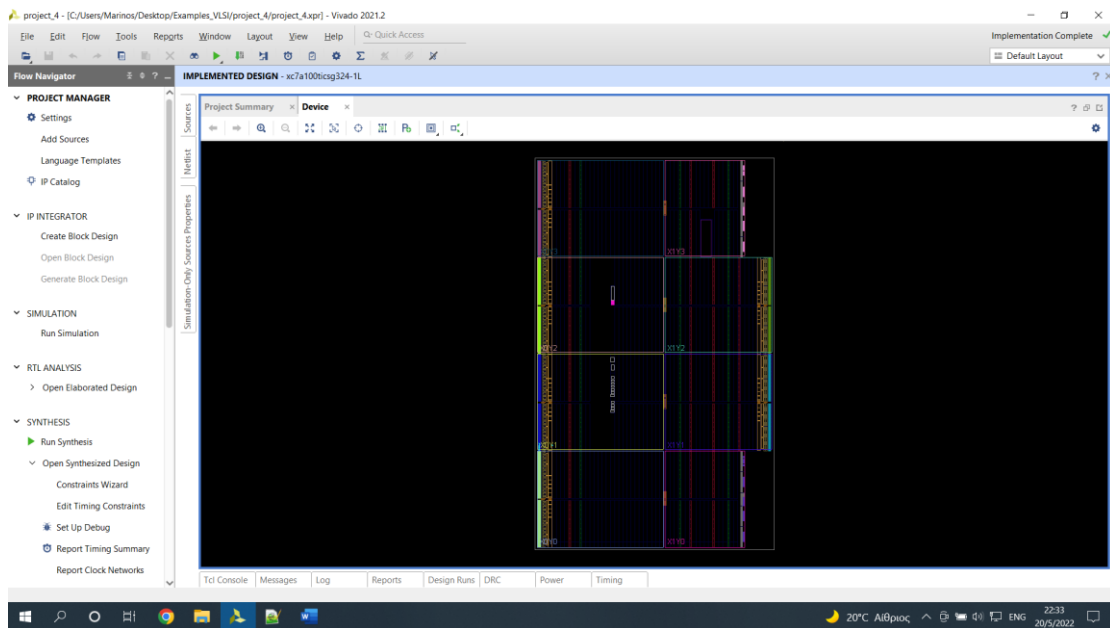
Παρατηρήσεις:

1. Έχει παρόμοιες απαιτήσεις με το A1.

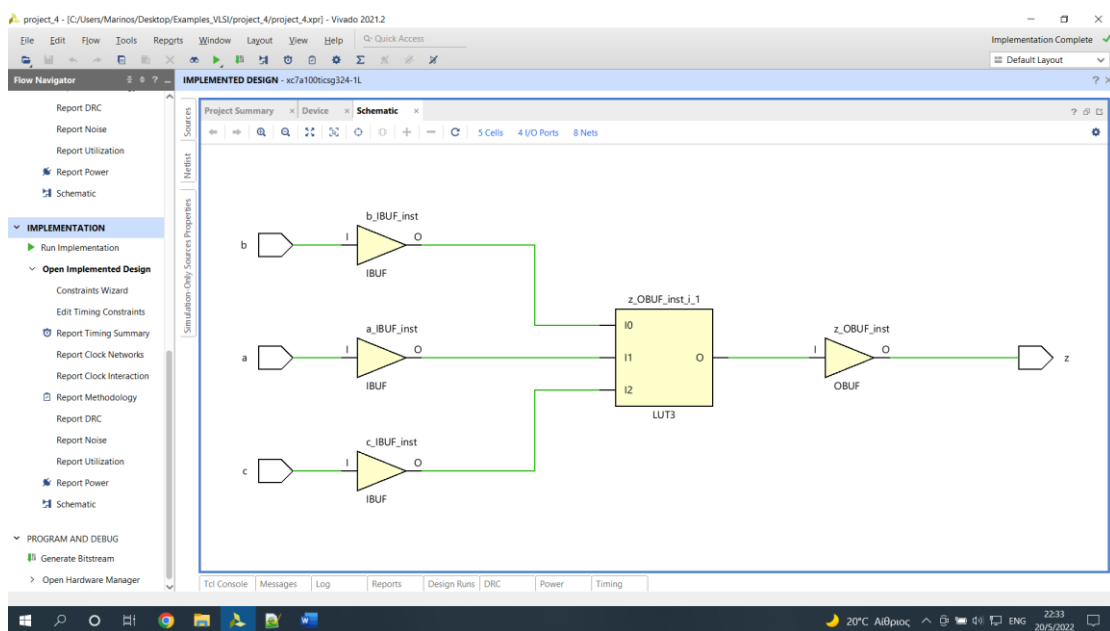
B1

$$Z = ABC' + AB + C$$

Device



Schematic



Πληροφορίες

xc7a100ticsg324-1L			
Resources	Used	Available	Utilization%
I/Os	4	210	1.90
LUTs	1	63400	<0.01
FFs	0	126800	0.00

Power	0.337W*
Frequency	0GHz*

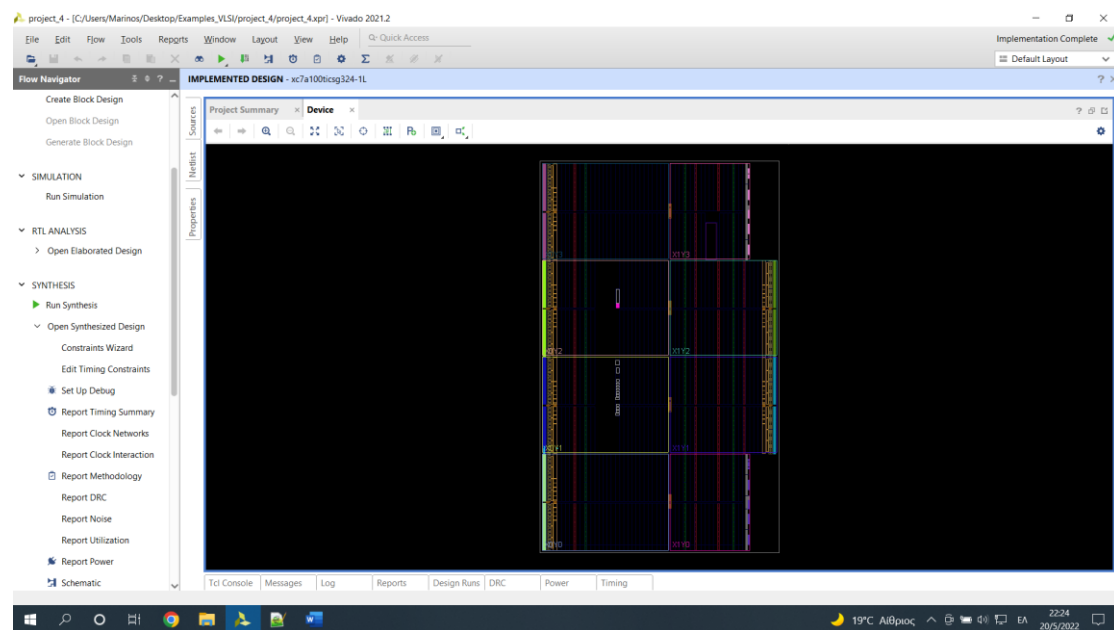
*Δεν είναι αντιπροσωπευτικό λόγω απουσίας clock.

Παρατηρήσεις:

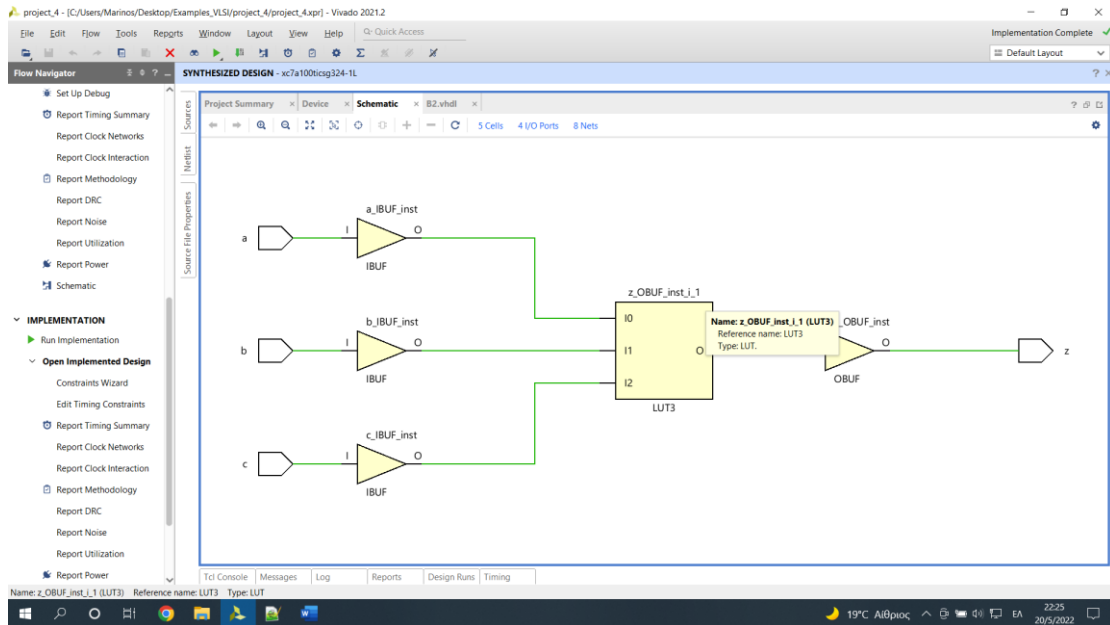
B2

$$Z = ABC' + AB + C$$

Device



Schematic



Πληροφορίες

xc7a100ticsg324-1L			
Resources	Used	Available	Utilization%
I/Os	4	210	1.90
LUTs	1	63400	<0.01
FFs	0	126800	0.00
Power	0.337W*		
Frequency	0 GHz*		

*Δεν είναι αντιπροσωπευτικό λόγω απουσίας clock.

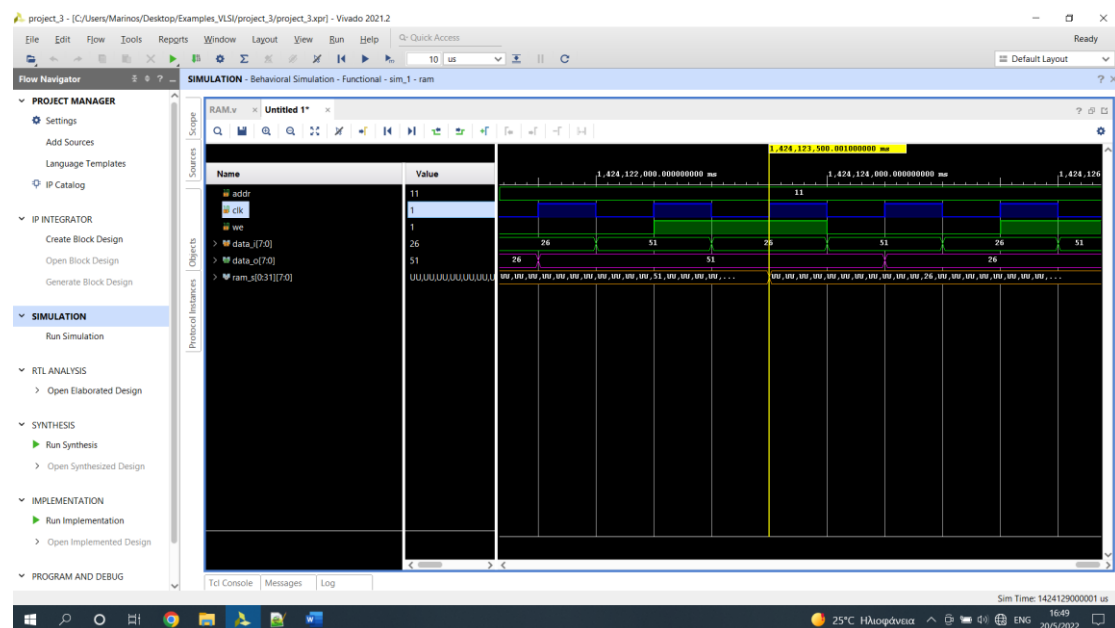
Παρατηρήσεις:

1. Ίδιες απαιτήσεις με το B1

Ενότητα B:

Ο κώδικας VHDL της RAM βρίσκεται στο αρχείο με όνομα RAM.vhdl

Simulation



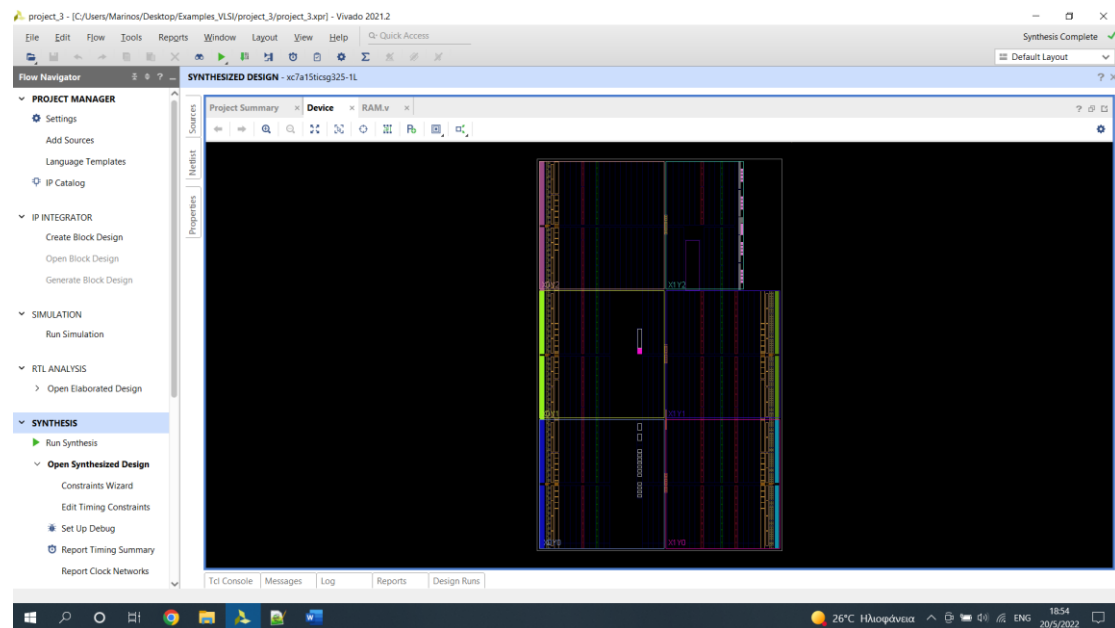
Παρατηρούμε ότι λειτουργεί με τον αναμενόμενο τρόπο η RAM, αφού με $we=1$ και θετική ακμή ρολογιού γίνεται εγγραφή στην 6^η θέση της μνήμης(ram_s σήμα), ενώ με $we=0$ και θετική ακμή ρολογιού γίνεται ανάγνωση της μνήμης στην θέση 6 και παίρνουμε τα αποτελέσματα στο $data_o$.

2) Σύμφωνα με το εγχειρίδιο πρέπει:

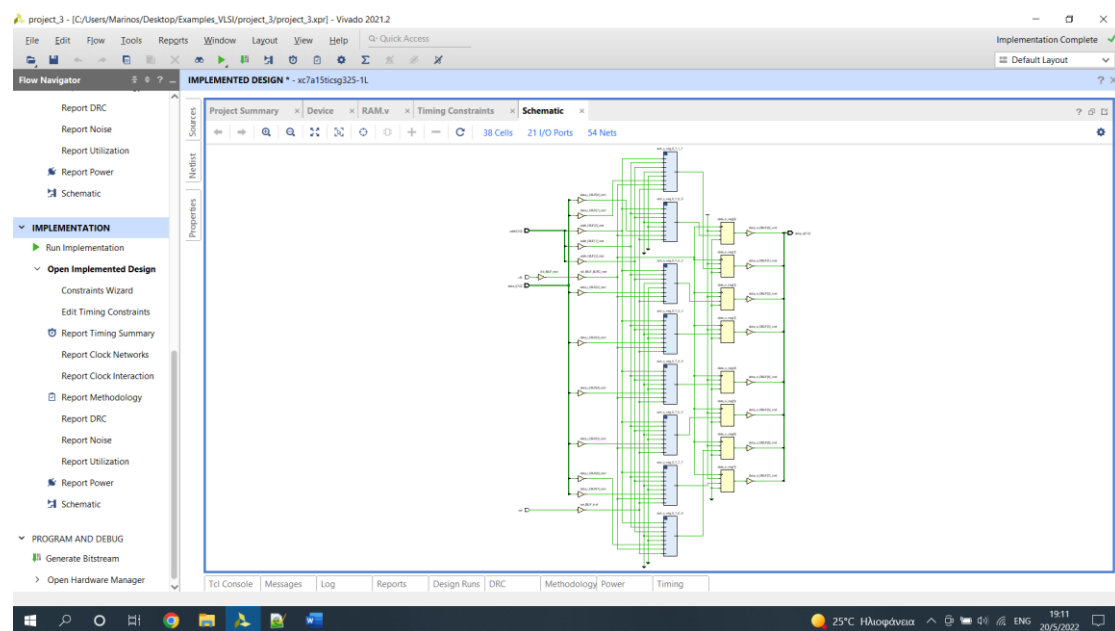
- Κάθε προσπέλαση στην μνήμη να ελέγχεται από το ρολόι
- Χωρίς ρολόι να μην γίνεται τίποτα
- Κατά την διάρκεια της εγγραφής, στην έξοδο είτε θα φαίνονται τα προηγούμενα αποθηκευμένα δεδομένα ή τα καινούργια ή θα μένουν τα ίδια

Όλα αυτά έχουν ήδη πραγματοποιηθεί στον αρχικό κώδικα (RAM.v) οπότε δεν χρειάζεται αλλαγή.

Device



Schematic



Πληροφορίες

xc7a100ticsg325-1L			
Resources	Used	Available	Utilization%
I/Os	21	150	14.00
LUTs	8	10400	0.08
FFs	8	20800	0.04

Power	2.092W
Frequency	0.125 GHz

Τα αποτελέσματα επιβεβαιώνουν τον αρχικό σχεδιασμό και είναι αναμενόμενα.