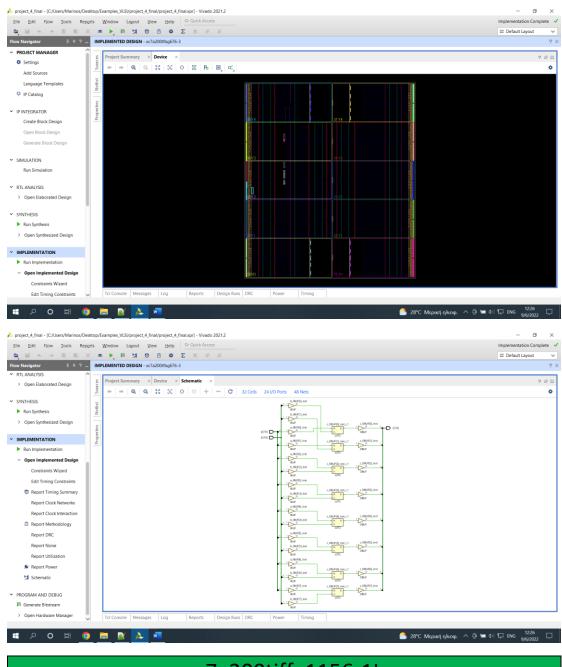
Σχεδιασμός Συστημάτων VLSI 2022

Εργασία 4

Ενότητα Α:

Πύλη A - AND

Ο κώδικας βρίσκεται στο GateA.vhdl



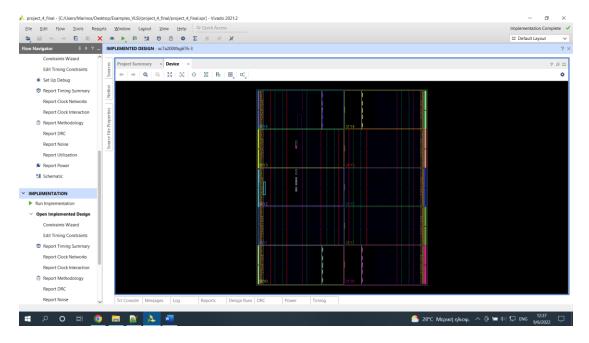
xc7a200tiffg1156-1L

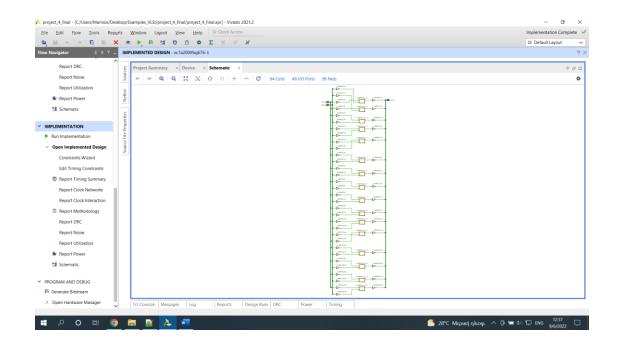
Resources	Used	Available	Utilization%
I/Os	24	400	6.00
LUTs	8	134600	<0.01
FFs	0	269200	0.00
Power	2.061 W*		
Frequency	0 GHz*		

^{*}Δεν είναι αντιπροσωπευτικό λόγω απουσίας clock

Πύλη Β - OR

Ο κώδικας βρίσκεται στο GateB.vhdl



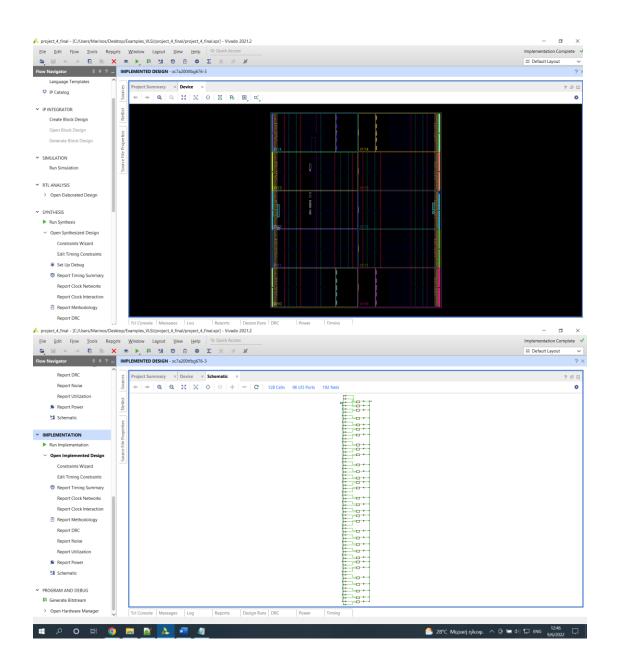


xc7a200tiffg1156-1L				
Resources	Used	Available	Utilization%	
I/Os	48	400	12.00	
LUTs	16	134600	0.01	
FFs	0	269200	0.00	
Power	4.041 W *			
Frequency	0 GHz*			

^{*}Δεν είναι αντιπροσωπευτικό λόγω απουσίας clock

Πύλη Γ - NOR

Ο κώδικας βρίσκεται στο GateC.vhdl

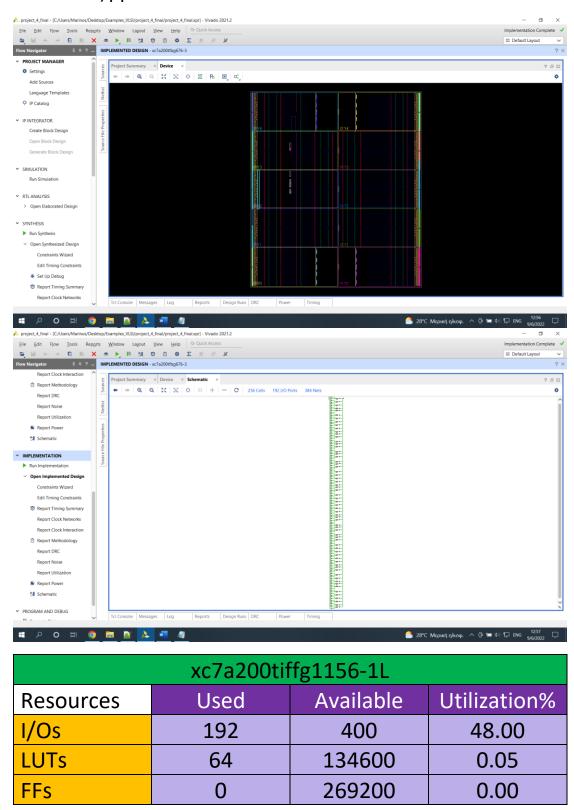


xc7a200tiffg1156-1L				
Resources	Used	Available	Utilization%	
I/Os	96	400	24.00	
LUTs	32	134600	0.02	
FFs	0	269200	0.00	
Power	8.499 W *			
Frequency	0 GHz*			

^{*}Δεν είναι αντιπροσωπευτικό λόγω απουσίας clock

Πύλη Δ – NAND

Ο κώδικας βρίσκεται στο GateD.vhdl



Power	17.291 W *
Frequency	0 GHz*

^{*}Δεν είναι αντιπροσωπευτικό λόγω απουσίας clock

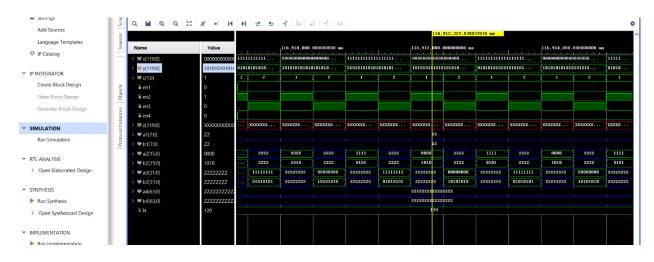
Ενότητα Β:

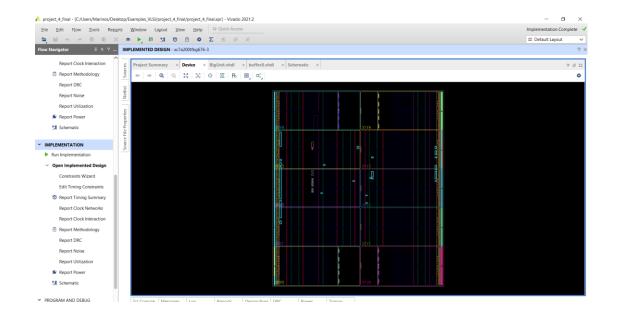
Ο κώδικας βρίσκεται στο αρχείο BigUnit.vhdl

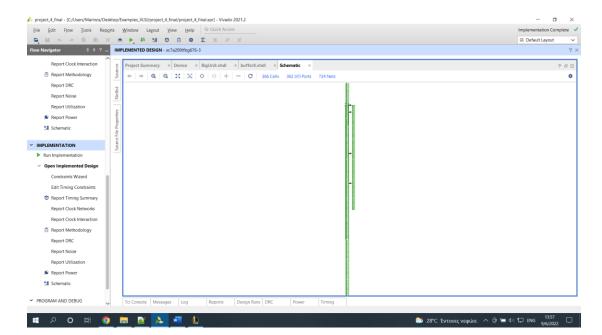
Τα components είναι τα αρχεία GateA.vhdl, GateB.vhdl, GateC.vhdl, GateD.vhdl, buffer8.vhdl, buffer16.vhdl, buffer32.vhdl, buffer64.vhdl.

Χρησιμοποιήσαμε 8 tri-state buffers(2-8bits,2-16bits,2-32bits,2-64bits) και έναν multiplexer 1 to 4, με δυο bits εισόδου για να ρυθμίσουμε ότι κάθε φορά θα εκτελείται μόνο 1 πύλη κάθε φορά, ανάλογα αυτή που θα επιλέξει ο χρήστης.

<u>Waveforms:</u> Όλα λειτουργούν με βάση τα enable των tri-state buffers που είναι επιλογή του χρήστη. Όταν δεν είναι στο 1, δεν περνάει ρεύμα και συνεπώς στην έξοδό μας παίρνουμε Χ αφού δεν εκτελείται η πύλη που οδηγείται από τις εξόδους αυτών των buffers.







xc7a200tiffg1156-1L				
Resources	Used	Available	Utilization%	
I/Os	362	400	90.50	
LUTs	244	134600	0.18	
FFs	0	269200	0.00	
Power	21.021 W *			
Frequency	0 GHz*			

^{*}Δεν είναι αντιπροσωπευτικό λόγω απουσίας clock.