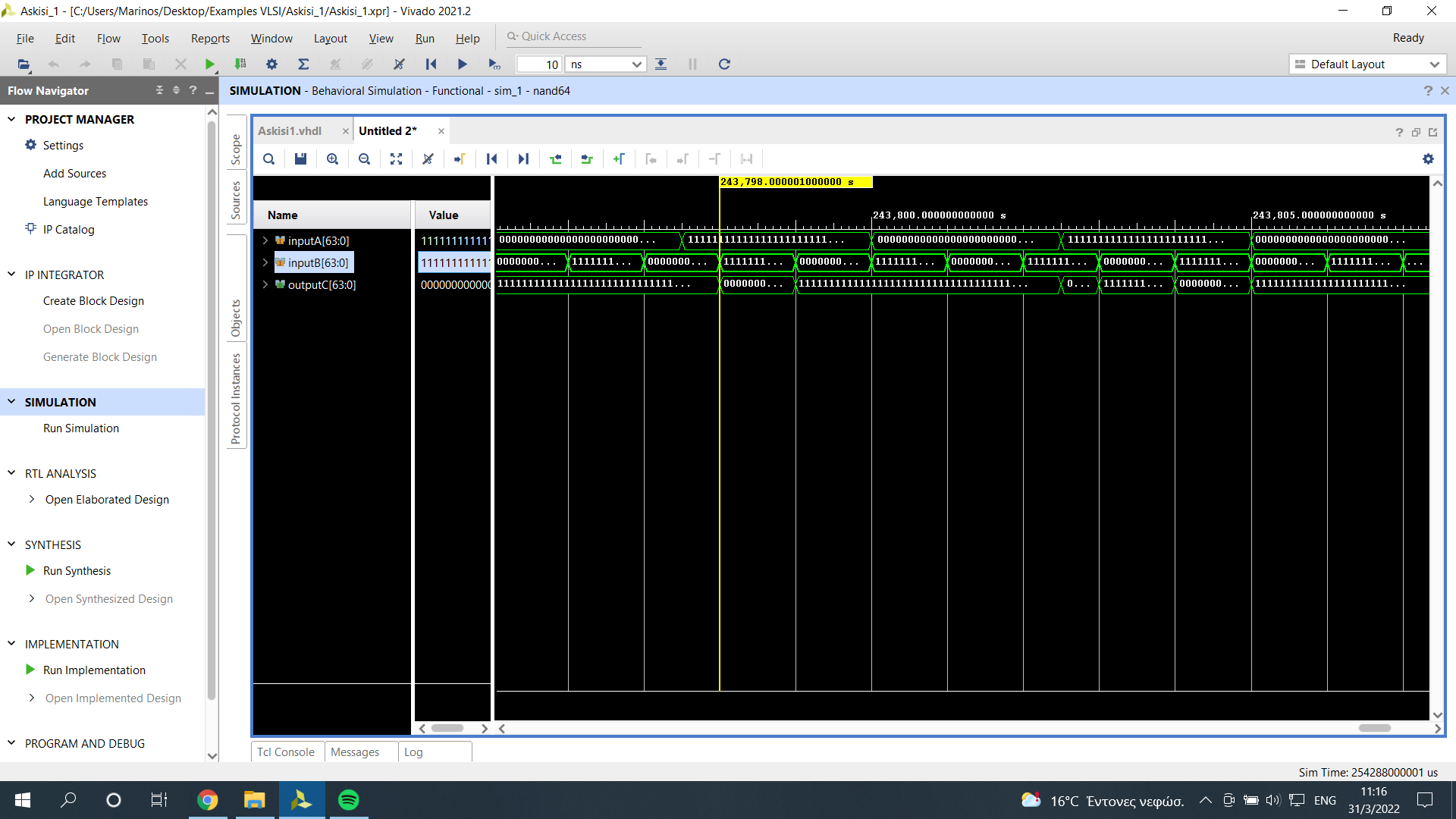
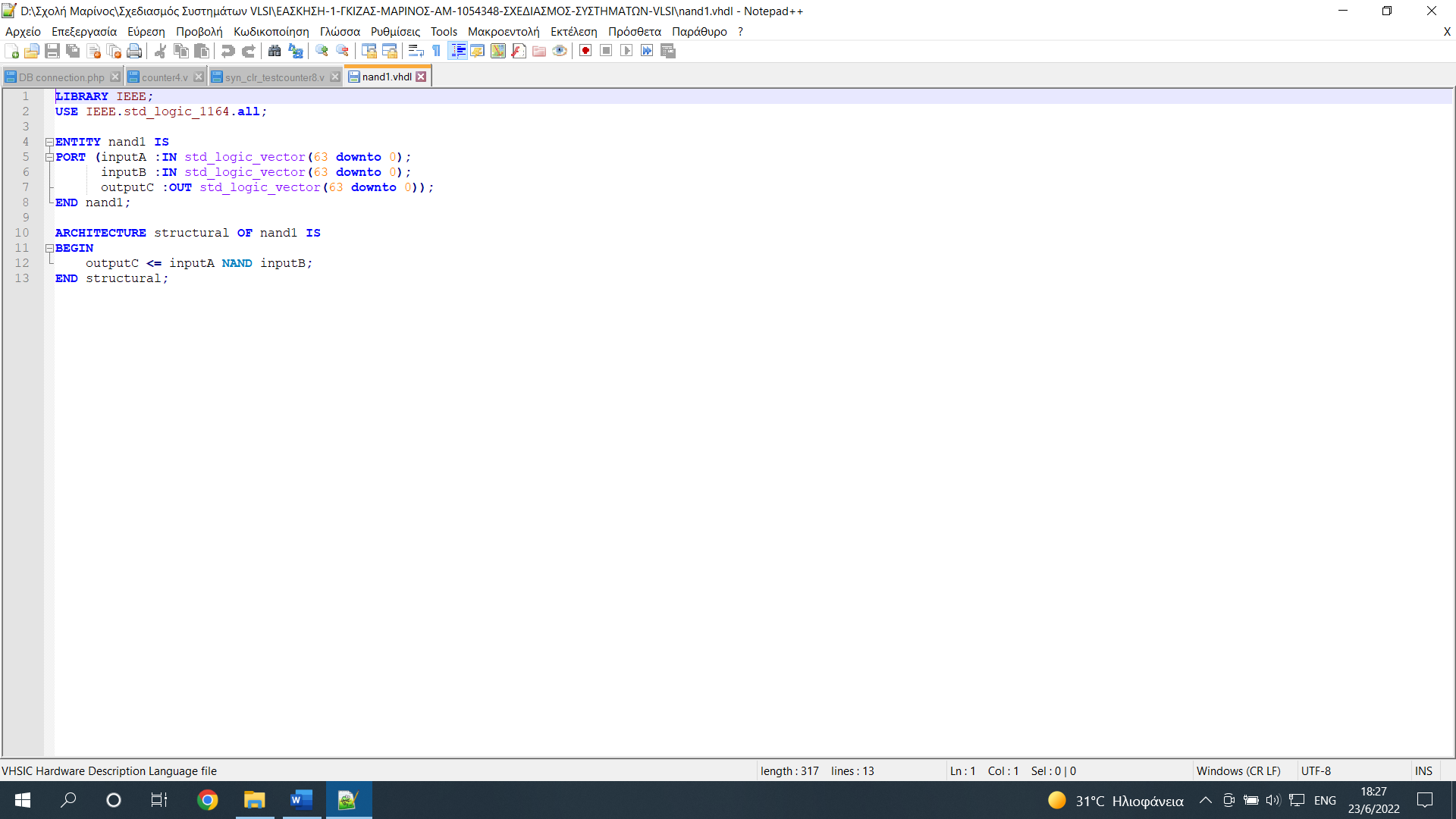
Σχεδιασμός Συστημάτων VLSI  
2022

Εργασία 1

1) 

2) Από την εξομοίωση παρατηρούμε ότι οι συνδυασμοί εισόδων με τα αποτελέσματα των εξόδων, ταυτίζονται με την λογική πύλη NAND. Συνεπώς, ο κώδικας που εξομοιώσαμε είναι πύλη NAND 2 εισόδων από 64 bits η κάθε μία, με μία έξοδο 64 bits.

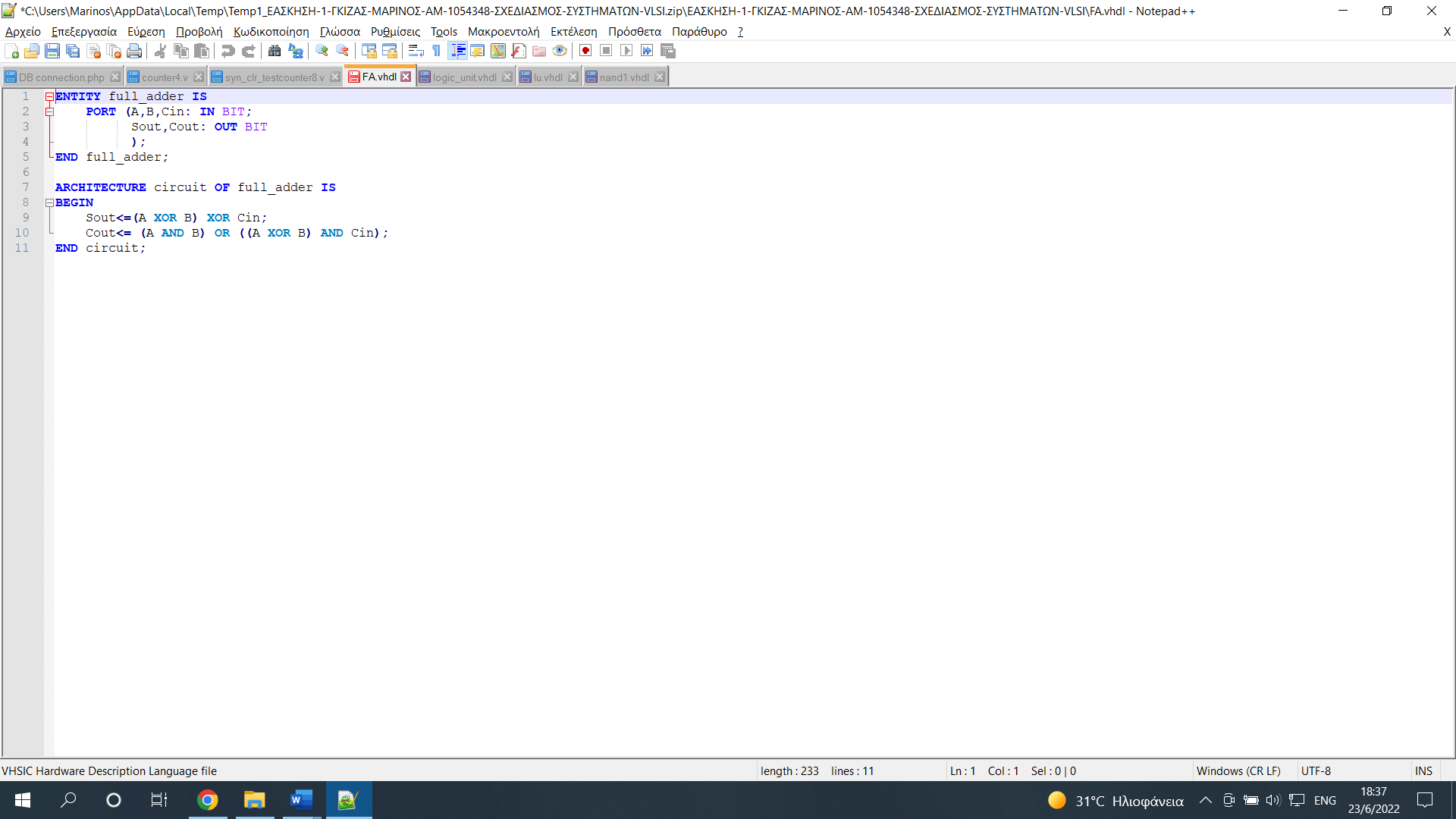
3) Εναλλακτικός κώδικας:   
  
  
**Τρόπος σκέψης**  
Με αυτόν τον εναλλακτικό τρόπο υλοποίησης του κώδικα, δηλαδή αφαιρώντας την for loop, εκμεταλλευόμαστε την παραλληλία που προσφέρουν οι γλώσσες περιγραφής υλικού (στην περίπτωσή μας η VHDL), δίνοντάς μας τα παρακάτω πλεονεκτήματα.

**(+) Πλεονεκτήματα:**- Μικρότερο χρόνο εκτέλεσης απότι με την for loop που θα εκτελούσε σειριακά την εντολή.

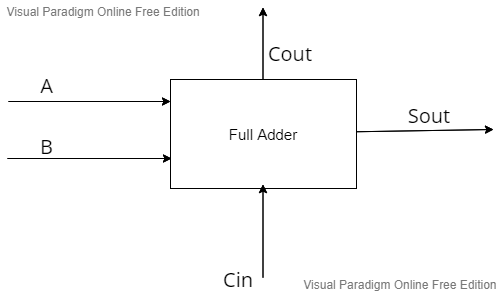
- Λιγότερες γραμμές κώδικα, άρα και πιο απλός.

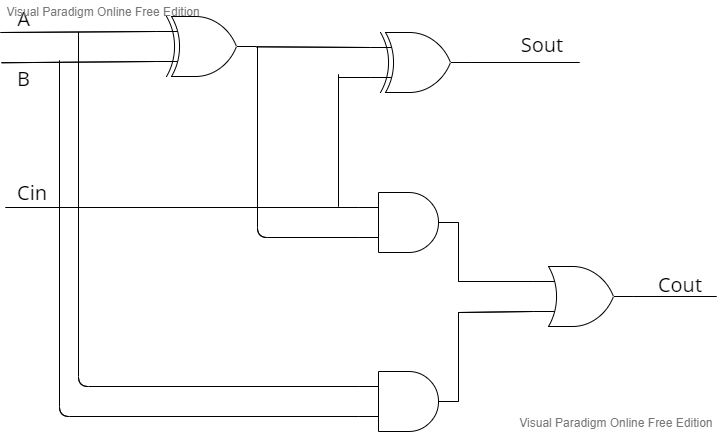
**(-) Μειονεκτήματα:**

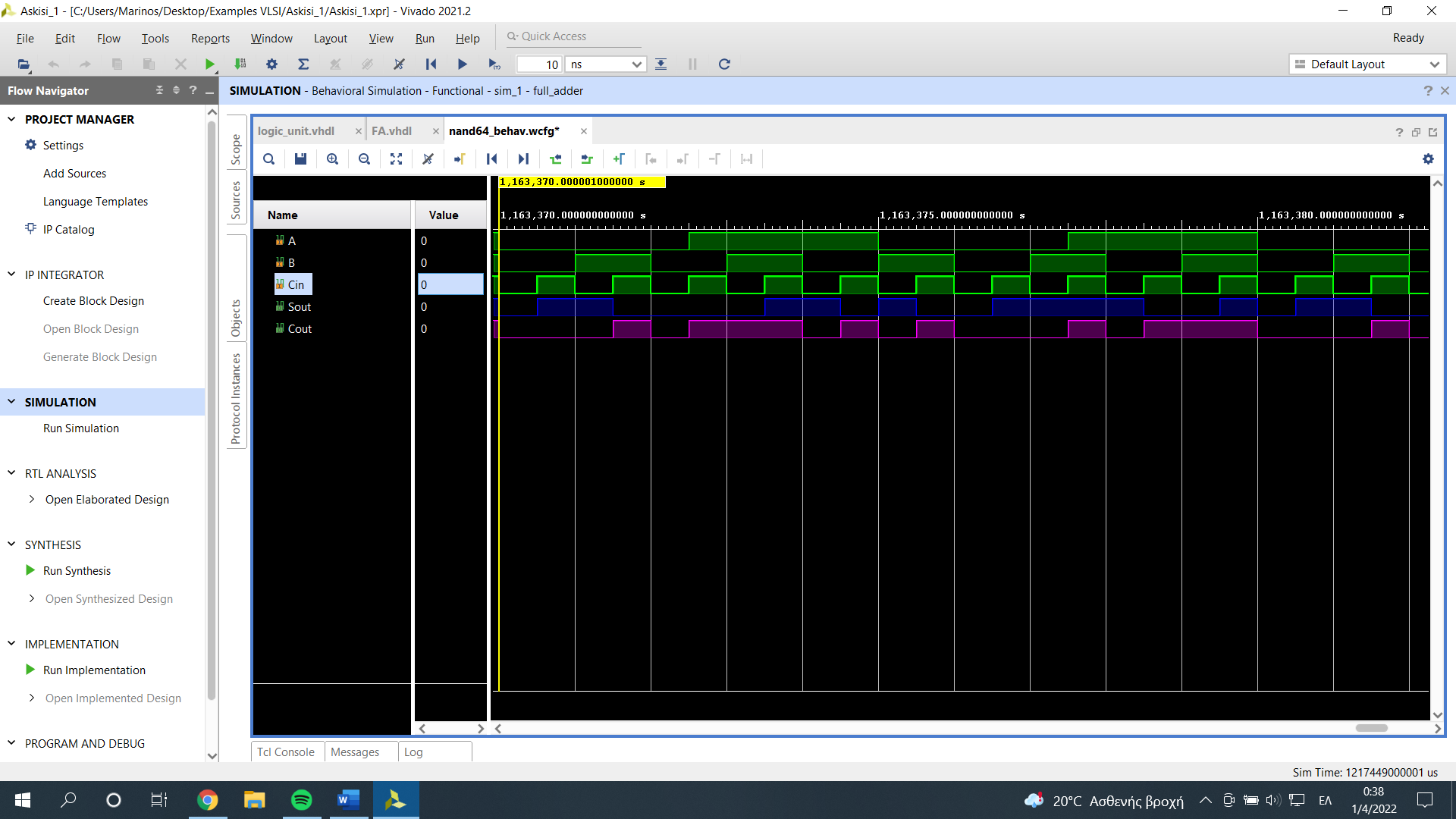
Γ)

1) **Full-Adder**

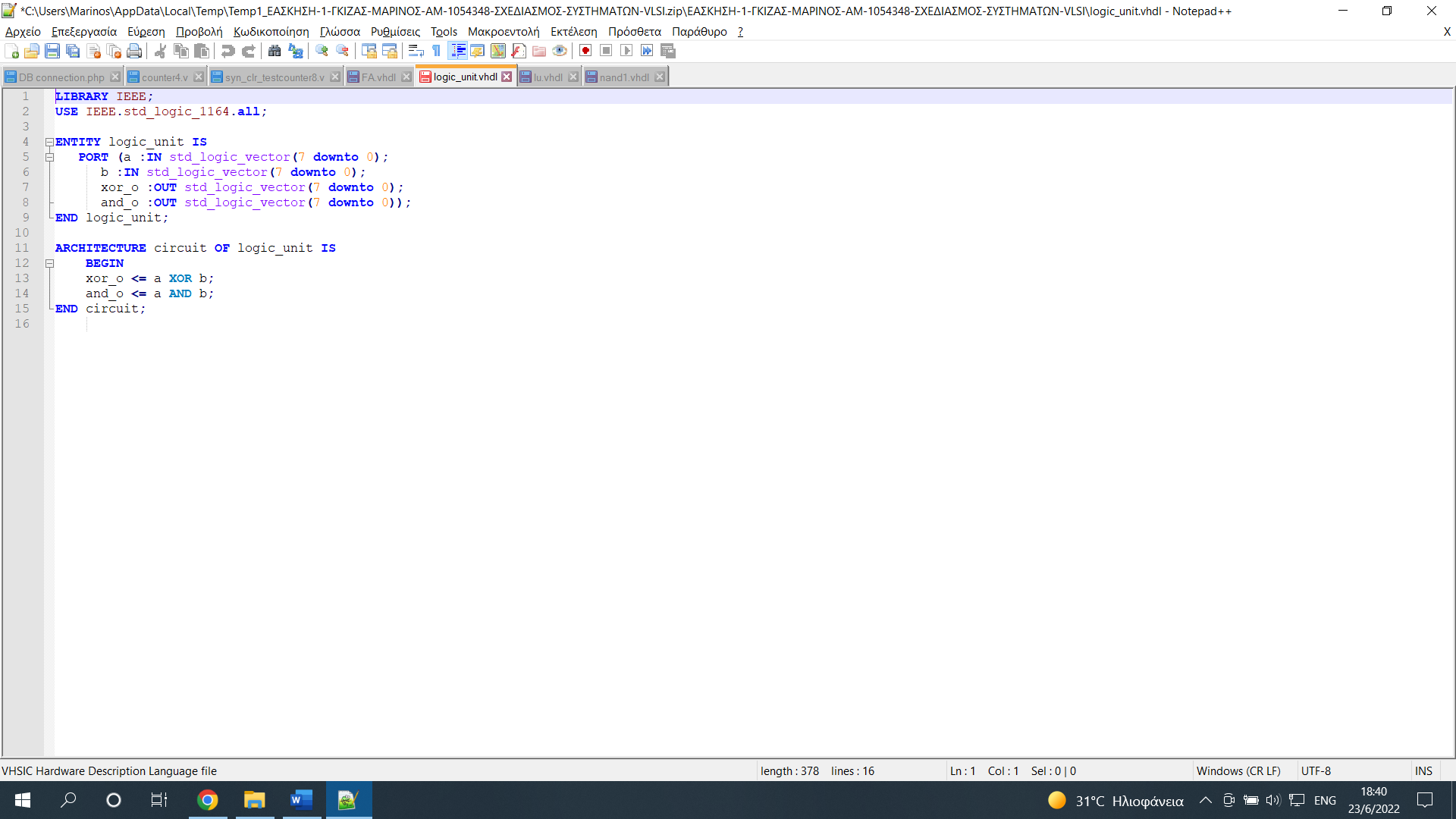
Architecture: Για την σχεδίαση του πλήρη αθροιστή θα χρησιμοποιήσουμε 2 πύλες XOR, 1 OR και 2 AND.

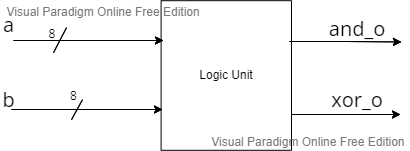


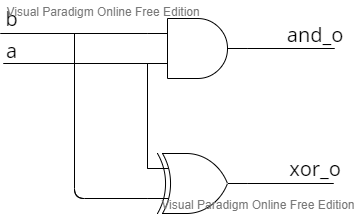
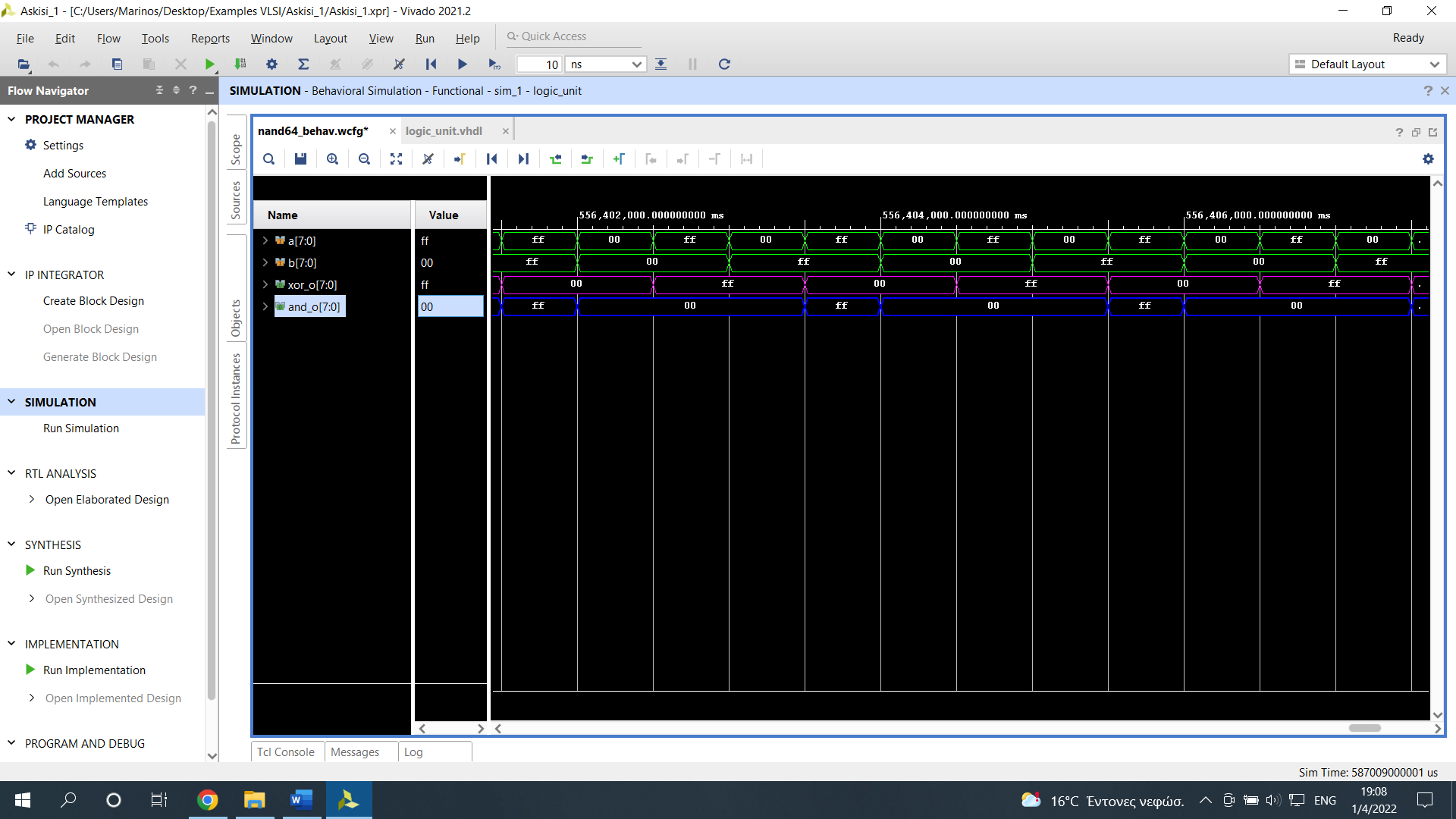
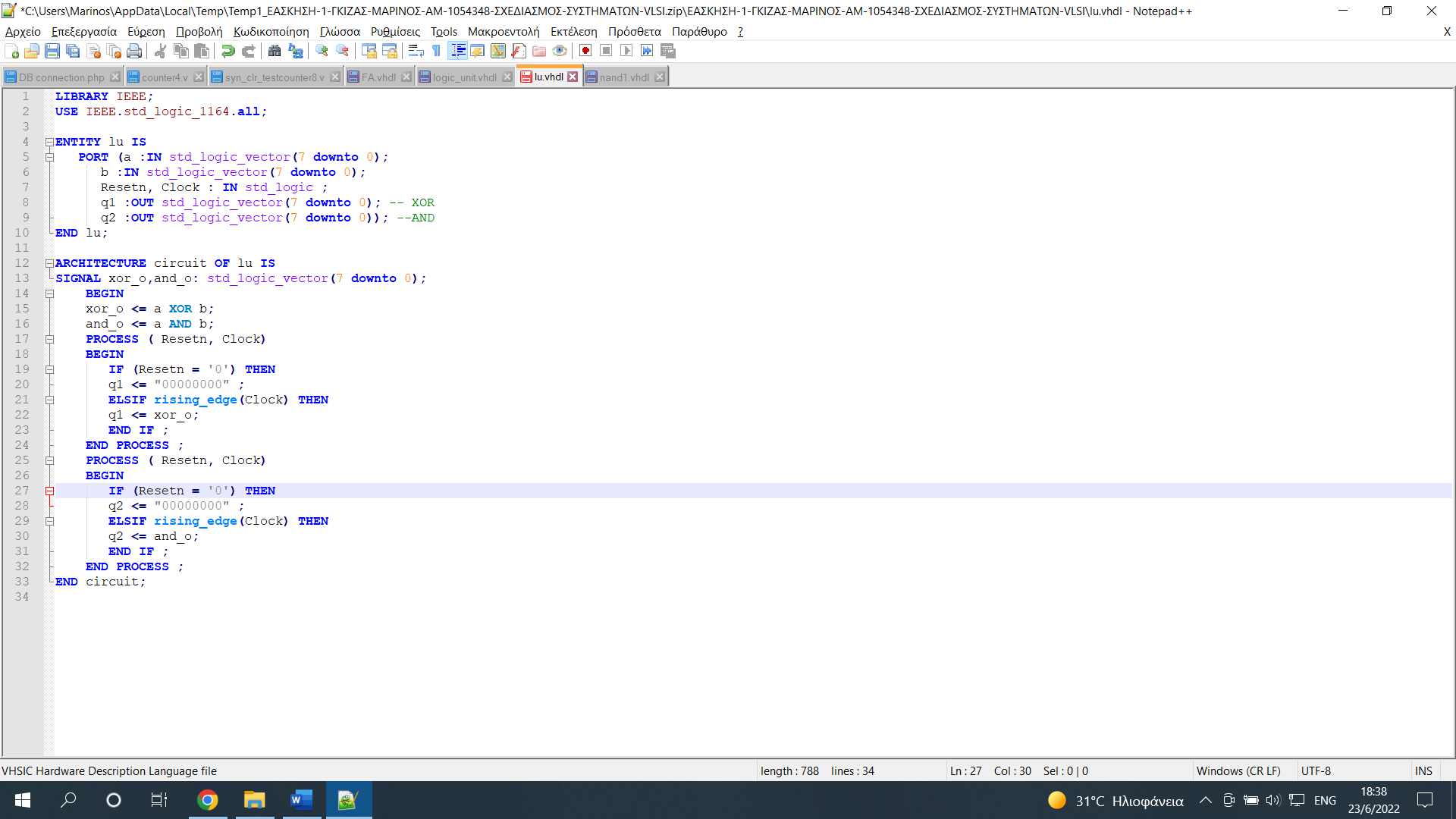
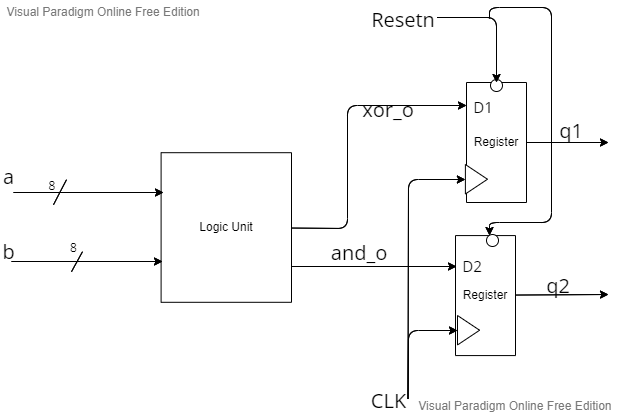


Waveforms:  


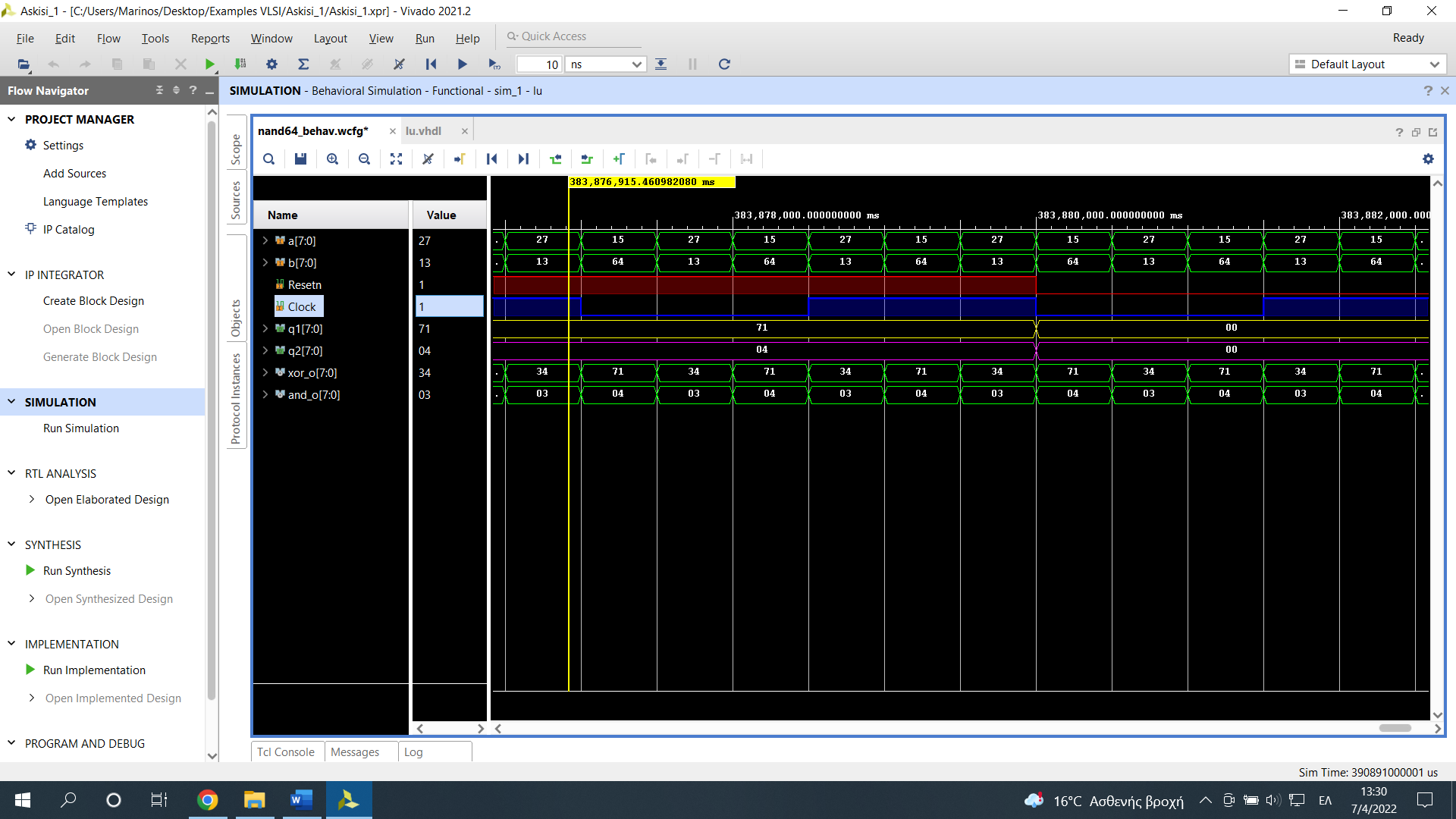
Παρατηρούμε ότι από τους συνδυασμούς των τιμών εισόδου-εξόδου, επαληθεύεται ο πίνακας αληθείας του full-adder.

2) **Logic-Unit**  
  
  
Architecture:



  
Waveforms:  
  
Γ3) **Logic-Unit with Registers**  
Οι registers έχουν υλοποιηθεί με ένα D-FF των 8 bits.  
  
Architecture:  


Waveforms:

  
Όταν έχουμε Resetn=”0” τότε παίρνουμε ως έξοδο από τους δύο registers την τιμή 0, ενώ τα σήματα xor\_o,and\_o έχουν αποτελέσματα.