

LOGIČKO PROJEKTOVANJE RAČUNARSKIH SISTEMA 1

Zadatak – Grupa A

11.12.2022.

NAPOMENE

Zadatak se nalazi u direktorijumu **C:\Temp\LPRS1_X_Y_Z_Q**. Pre početka izrade zadatka preimenovati direktorijum tako da X bude oznaka studijskog programa (RA/PR/IN), Y broj indeksa, Z godina upisa a Q grupa **zadataka** koja vam je dodeljana (A/B/C/D). Nakon završetka zadatka **OBAVEZNO** sve *.vhd datoteke koje predstavljaju vaše rešenje postaviti u okviru SOVA portala na predviđenu poziciju „TEST ZADATK termin“. Nakon toga sa dežurnim asistentom proveriti da li se *.vhd datoteke nalaze na potrebnoj poziciji. **Ukoliko zadatak ne bude okačen na SOVA portal isti neće biti pregledan!**

Ostale napomene:

- **JAKO VAŽNO** – prilikom postavljanja rešenja na sovu obeležiti samo .vhd datoteke **dizajna i test bench-a** (proveriti prilikom postavljanja da nisu okačene .qpf ili .bak datoteke). Moguće je da će .vhd datoteke imati oznaku virtual hard drive, ali budite bez brige, to su datoteke koje vam trebaju.
- Svaku komponentu realizovati kao sekvencijalni proces / kombinacioni proces / uslovnu dodelu za sebe. Nemojte ceo sistem implementirati u okviru jednog procesa.
- Komentarisati kod – navesti naziv svake komponente.
- Vodite računa o identaciji – sve što je unutar nekog procesa / if-a / when-a treba da bude uvučeno pritiskom karaktera **tab** ili nekoliko **razmaka**. Ukoliko kod bude isključivo uz levu ivicu editora, to će rezultovati gubitkom bodova.
- Za potrebe simuliranja sistema je dovoljno uraditi samo korak **analiza i sinteza (Analysis & Synthesis)**. Kako bi uštedeli vreme koristite ovu opciju (prečica **CTRL + K**) umesto celokupnog kompajliranja (**CTRL + L**)
- Putanja do modelsim altera simulatora je:
C:\intelFPGA_lite\18.0\modelsim_ase\win32aloem. Ovu putanju treba uneti pod **Tools → Options → General → EDA Tool Options → ModelSim-Altera**.

ZADATK (20 bodova)

U VHDL jeziku za opis digitalnih sistema opisati i simulirati digitalni sistem prikazan na slici.

Ulazi digitalnog sistema:

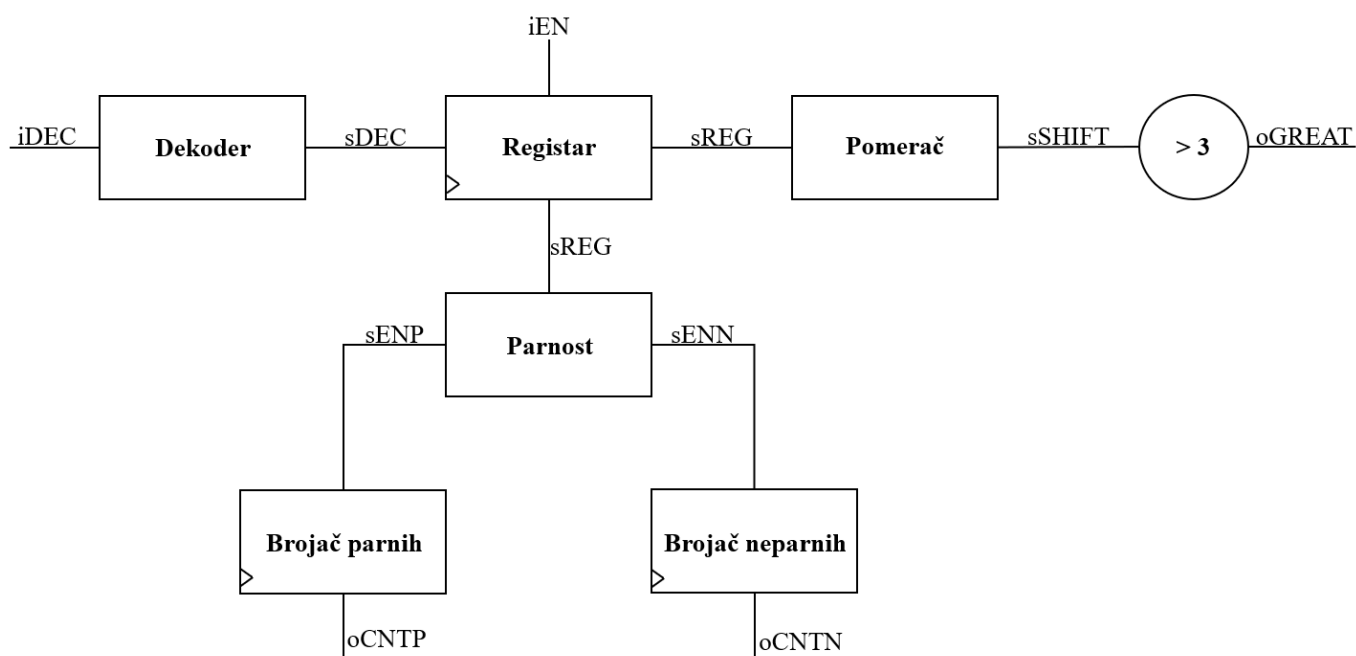
- **iCLK** – signal takta, podrazumevan u svim sekvencijalnim mrežama
- **iRST** – signal reseta, aktivan na '1', **asinhron**, podrazumevan u svim sekvencijalnim mrežama
- **iDEC [2:0]** – ulaz u dekođer
- **iEN** – signal dozvole rada registra za prihvät dekodovanog signala: kada ima dozvolu rada, registar na rastuću ivicu preuzima novu vrednost

Izlazi digitalnog sistema:

- **oGREAT** – izlaz iz komparatora koji je aktivan kada je izlaz iz pomerača veći od 3
- **oCNTP [3:0]** – izlaz iz brojača koji broji koliko se taktova vrednost u registru za prihvatanje podataka zadržala **parna** vrednost
- **oCNTN [3:0]** – izlaz iz brojača koji broji koliko se taktova vrednost u registru za prihvatanje podataka zadržala **neparna** vrednost

Opis sistema:

- Dekoder dekoduje ulazni signal i prosleđuje ga registru.
- Registar prihvata izlazni signal iz dekodera ukoliko ima dozvolu za rad.
- Pomerač pomera **aritmetički za 2 mesta u desno** sadržaj koji preuzima iz registra.
- Blok za parnost proverava da li je sadržaj registra paran ili neparan; u zavisnosti od te informacije daje dozvolu brojanja ili brojaču parnih ili brojaču neparnih brojeva.
- Brojač parnih / neparnih brojeva uvećava svoju vrednost na svaku rastuću ivicu takta, pod uslovom da ima dozvolu za rad (sENP / sENN).
- Komparator proverava da li je trenutna vrednost pomerača veća od 3



Slika 1 – Arhitektura sistema

Sistem simulirati na sledeći način:

- Resetovati sistem tačno 5.25 perioda takta.
- Postaviti na ulaz dekodera takvu vrednost da brojač neparnih brojeva izbroji do 10
- Postaviti na ulaz dekodera takvu vrednost da brojač parnih brojeva izbroji do 8
- Resetovati sistem na 5 perioda takta
- Postaviti na ulaz dekodera takvu vrednost da izlaz iz komparatora bude '1' 10 perioda takta
- Postaviti na ulaz dekodera takvu vrednost da izlaz iz komparatora bude '0' 10 perioda takta
- Resetovati sistem