



Univerzitet u Novom Sadu

Fakultet tehničkih nauka

Odsek za računarsku tehniku i
računarske komunikacije



Realna logička kola

Osnovne karakteristike i tipovi

Logička kola

- ❖ Bulova algebra, (George Boole 1850)
- ❖ Prve elektronske realizacije logičkih kola 1950.
- ❖ Logička kola realizuju elementarne bulove funkcije.
- ❖ Realna logička kola ili digitalna kola se obrazuju od elektronskih elemenata koji poseduju izrazita prekidačka svojstva.

Logička kola

- ❖ Dve su osnovne grupe takvih kola:
 - ❖ Logička kola čiji izlaz isključivo zavisi od dovedenog trenutnog signala na ulazu
 - ❖ Memorijski elementi (elementarni automati) čiji izlaz zavisi kako od dovedenog ulaznog signala, tako i od prethodnog stanja u kome se elementarni automat nalazio.

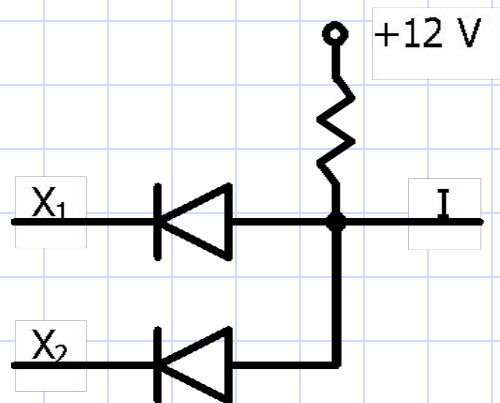
- ❖ Moguća je fizička realizacija bilo koje prekidačke funkcije, ali su u praksi realizovane samo funkcije I, ILI, NI, NILI i ekskluzivno ILI.

logičke familije – istorijski pregled

- ❖ DRL – Diodno-otpornička logika
- ❖ RTL – Otporno-tranzistorska logika
- ❖ DTL – Diodno-tranzistorska logika
- ❖ TTL – Tranzistor-tranzistorska logika
- ❖ ECL – Logika sa emitorskom spregom – ECL
- ❖ MOS – Metal-oksid-poluprovodnik
- ❖ CMOS – Komplementarni metal-oksid-poluprovodnik

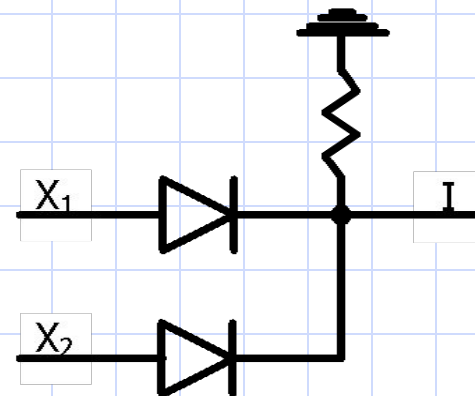
Diodno-otpornička logička kola

❖ Ova realizacija logičkih kola ima sistemski, a ne komercijalni značaj



$$I = X_1 \cdot X_2$$

"I"

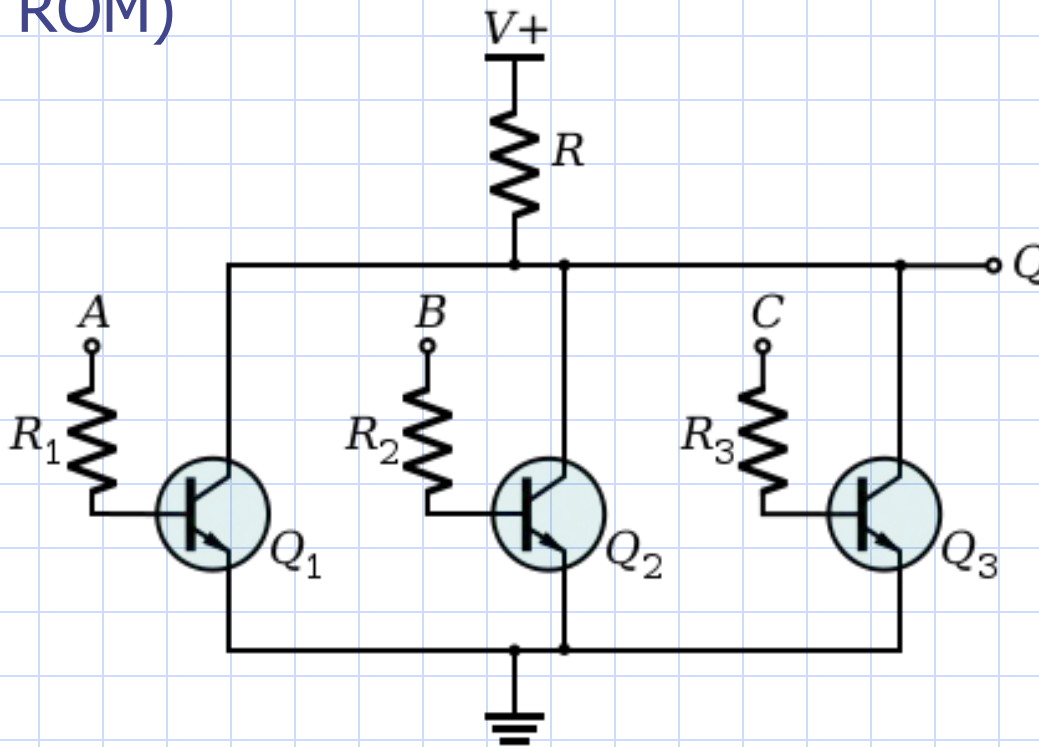


$$I = X_1 + X_2$$

"ILI"

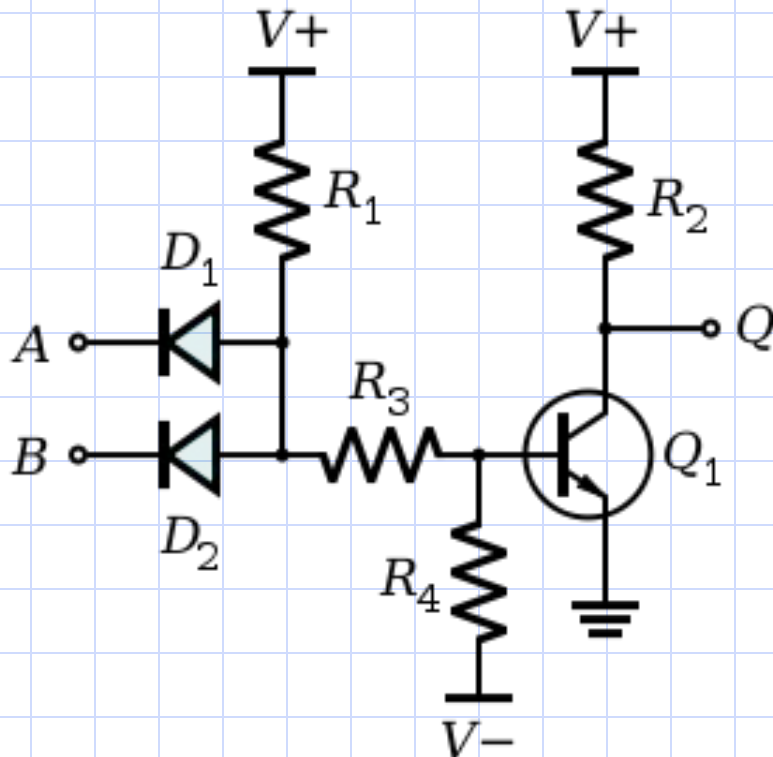
Resistor – Transistor Logic (RTL)

- ❖ Osnovna funkcija u implementaciji je NILI
- ❖ 1966 Apollo guidance computer (16b words, 2K RAM, 36K ROM)



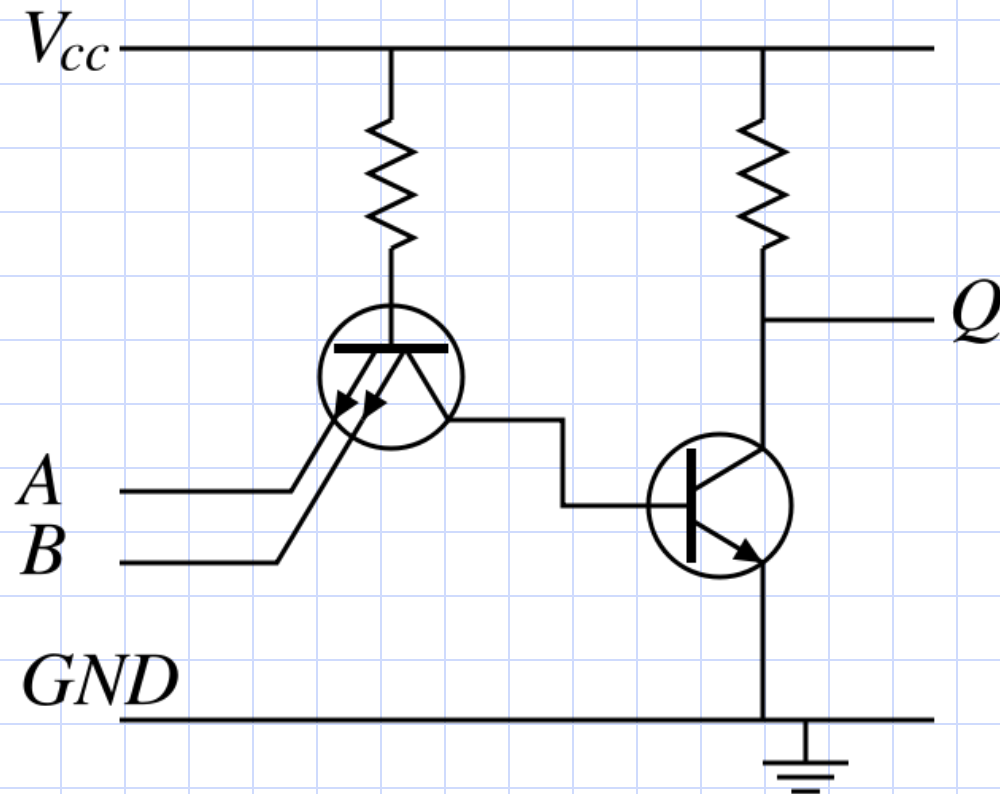
Diode-Transistor Logic (DTL)

- ❖ Osnovna funkcija u implementaciji je NI
- ❖ 1959 IBM 1401



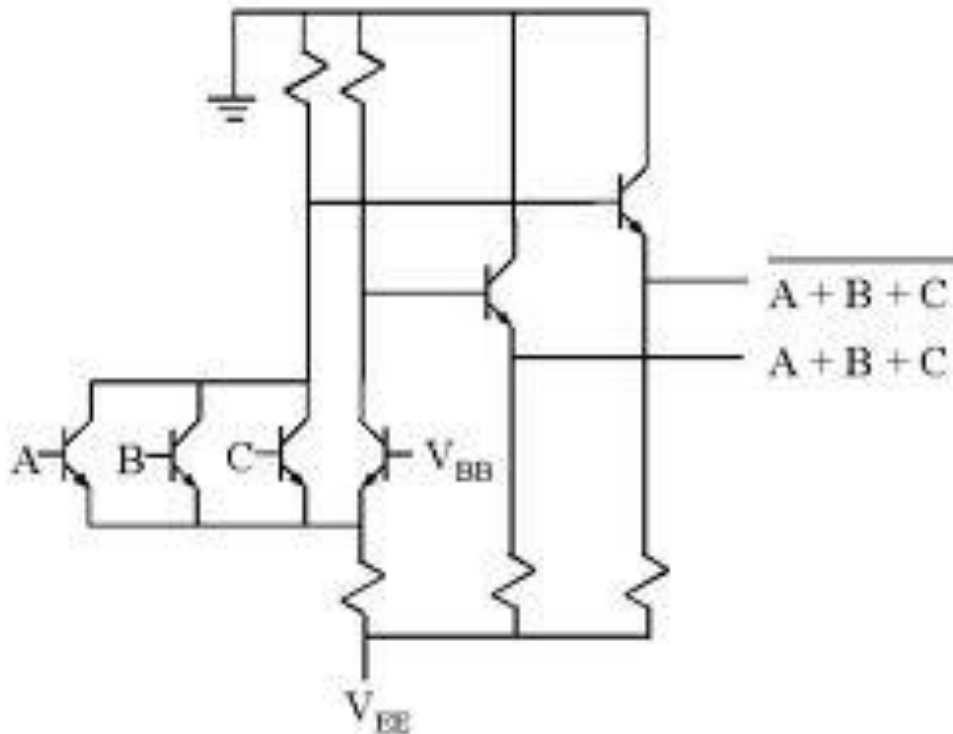
Transistor-Transistor Logic (TTL)

- ❖ Osnovna funkcija u implementaciji je NI
- ❖ 1961 Sylvania, Texas Instruments; 1964 54000 Family; 1966 74000 Family



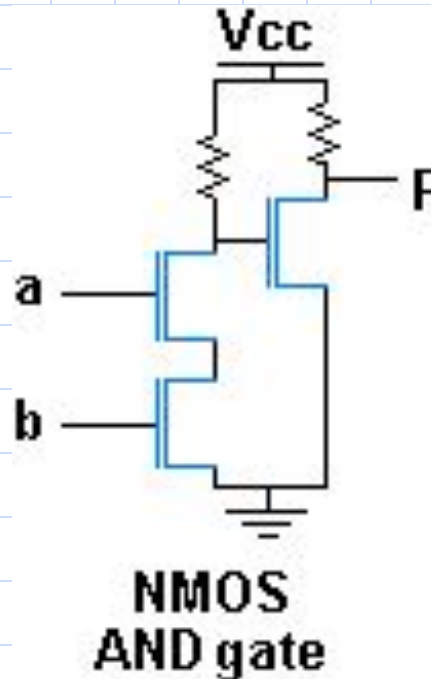
Emitter-Coupled Logic (ECL)

- ❖ Osnovna funkcija u implementaciji je ILI odnosno NILI
- ❖ IBM 1956



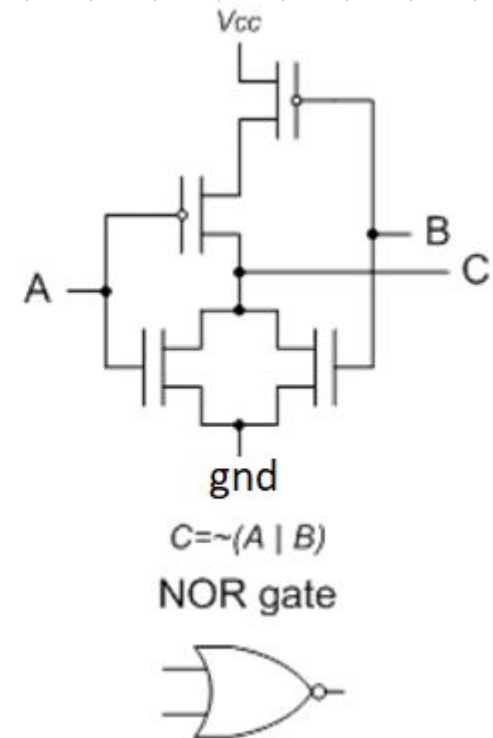
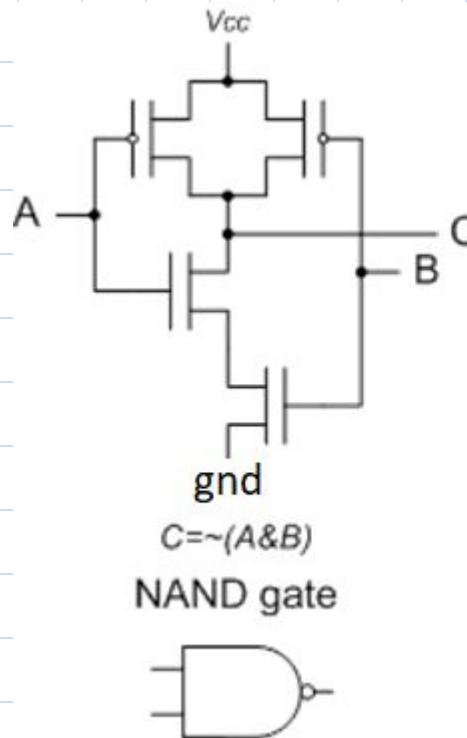
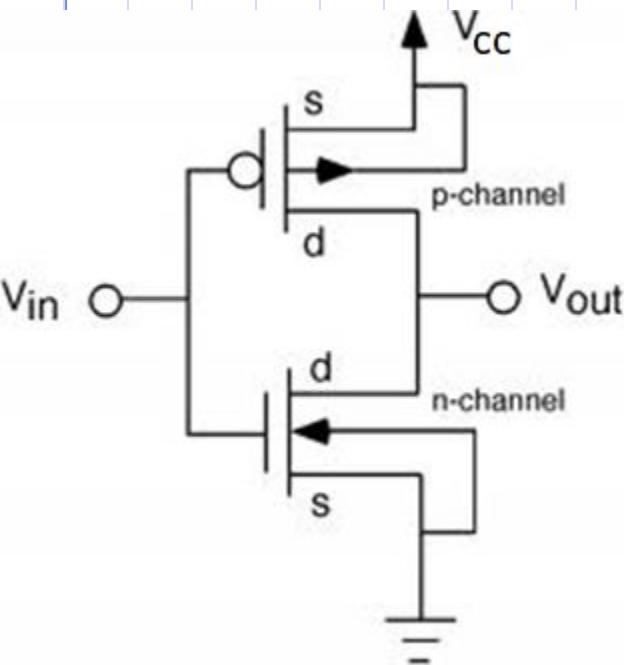
Metal-Oxid-Semiconductor Logic (NMOS)

- ❖ Osnovna funkcija u implementaciji je NI odnosno I
- ❖ 1959 Bell Labs



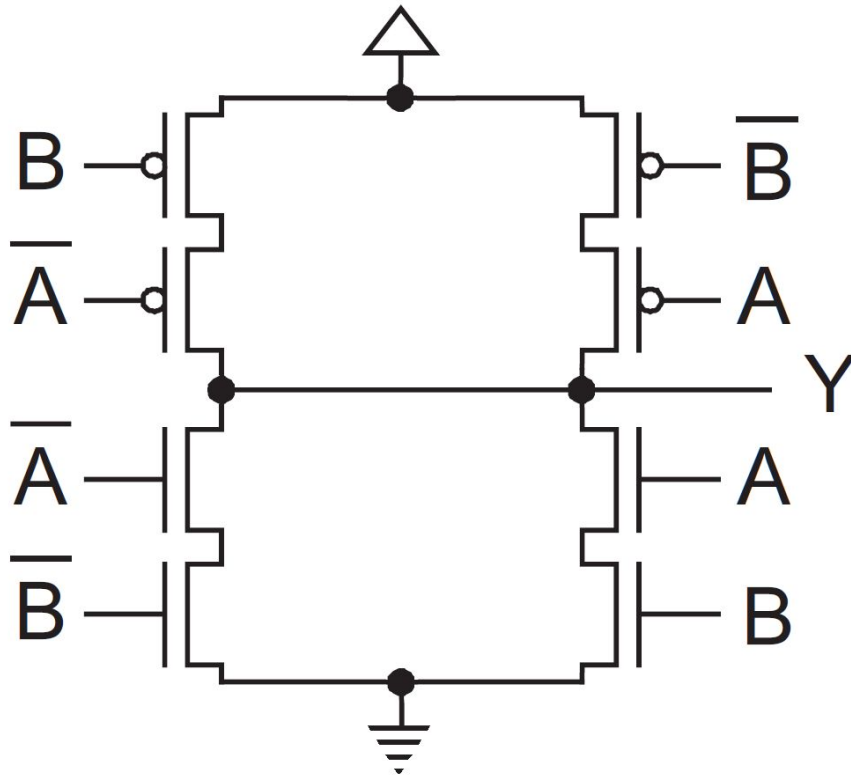
Complementary Metal-Oxid-Semiconductor Logic (CMOS)

- ❖ Osnovna funkcija u implementaciji je NE
- ❖ 1963 Fairchild



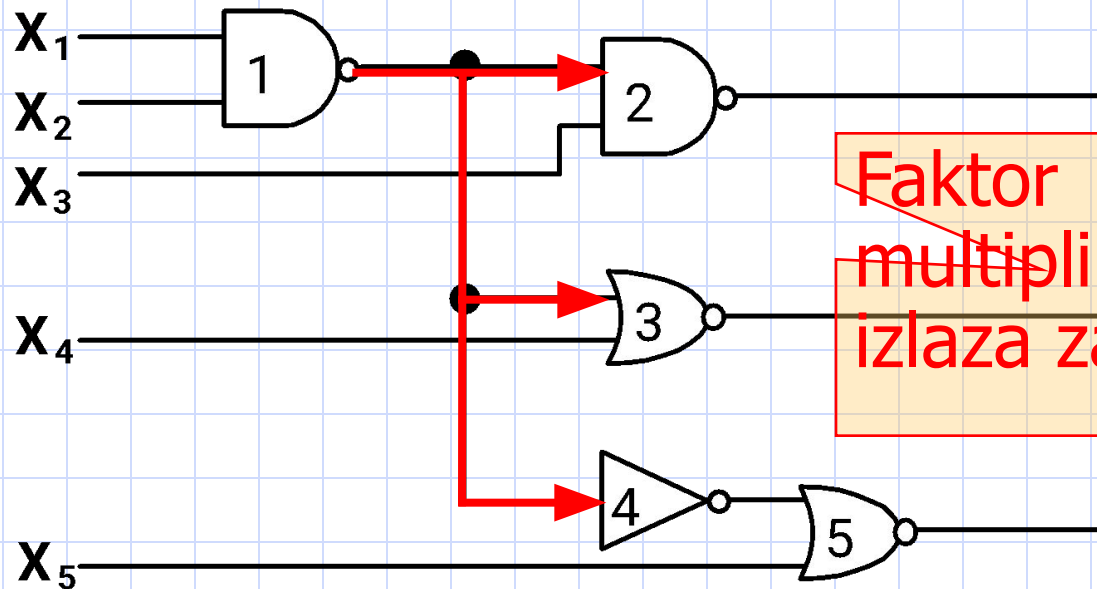
Ekskluzivno ili (XOR) u CMOS tehnologiji

- ❖ Koliko tranzistora troši dvoulazno XOR kolo?



Multiplikacija priključka ulaza (*fan-in*) i izlaza (*fan-out*)

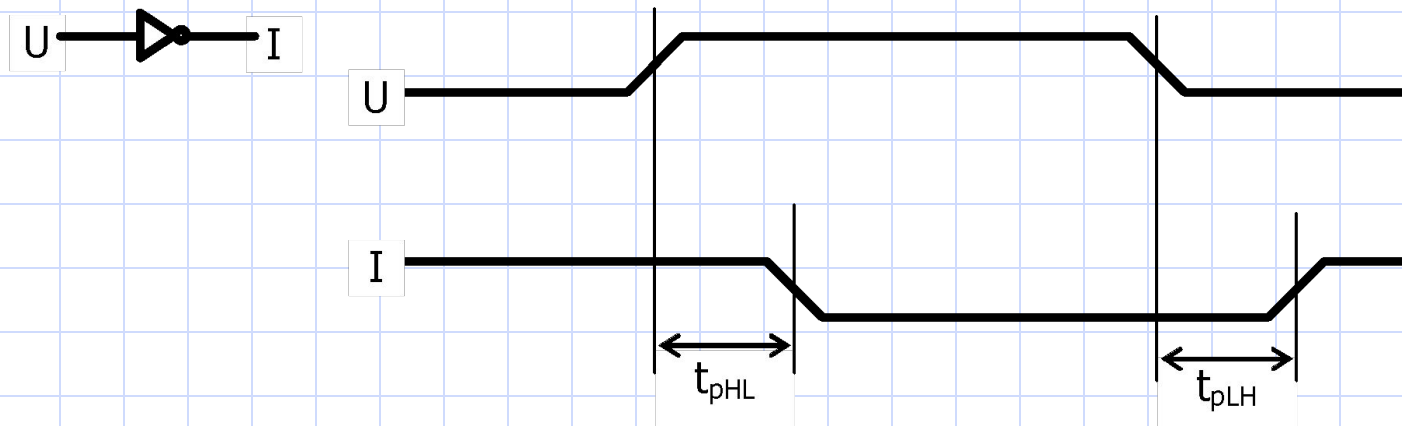
- ❖ Osobina logičkog kola da raspolaže sa većim brojem ulaza i izlaza, zadržavajući normalan rad.
- ❖ Multiplikacija izlaza se odnosi na broj standardnih opterećenja priključenih na izlaz logičkog kola bez narušavanja normalnog rada



Faktor
multiplikacije
izlaza za LK1 je 3

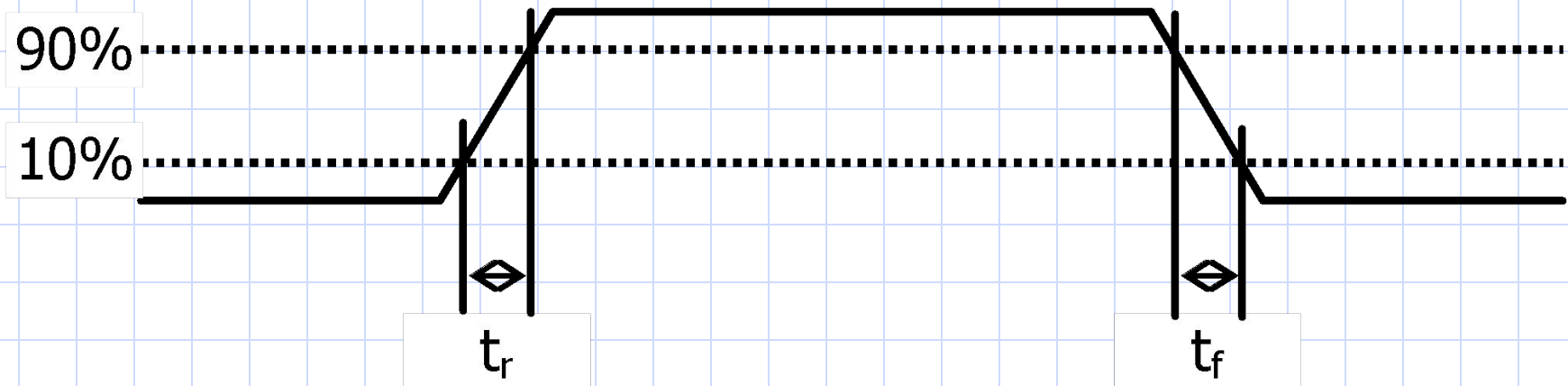
Kašnjenje signala po logičkom kolu

- ❖ vreme koje prođe od trenutka kad ulazni napon dostigne neku definisanu vrednost do momenta dostizanja te vrednosti na izlazu.
- ❖ Kašnjenja tipa t_{pHL} i t_{pLH} označavaju prelaz nivoa od višeg (H) prema nižem (L) i obrnuto.
- ❖ Vreme kašnjenja se meri od trenutka kad ulazni (uzročni) signal dostigne vrednost napona (U) pa do trenutka kada izlazni (posledični) signal (I) dostigne istu vrednost.



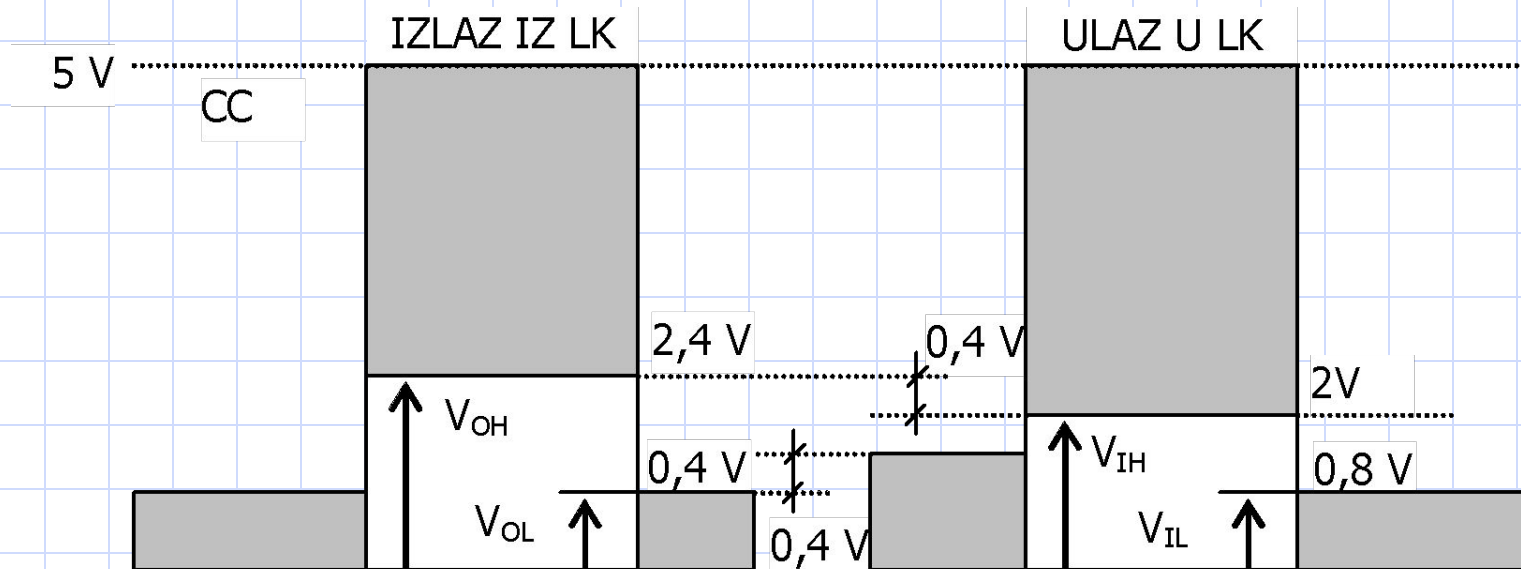
Vreme uspona i opadanja signala

- ❖ Vreme uspona (t_r) ili opadanja (t_f) se mere između 10% i 90% vrednosti amplitude signala



Naponski nivoi

- ❖ Se definišu za maksimalne i minimalne vrednosti za signale kojima se predstavljaju "1" i "0", na ulazu i izlazu.
- ❖ Označavaju se kao V_{IH} i V_{IL} (*Voltage Input High, Voltage Input Low*) viši i niži ulazni naponi – respektivno, a sa V_{OH} i V_{OL} (*Voltage Output High, Voltage Output Low*) izlazni naponi višeg odnosno nižeg nivoa respektivno





Imunost na smetnje (Noise Margin)



- ❖ Najgori slučaj u pogledu imunosti na smetnje podrazumeva:
 - ❖ za visok logički nivo minimalnu vrednost na izlazu kola minus minimalni nivo praga detekcije visokog nivoa na ulazu.
 - ❖ za nizak logički nivou maksimalni nivo praga detekcije niskog nivoa na ulazu minus maksimalna vrednost na izlazu kola kad je izlaz nizak.

Imunost na smetnje (Noise Margin)

- ❖ Se izražava preko osetljivosti kola na smetnje koje mogu dovesti do aktiviranja prekidačkog elementa, odnosno promene u tretiranju ulaznog stanja.
- ❖ Karakteriše se vrednošću ulaznog signala koja dovodi do promene izlaznog signala logičkog kola.
- ❖ Imunost na smetnje definiše se za najgori slučaj i data je razlikom ($V_{OH} - V_{IH}$) za nivo "1" i ($V_{IL} - V_{OL}$) za nivo "0"

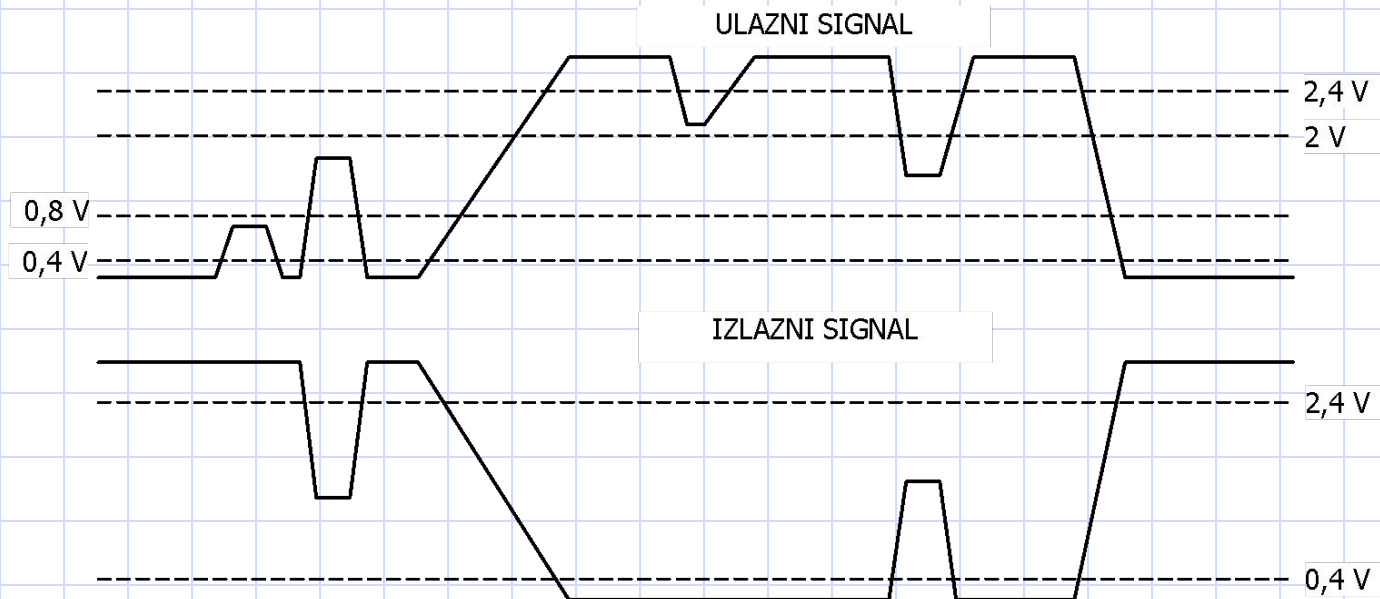


Tabela karakterističnih vrednosti

| Noise Margin | | | | | | |
|---------------------|-------|-------|--------|-------|-------|--------|
| | VOH | VIH | Margin | VIL | VOL | Margin |
| TTL [5volt] | 2.4v | 2.0v | 400mV | 0.8v | 0.5v | 300mV |
| CMOS [5 volt] | 4.9v | 3.85v | 1050mV | 1.35v | 0.1 | 1340mV |
| LVTTL [3volt] | 2.4v | 2.0v | 400mV | 0.8v | 0.4v | 400mV |
| LVC MOS [3 volt] | 2.8v | 2.0v | 800mV | 0.8v | 0.2v | 600mV |
| CMOS [2.5v] | 2.0v | 1.7v | 300mV | 0.7v | 0.4v | 300mV |
| CMOS [1.8v] | 1.35v | 1.1v | 250mV | 0.66v | 0.45v | 210mV |

Druge karakteristike realnih logičkih kola

- ◆ **Brzina rada**
digitalnog kola ili maksimalna radna frekvencija zavisi od vremena uspona i opadanja signala, t_r i t_f respektivno, kao i od kašnjenja.
- ◆ **Prihvatljiva varijacija napona napajanja**
se za TTL kreće do 5% a kod CMOS 300%.
- ◆ **Potrošnja**
Uopštem slučaju kola troše srazmerno vremenu uspona i opadanja

Podela integrisanih kola na osnovu kompleksnosti

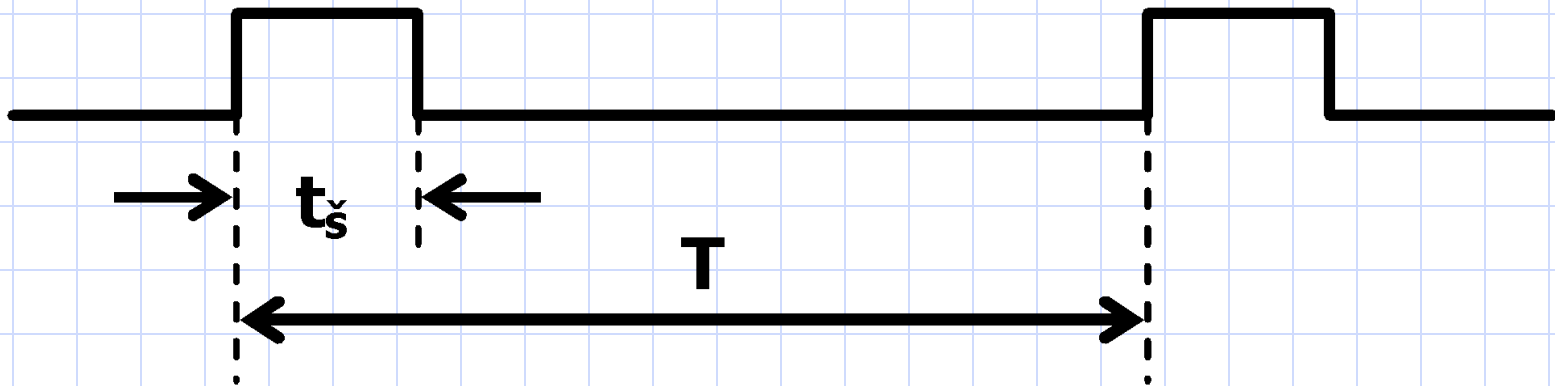
- ◆ **SSI** (*Small Scale Integration* – kola sa malom skalom integracije) su kola kompleksnosti manje od 10 logičkih kola;
- ◆ **MSI** (*Medium Scale Integration* – kola sa srednjom skalom integracije) su kola sa kompleksnošću od 10–100 logičkih kola. Ovakva integrisana kola obezbeđuju elementarne logičke funkcije kao što su registri, brojači i dekoderi;
- ◆ **LSI** (*Large Scale Integration* – kola sa velikom skalom integracije) predstavljaju kola kompleksnosti veće od 100 logičkih kola (velike memorije, mikroprocesori, kalkulatorski čipovi);
- ◆ **VLSI** (*Very Large Scale Integration* – kola sa vrlo velikom skalom integracije) su integrisana kola koja sadrže nekoliko hiljada logičkih kola. U ovoj klasi se realizuje veliki broj složenih digitalnih funkcija.

Kućišta integrisanih kola

- ❖ Dvostrano kućište (DIL – *Dual In Line*), proizvedeno sa spoljnim izvodima duž obe strane. Maksimalan broj izvoda je 68.
- ❖ Mreža nizova izvoda (PGA – *Pin Grade Array*) sa izvodima (oko 120 u tipičnom slučaju) uređenim u kolonama i izdvojenim iz kućišta.
- ❖ Nosioc kućišta bez izvoda (LCC – *Leadless Chip Carrier*) i J – nošen nosač kućišta (JLCC – *J-Leaded Chip Carrier*) su kvadratna kućišta sa spoljnim spojevima izdvojenim duž svake strane, i u slučaju JLCC uvrnuto ispod osnove.
- ❖ Površinsko kućište u kome su izvodi izdvojeni u oblik pogodnom za površinsku štampu (BGA – *Ball Grid Array*).

Vremenske karakteristike u sekvencijalnim mrežama

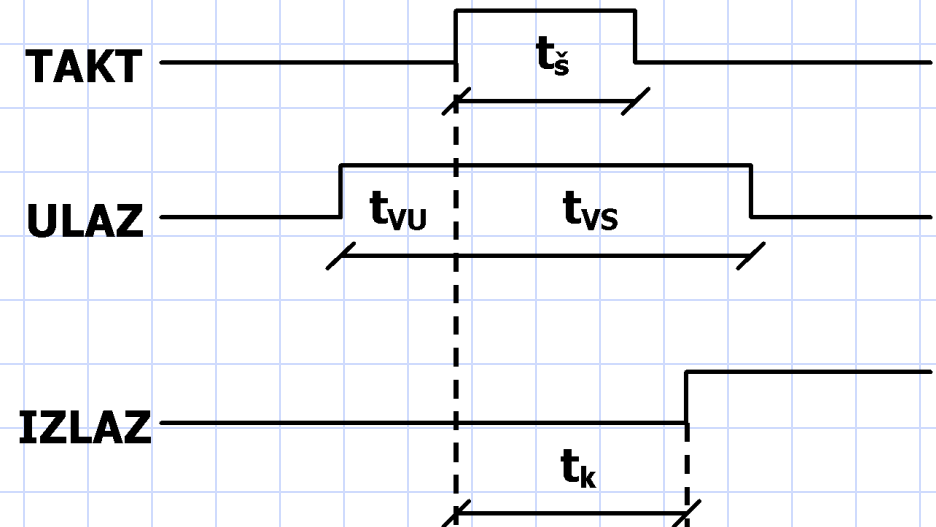
- ❖ Vremenski odnosi između signala u sekvencijalnoj mreži se grafički prikazuju preko **vremenskog dijagrama**, koji u suštini predstavlja razvoj signala po vremenskoj osi sa leva u desno.
- ❖ Kod sinhronih sistema, referentne tačke su signali takta.
- ❖ Osnovne karakteristike signala takta su
 - ❖ **Perioda takta** T (frekvencija takta $f=1/T$)
 - ❖ **Širina impulsa takta** t_s



Vremenske karakteristike u sekvencijalnim mrežama

- Kašnjenje memorijskog elementa t_k**
 je vremenski interval između promene signala na ulazu i odgovarajuće promene signala na izlazu
- Vreme uspostavljanja (t_{vu}) – Setup Time**
 je vremenski interval između stabilizacije ulaznog signala u FF (flip-flop) i ivice signala takta koja dovodi do upisa stanja u FF
- Vreme važenja signala (t_{vs}) takta – Hold Time**
 je vremenski interval između ivice takta koja dovodi do upisa stanja u FF i naredne promene na ulazu u FF

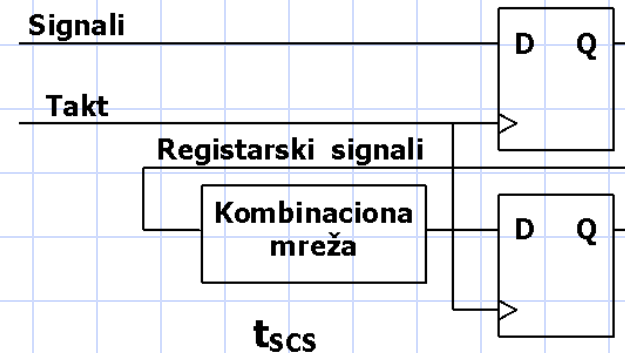
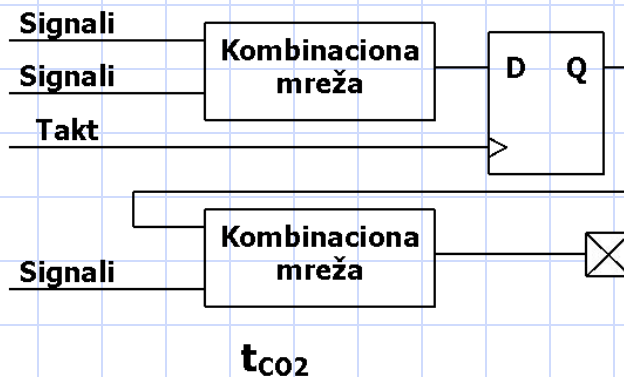
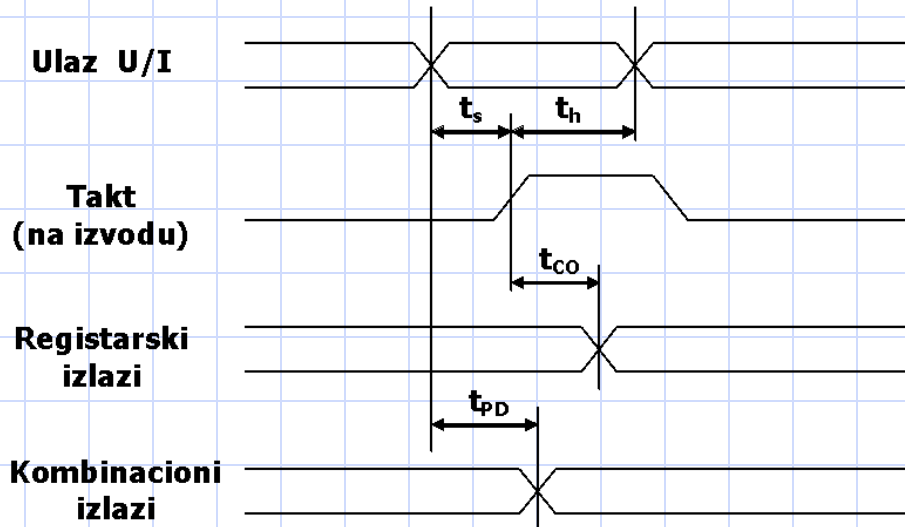
- Vreme kašnjenja prelaza sekvencijalne mreže (t_k)**
 je vremenski interval između ivice takta koja dovodi do upisa stanja u FF i stabilizacije novog stanja na izlazu



Dodatni katalogski parametri sekvencijalnih mreža

- ♦ **vreme propagacije (t_{pd})**,
je vreme koje je potrebno da kombinacioni izlaz bude ispravan nakon što su na izvode uređaja dovedeni ulazni signali.
- ♦ **vreme takt-izlaz (t_{co})**,
je deo vremena posle kojeg se pojavljuje ulazni takt na jednom izvodu komponente pa do stabilnog izlaza na drugom izvodu kola.
- ♦ **vreme takt-izlaz kroz logičku matricu (t_{co2})**,
- ♦ **vreme sistemski takt–sistemski takt (t_{scs})**,
koje se koristi radi određivanja maksimalne radne frekvencije:
$$f_{\max} = \frac{1}{t_{scs}}$$
- ♦ **vreme uspostavljanja (t_s)**
- ♦ **vreme zadržavanja (t_h)**

Ilustracija vremenskih parametara



Osnovne karakteristike programabilnih mreža

- ◆ **Gustine i kapaciteta** - zahtev da se poveća stepen integracije i da se smesti sve veći broj logičkih kola na jedno IK (po mogućnosti ceo sistem u jednom IK).
Ova karakteristika se svodi na broj logičkih kapija, broj flip-floпова i broj memorijskih lokacija.
- ◆ **Broj programabilnih izvoda** – odabrano programabilno kolo mora imati dovoljan broj programabilnih izvoda na kućištu za potrebe sistema koji se realizuje.
- ◆ **Mogućnost programiranja/reprogramiranja u sistemu** – ova karakteristika kaže da se programabilna mreža može programirati i reprogramirati kada se montira u sistem.
- ◆ **Lako korišćenje** - zahtev da projektanti sistema dovedu proizvod brzo na tržište, obezbeđujući lako korišćenje programske podrške za logičku sintezu kao i alata za usmeravanje, i izmene u projektu koji se odnose na logiku, usmeravanje i U/I resurse bez velikog uticaja na vremenske dijagrame.
- ◆ **Performansa** – mogućnost rada realizovanih realnih sistema na izuzetno visokim frekvencijama.