

# LOGIČKO PROJEKTOVANJE RAČUNARSKIH SISTEMA 1

## Zadatak 2 – Grupa 2

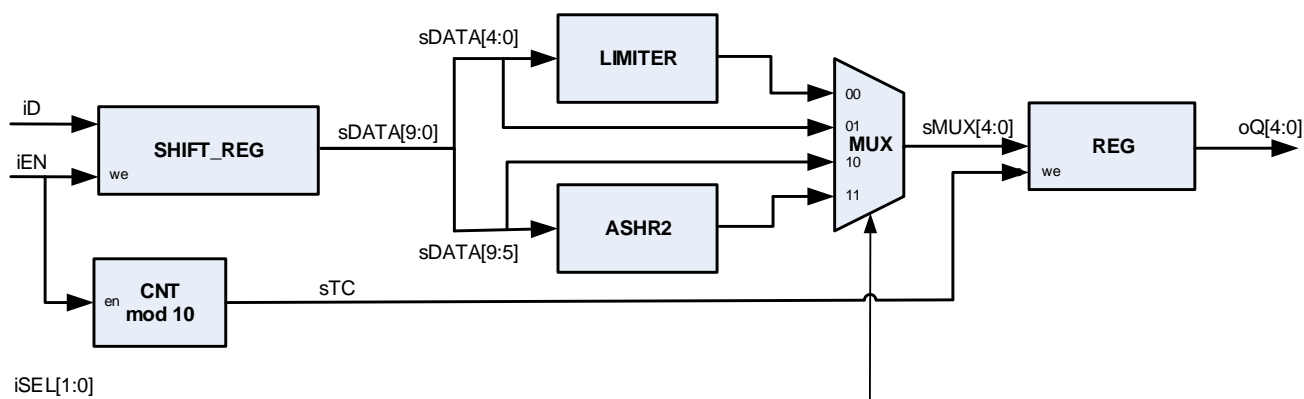
10 Dec 2017

### NAPOMENA

Za potrebe zadatka koristiti direktorijum **C:\Temp\LPRS1\_X\_Y\_Z\Zad\_2\**, gde je X oznaka studijskog programa (RA, PR, SW), Y broj indeksa i Z godina upisa. Rešenja zadatka treba da se nalaze u tom direktorijumu.

### ZADATAK 2

U VHDL jeziku za opis fizičke arhitekture izvršiti sintezu digitalnog sistema prikazanog na Slici 1 koji vrši serijski prijem bita i njihovu modifikaciju. Dati digitalni sistem sadrži: 10-bitni pomerački registar sa dozvolom upisa, brojač modula 10 sa dozvolom brojanja, limiter, pomerač, multiplekser i 5-bitni registar sa dozvolom upisa.



Slika 1: Blok-šema digitalnog sistema

(zbog jasnijeg prikaza, na slici su izostavljeni signali iCLK i inRST koji su podrazumevani ulazi svih sekvencijalnih komponenti)

Ulazi digitalnog sistema:

- **iCLK** - signal takta,
- **inRST** - asinhroni reset signal, aktivan na niskom nivou,
- **iD** - ulazni podatak,
- **iEN** – dozvola upisa u pomerački registar i brojač, aktivna na visokom nivou,
- **iSEL [1:0]** – selekcija multipleksa.

Izlaz digitalnog sistema:

- **oQ [4:0]** – podatak u izlaznom registru.

Pomerački registar prima ulazni bit ako mu je aktivna dozvola upisa, i smešta ga na najznačajniju poziciju (MSB). Ostali biti se pomeraju za jedno mesto u desno.

Brojač modula 10 broji na gore i menja svoju vrednost na svaku rastuću ivicu takta signala. Kad završi jedan ciklus brojanja brojač postavlja vrednost signala sTC na jedan. Indikator kraja ciklusa brojanja sTC je potrebno realizovati kombinaciono tj. bez registrovanja.

Limiter ograničava ulazni signal na interval [0..24]. Dakle, ukoliko je ulaz veći od 24, na izlazu limitera će se naći vrednost 24, a u suprotnom ulazna vrednost.

Pomerač ASHR2 pomera ulazni podatak za 2 mesta u desno, aritmetički u predstavi II komplementa.

Izlazni registar pamti izlaz iz multipleksera ukoliko mu je aktivan signal dozvole upisa.

Izvršiti simulaciju rada digitalnog sistema. Izabrati pobudu koja je dovoljna za verifikaciju rada sistema, tako da se na izlazu pojave sledeće vrednosti:

- 24, ako je selektovan izlaz iz limitera,
- 30, ako je selektovana vrednost u gornjih 5 bita pomeračkog registra,
- 19, ako je selektovana vrednost u donjih 5 bita pomeračkog registra,
- 0x1C, ako je selektovan izlaz iz pomerača.