

LOGIČKO PROJEKTOVANJE RAČUNARSKIH SISTEMA 1

Zadatak – Grupa 2

25. Nov 2018

NAPOMENA

Za potrebe zadatka koristiti direktorijum **C:\Temp\LPRS1_X_Y_Z**, gde je X oznaka studijskog programa (IN), Y broj indeksa i Z godina upisa. Svaki zadatak realizovati u zasebnom projektu i u zasebnom direktorijumu unutar predefinisano. Rešenja oba zadatka treba da se nalaze u datom direktorijumu.

ZADATAK 1 (10 bodova)

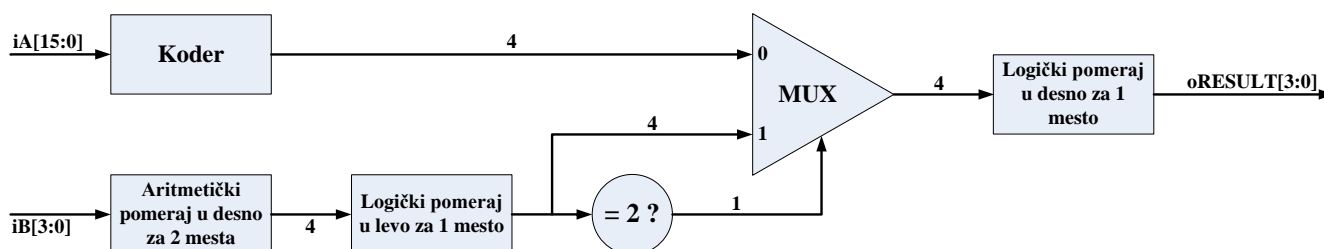
U VHDL jeziku za opis digitalnih sistema opisati i simulirati digitalni sistem prikazan na slici.

Ulazi digitalnog sistema:

- **iA [15:0]** – prvi ulazni operand,
- **iB [3:0]** – drugi ulazni operand.

Izlaz digitalnog sistema:

- **oRESULT [3:0]** – rezultat logičkog pomeraja u desno.



Slika 1 – Izgled sistema

Opis sistema:

- Ulaz **iA** prolazi kroz prioritetni koder. Uzeti da prioritet imaju biti sa **većim** indeksom. Slučaj kada nema nula na ulazu u koder kodovati izlazom koji je jednak nuli (sve nule) bez dodatnih bita validnosti izlaza kodera.
- Ulaz **iB** prolazi kroz dva redno vezana pomerača i nakon toga ide na multiplekser. Izlaz iz logičkog pomerača u levo se prosleđuje na komparator. Izlaz iz komparatora igra ulogu selekcionog bita za multiplekser.
- Izlaz **oRESULT** se formira nakon što vrednost koja izlazi iz multipleksa bude pomerena logički u desno za jedno mesto.

Sistem simulirati na sledeći način:

- Obezbediti barem jedan slučaj gde na ulazu u aritmetički pomerač se nalazi broj čiji bit najveće težine ima vrednost '0',
- Obezbediti barem jedan slučaj gde na ulazu u aritmetički pomerač se nalazi broj čiji bit najveće težine ima vrednost '1',
- Obezbediti barem po jedan slučaj za svaku od grana multipleksera.

Dodatne napomene za izradu zadatka:

- Svaku komponentu realizovati kao blok / kombinacioni proces za sebe. Nemojte ceo sistem implementirati u okviru jednog procesa.
- Poželjno je komentarisati kod. Navesti naziv svake komponente.
- Broj na žici predstavlja broj bita.