

LOGIČKO PROJEKTOVANJE RAČUNARSKIH SISTEMA I

TEST - Zadatak – Grupa A

3. 12. 2023.

NAPOMENE ZA IZRADU ZADATKA

- Zadatak se nalazi u direktorijumu C:\Temp\LPRSI_X_Y_Z_Q\.
- Pre početka izrade zadatka preimenovati direktorijum tako da X bude oznaka studijskog programa (RA/PR/IN), Y broj indeksa, Z godina upisa, a Q grupa **zadataka** koja vam je dodeljana (A/B/C/D).
- **OBAVEZNO** na početku svake vhd datoteke (dizajn i test-bench) upisati **SVOJE PODATKE!**
- Svaku komponentu realizovati kao sekvencijalni proces / kombinacioni proces / uslovnu dodelu za sebe. Nemojte ceo sistem implementirati u okviru jednog procesa.
- Komentarisati kod – navesti naziv svake komponente.
- Vodite računa o **indentaciji**, tačnije dodavanju **razmaka** ili **tab**-ova na početku linije koda. Sve što je unutar nekog procesa / if-a / when-a treba da bude uvučeno pritiskom karaktera **tab** ili sa nekoliko **razmaka**. Ukoliko kod bude isključivo uz levu ivicu editora, to će rezultovati gubitkom poena.
- Za potrebe simuliranja sistema je dovoljno uraditi samo korak **analiza i sinteza (Analysis & Synthesis)**. Prečica za ovu opciju je (CTRL + K).
- Potrebno je podesiti putanju do ModelSim-Altera simulatora izborom opcije u meniju:

Tools → Options → General → EDA Tool Options → ModelSim-Altera

C:\intelFPGA_lite\18.0\modelsim_ase\win32aloem

- **VAŽNO:** Zadatak koji se **NE PREVODI** nosi **0 POENA!**

NAPOMENE ZA POSTAVLJANJE REŠENJA NA SOVU

- Nakon završetka zadatka, rešenje postaviti u okviru SOVA portala na predviđenu poziciju „**TEST ZADATAK termin**“.
- **OBAVEZNO POSTAVITI** sve *.vhd datoteke (**dizajn i test bench**) koje predstavljaju vaše rešenje. **NE POSTAVLJATI** .qpf ili .bak datoteke. Moguće je da će .vhd datoteke imati oznaku **virtual hard drive**, iako su u pitanju vhd datoteke.
- Nakon postavljanja datoteka na SOVA portal proveriti sa dežurnim asistentom da li se sve potrebne *.vhd datoteke nalaze na potrebnoj poziciji.
- **Ukoliko zadatak ne bude postavljen na SOVA portal isti neće biti pregledan!**

ZADATAK (20 bodova)

U VHDL jeziku za opis digitalnih sistema opisati i simulirati digitalni sistem prikazan na slici.

Ulazi digitalnog sistema:

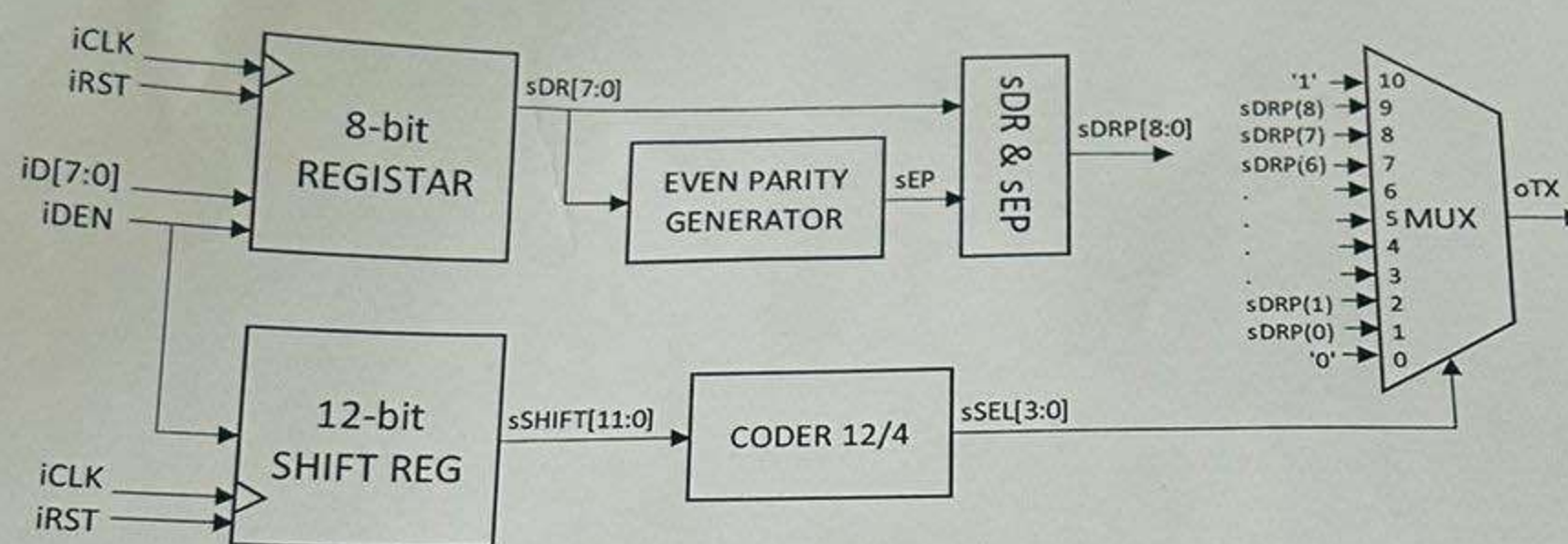
- **iCLK** – signal takta, podrazumevan u svim sekvencijalnim mrežama
- **iRST** – signal reseta, aktivan na '1', **asinhron**, podrazumevan u svim sekvencijalnim mrežama
- **iD [7:0]** – ulaz u digitalni predajnik
- **iDEN** – signal dozvole upisa nove reči u predajnik.

Izlazi digitalnog sistema:

- **oTX** – izlaz iz digitalnog predajnika

Opis sistema:

- **Osmobitni registar sDR[7:0]** čuva ulazni podatak **iD** na svakoj rastućoj ivici takt signala ako je signal dozvole upisa **iDEN** aktivan (jednak 1). Početna vrednost registra je 0.
- Izlaz iz osmobitnog registra **sDR** dovodi se na kombinacionu mrežu **EVEN PARITY GEN**, koja generiše bit parnog pariteta **sEP**. Generisanje parnog pariteta vrši se operacijom „ekskluzivno ili“ između svih 8 bita signala koji ulazi u mrežu **EVEN PARITY GEN**.
- Izlaz iz generatora parnosti, signal **sEP** treba nadovezati na signal **sDR**, tako da se formira 9-bitni signal **sDRP**, na čijoj najnižoj poziciji stoji bit parnosti **sEP**.
- Signal **iDEN** dovodi se na ulaz **pomeračkog registra** koji je širine 12 bita. Ukoliko je pomerački registar na nuli i **iDEN** je aktivan, na najviši bit pomeračkog registra se postavlja vrednost signala **iDEN**. Nakon upisa signala **iDEN** u pomerački registar, na svaku rastuću ivicu takta sadržaj pomeračkog registra se pomera udesno za jedno mesto. Pomerački registar ima serijski ulaz, a paralelni izlaz i njegov sadržaj se čuva u signalu **sSHIFT[11:0]**. Početna vrednost pomeračkog registra je 0.
- Izlaz iz pomeračkog registra dovodi se u koder, koji na izlazu **sSEL[3:0]** koduje poziciju na kojoj se nalazi aktivni bit visokog nivoa signala **sSHIFT**.
- **Multiplekser** treba realizovati kao na slici:
 - Na nultu ulaznu poziciju dovedena je logička nula
 - Na ulaze od prvog zaključno sa devetim dovodi se signal **sDRP** indeksiran od najnižeg ka višim bitima.
 - Na deseti ulaz je postavljena logička jedinica.
 - Ako je vrednost **sSEL** signala između 10 i 15, na izlaz **oTX** treba proslediti ulaz sa pozicije 10.
 - Selekcioni signal koji upravlja multiplekserom je izlaz iz koder, opisan u 3. stavki opisa sistema.



Slika 1 – Arhitektura sistema

Sistem simulirati na sledeći način:

- Resetovati sistem tačno 5.25 perioda takta.
- Nakon 5 perioda takta, postaviti na ulaz predajnika vrednost $iD = X'F0'$, jednovremeno sa vrednošću 1 na ulazu $iDEN$. Nakon jedne periode takta signale iD i $iDEN$ postaviti na nulu.
- Nakon 16 perioda takta postaviti na ulaz predajnika vrednost $iD = X'AA'$, jednovremeno sa vrednošću 1 na ulazu $iDEN$. Nakon jedne periode takta signale iD i $iDEN$ postaviti na nulu.
- Nakon 16 perioda takta postaviti na ulaz predajnika vrednost $iD = X'0F'$, jednovremeno sa vrednošću 1 na ulazu $iDEN$. Nakon jedne periode takta signale iD i $iDEN$ postaviti na nulu.
- Sačekati 16 perioda takta, zatim resetovati sistem na 3 periode takta.