

**Универзитет у Крагујевцу**  
**Факултет инжењерских наука**



**Семинарски рад из предмета**  
**Практикум из основа рачунарске технике**

**Тема:**

**ПАНИК АЛАРМ СИСТЕМ**

Студент:

Марко Милорадовић 575/2016

Предметни наставник:

Др Александар Пеулић, ред. проф.

Крагујевац, 2017.

# САДРЖАЈ

<b>1. УВОД.....</b>	<b>1</b>
<b>2. АРХИТЕКТУРА .....</b>	<b>2</b>
2.1 <i>DIGILENT NEXYS 2</i> ПЛАТФОРМА .....	2
2.1.1 <i>Напајање.....</i>	4
2.1.2 <i>Осцилатор (clock).....</i>	4
2.1.3 <i>Улазно/излазни уређаји .....</i>	4
2.1.4 <i>Nexys2 FPGA.....</i>	5
2.2 <i>XILINX SPARTAN-3 FPGA.....</i>	6
<b>3. ПРОЈЕКТНИ ЗАДАТАК .....</b>	<b>7</b>
<b>4. РЕАЛИЗАЦИЈА ПРОЈЕКТНОГ ЗАДАТКА.....</b>	<b>8</b>
<b>5. ЗАКЉУЧАК.....</b>	<b>12</b>
<b>6. ЛИТЕРАТУРА.....</b>	<b>13</b>

## 1. УВОД

FPGA је акроним енглеског израза “*Field Programmable Gate Arrays*”, односно, у буквалном преводу, гејтовска поља која се програмирају „на терену“, тј. од стране крајњег корисника. Користе се при развоју електронских система у смислу дизајна, отклањања неисправности и примене јединствених хардверских решења без потребе развоја посебних силиконских чипова. FPGA чипови се продају корисницима празни или непрограмирани, а корисници програмирају ове уређаје за примену у својим сопственим системима [1].

FPGA кола имају широку примену у разним системима: жичаним и бежичним комуникацијама, видео системима, индустријским, медицинским, аутомобилским, војним, ваздухопловним и системима база података. Такође, могу се користити и у области сигурносних техничких система. Алармни системи, као и системи видео надзора имају врло широк спектар примене у техничкој заштити од најмањих пословних и стамбених простора, до великих пословних центара, банака, образовних установа, спортских објеката, објеката специјалне намене, магацинских простора, итд.

У овом семинарском раду биће приказан пример пројектовања система даљинског аларма са паник тастером, слика 1, помоћу FPGA кола.



**Слика 1** Паник тастер даљинског аларма

Паник тастер користе особе које могу бити непосредно угрожене од стране нападача, као што су: банкарски службеници, радници у продајним објектима и слично. Тастери могу бити фиксни и мобилни, ручни, нагазни или бежични (на даљинском управљачу). Притиском на паник тастер активира се тиха дојава тако да нападач не примети да је корисник активирао аларм. Тиха дојава региструје се у мониторинг центру и оператер моментално обавештава интервентну патролу полиције која ступа у акцију.

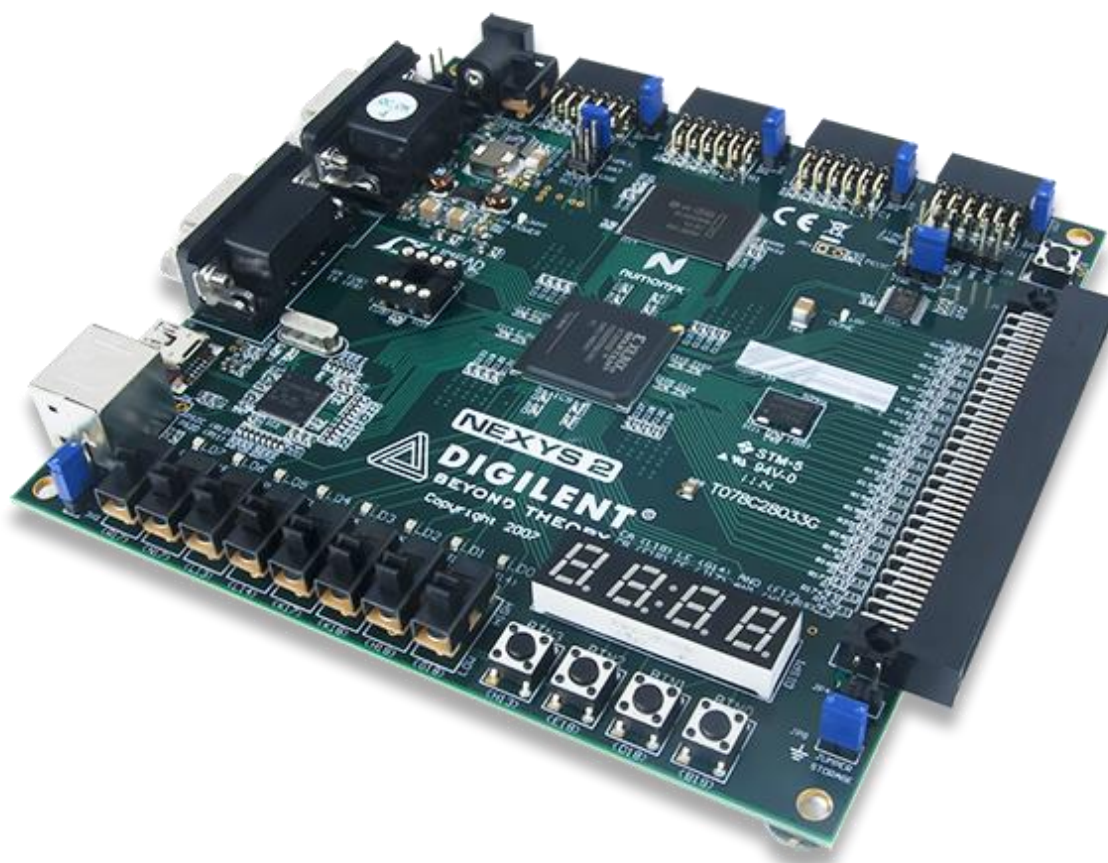
Даљински аларм са паник тастером је дизајниран коришћењем XILINX Spartan 3 FPGA интегрисаног кола са плоче Diligent Nexys 2 [2, 3]. FPGA коло је програмирано коришћењем Xilinx ISE Design Suite софтверског алата.

## 2. АРХИТЕКТУРА

Пројектни задатак је извршен коришћењем *Digilent Nexys 2 Spartan-3 FPGA* платформе.

### 2.1 *Digilent Nexys 2* платформа

*Digilent Nexys 2* је платформа за дизајн дигиталних система заснована на *Xilinx Spartan-3 FPGA* колу, слика 2. Поседује 16 MB брзе *SDRAM* меморије и 16 MB *Flash ROM* меморије, брзи *USB2* порт и више улазно/излазних уређаја, портова за пренос података и конектора, који омогућавају реализацију великог броја различитих пројеката, без потребе за додатним компонентама [2].



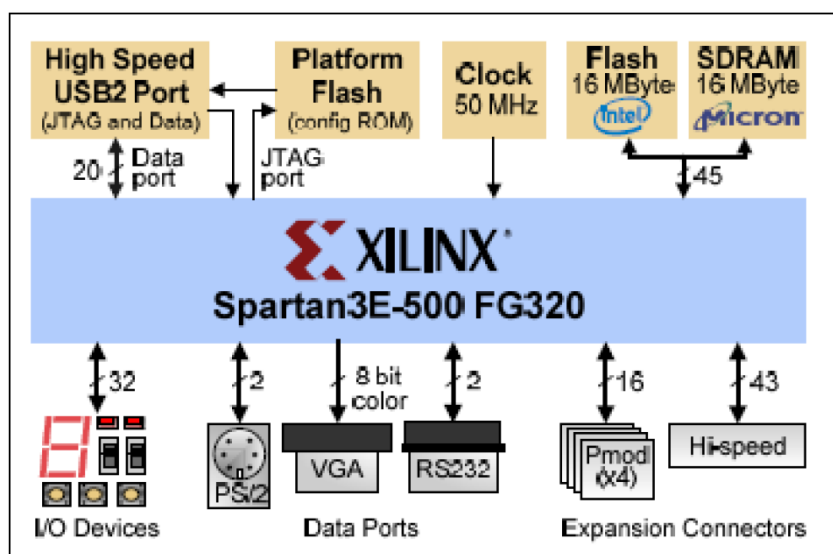
Слика 2 *Digilent Nexys 2* платформа [2]

Основни технички подаци о *Digilent Nexys 2* платформи дати су у Табели 1.

Табела 1 Основни технички подаци о Digilent Nexys 2 платформи [2]

Процесор	Xilinx Spartan-3E FPGA 500K gate
Конектори	<ul style="list-style-type: none"> <li>• USB2 порт</li> <li>• Hirose FX2</li> <li>• Четири 12-pin <i>Peripheral Module</i> (Pmod) конектора</li> <li>• VGA, PS/2 и серијски портови</li> </ul>
Програмирање	Digilent USB2 порт обезбеђује напајање плоче и пренос програма и података
Особине	<ul style="list-style-type: none"> <li>• 16 MB брзе Micron® PSDRAM</li> <li>• 16 MB Intel® StrataFlash® Flash ROM</li> <li>• Xilinx Platform Flash ROM</li> <li>• Ради са ISE®/WebPACK и EDK</li> <li>• Осцилатор од 50 MHz, плус прикључак за други осцилатор</li> <li>• Доступна у кућишту са брзим USB2 каблом</li> <li>• Сви улазно/излазни сигнали су ESD и заштићени, што омогућава дуг животни век у било ком окружењу</li> <li>• USB2 порт који обезбеђује напајање плоче, конфигурацију уређаја и брзи пренос података</li> <li>• Улазно/излазни сегменти на плочи укључују: 8 LED диода, четири 7-сегментних дисплеја, 4 тастера и 8 преклопника</li> </ul>

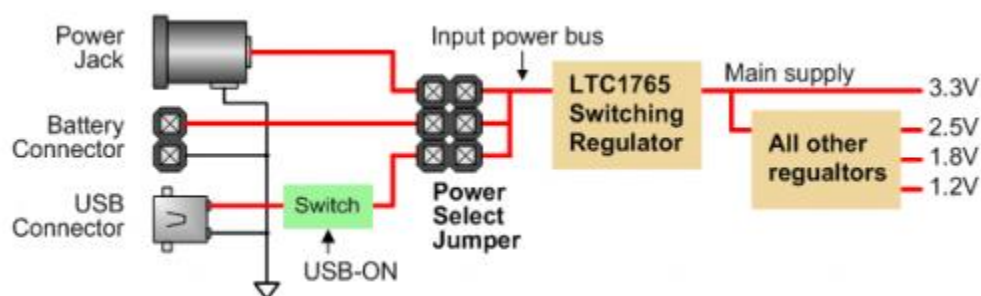
Блок-дијаграмски приказ структуре Digilent Nexys 2 платформе дат је на слици 3.



Слика 3 Блок-дијаграм структуре Digilent Nexys 2 платформе [3]

### 2.1.1 Напајање

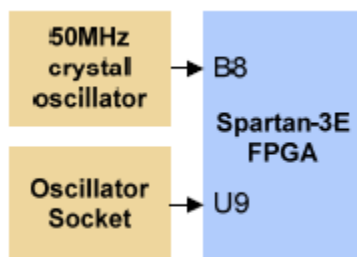
Напајање Nexys2 плоче може се прикључити преко USB кабла, са прикључка 5VDC-15VDC или са батерије. Извор напајања се бира преко “*power select*” џампера, слика 4. USB мрежа се увек напаја са USB кабла, па ако USB кабл није прикључен, нема напајања у USB мрежи.



Слика 4 Блок-дијаграм напајања Nexys2 платформе [2]

### 2.1.2 Осцилатор (clock)

Платформа Nexys2 posedује oscilator od 50 MHz и прикључак за други осцилатор, слика 5. Сигнали такта са осцилатора повезани су на улазне конекторе *FPGA* кола и чине улазе на *DLL* блокове (*delay locked loops*) *FPGA*, који обезбеђују повећање улазне фреквенције за 2 и 4 пута, дељење улазне фреквенције било којим умношком целог броја и дефинисање тачне везе фазе и кашњења између различитих сигнала часовника.



Слика 5 Nexys2 осцилатори

### 2.1.3 Улазно/излазни уређаји

Nexys2 платформа има неколико улазно/излазних уређаја, слика 6.

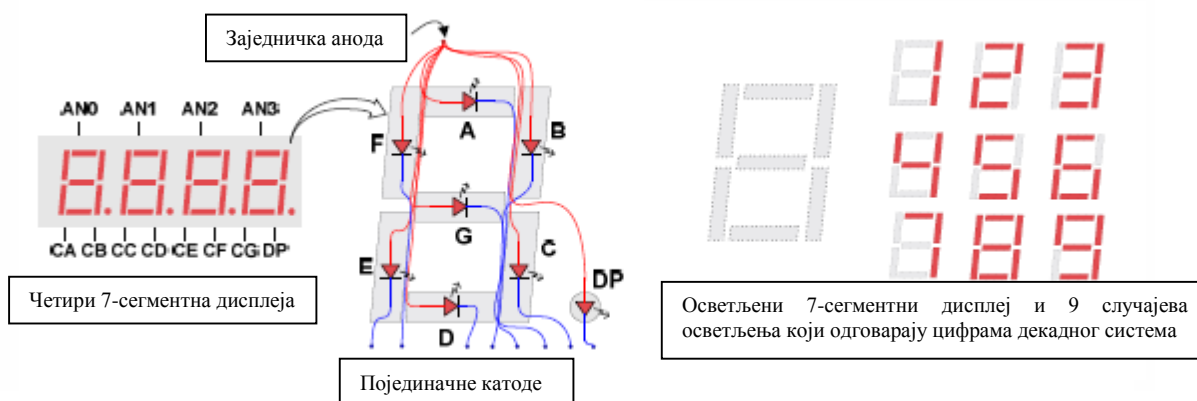
Улази у мрежно коло су 4 тастера и 8 преклопника. Тастери су у општем случају искључени и укључују се само при притиску на тастер. Преклопници генеришу константно стање укључено (*high*) или искључено (*low*), зависно од њихове позиције.

Излазни уређаји су 8 LED диода и четири 7-сегментна дисплеја. LED диоде добијају сигнале са *FPGA* кола преко отпорника од 390  $\Omega$ , па их логичка јединица осветљава.



Слика 6 Улазно-излазни уређаји Nexys2 платформе

Nexys2 платформа има четири 7-сегментна дисплеја, слика 7. Сваки дисплеј се састоји из 7 сегмената постављених у облику броја 8, при чему сваки сегмент садржи LED осветљење. LED диоде сегмената могу се појединачно осветлити, па се укупно може постићи 128 различитих приказа на дисплеју.



Слика 7 Nexys2 7-сегментни дисплеји

#### 2.1.4 Nexys2 FPGA

Nexys2 FPGA мора да се конфигурише (или програмира) од стране корисника пре него што може да обавља функције. Током конфигурације, *.bit* фајл се преноси у меморијске ћелије унутар FPGA ради дефинисања логичких функција и мрежних веза. Одговарајући фајлови се могу креирати помоћу *ISE/WebPack CAD* софтвера, користећи изворне фајлове засноване на VHDL, Verilog или шематском приступу.

FPGA се може програмирати на два начина: директно са PC рачунара коришћењем USB порта или коришћењем *Platform Flash ROM*, који је такође програмибилан преко USB порта.

За конфигурисање FPGA помоћу фајла са рачунара може се користити *Digilent Adept* софтвер. Он користи USB кабла за пренос одабраног *.bit* фајла са рачунара на FPGA.

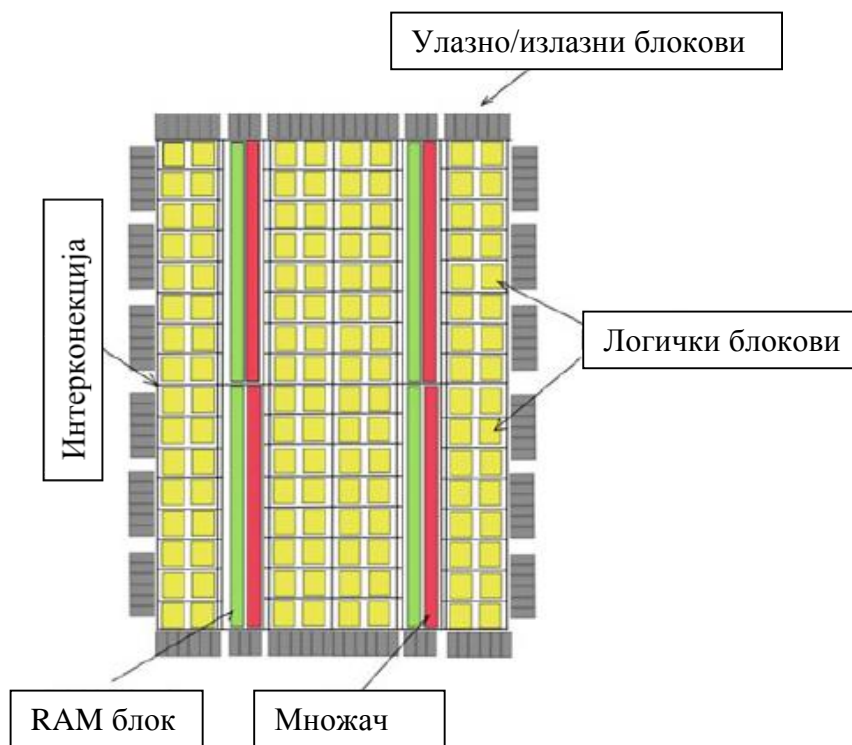


## 2.2 Xilinx Spartan-3 FPGA

FPGA кола су програмибилни полупроводнички уређаји засновани на матрици логичких блокова повезаних преко програмабилних интерконекија. Сваки произвођач FPGA кола дизајнира променљиву архитектуру, засновану на логичким колима или логичким елементима. Такође, FPGA кола садрже и RAM меморију и процесор за обраду сигнала (DSP).

На слици 8 приказана је поједностављена структура Xilinx Spartan-3 FPGA. Може се видети да постоје три главна типа елемената:

- логички блокови,
- улазно/излазни блокови и
- програмибилне интерконекије.



Слика 8 Поједностављена структура Xilinx Spartan-3 FPGA [4]

Набројани елементи су најчешће распоређени у форми матрице. Логички блокови распоређени су у врсте и колоне матрице, док су канали којима се врши интерконекија појединих логичких блокова вертикално и хоризонтално постављени између њих.



### **3. ПРОЈЕКТНИ ЗАДАТАК**

Циљ пројектног задатка је програмирање даљинског аларм система са паник тастером који се може применити у банкама, продавницама, приватним кућама и слично.

Корисник притиском на паник тастер активира даљински позив у помоћ, тако што се у мониторинг центру (полиције, обезбеђења,...) појављује натпис “HELP” и почињу да трепере светла опасности, који указују на потребу позива безбедносним службама за интервенцију на означеној локацији.

Употреба паник тастера се симулира преко ангажовања једног од расположивих прекидача на Digilent Nexys 2 платформи.

За симулацију натписа “HELP” користе се сва четири 7-сегментна дисплеја.

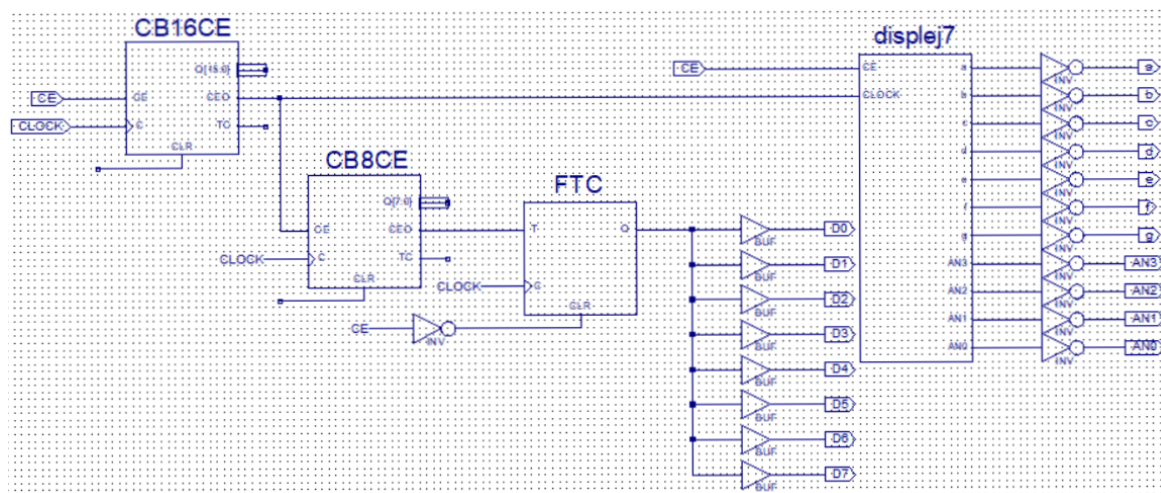
Треперење светла упозорења на опасност реализовано је ангажовањем свих 8 расположивих LED диода, које имају задатак да истовремено трепере одређеном брзином.

## 4. РЕАЛИЗАЦИЈА ПРОЈЕКТНОГ ЗАДАТКА

При пројектовању даљинског аларм система треба имати у виду да паник аларм системи имају две основне компоненте. Прва је паник тастер који корисник активира када му је потребна помоћ и постављен је на скривеној, али доступној локацији. Друга компонента је комуникациони систем који може да комуницира са удаљеним аларм мониторинг центром или центром за контролу безбедности.

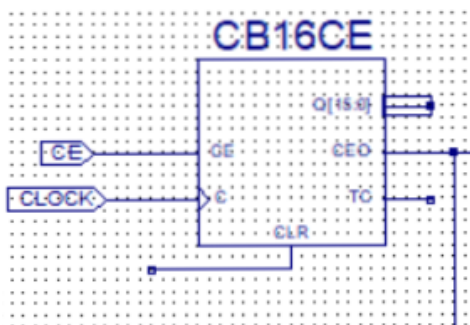
Пројекат даљинског алармног система са паник тастером је реализован коришћењем Diligent Nexys 2 платформе. Програмирање FPGA је извршено у XILINX ISA Design Suite софтверу применом шематских дијаграма.

Шематски приказ целокупног пројекта дат је на слици 9.



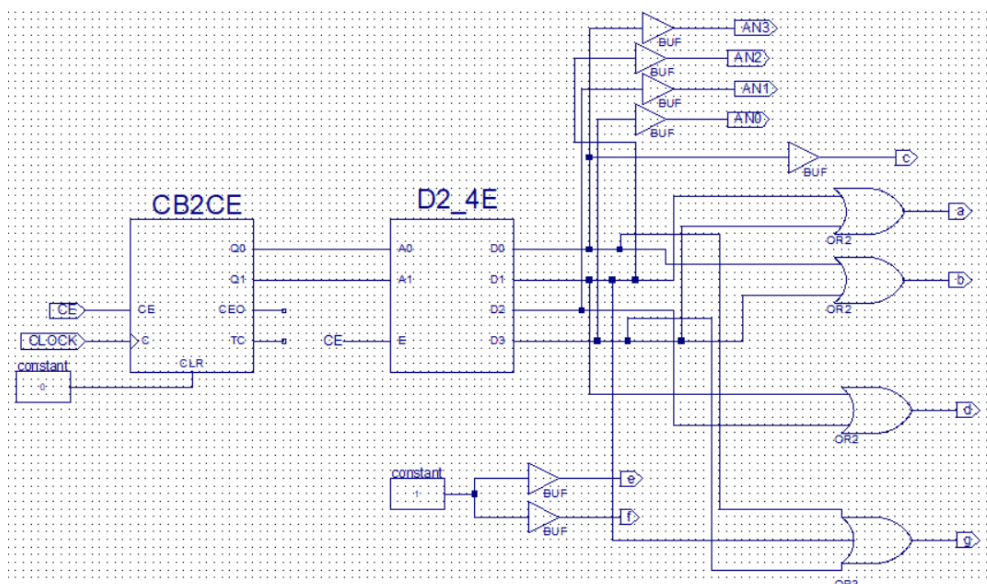
Слика 9 Шематски приказ целокупног пројекта

На слици 10 приказан је 16-битни бинарни бројач (CB16CE) [5] који је искоришћен да успори осцилатор (*clock*) 7-сегментног дисплеја са 50 MHz на 763 Hz, да би приказ на дисплеју био коректно видљив.



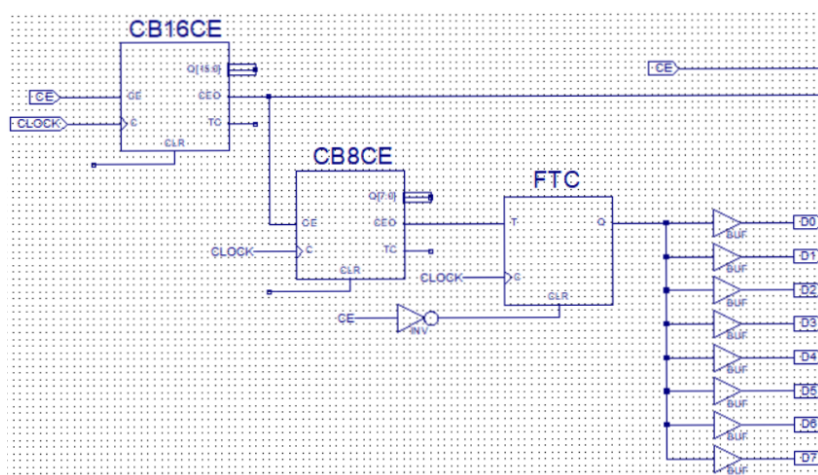
Слика 10 Бинарни 16-битни бројач

Садржај блока *display7* (који је формиран помоћу наредбе *Tools*→*Symbol Wizard*) видљив је на слици 11, где је показана дигитална логика 7-сегментног дисплеја. Бројач CB2CE генерише стања на улазу декодера D2\_4E са два улаза и 4 излаза. На основу излазних сигнала са декодера, програмирано је показивање четири 7-сегментних дисплеја (AN0, AN1, AN2, AN3).



Слика 11 Шематски приказ 7-сегментног дисплеја (садржај блока *display7*)

На слици 12 приказан је део шеме који служи за програмирање рада 8 LED диода, које према пројектном задатку треба да видљиво трепере. Да би треперење диода било видљиво људском оку, каскадно су повезана два бројача: CB16CE (16-битни бинарни бројач) и CB8CE (8-битни бинарни бројач), који успоравају осцилатор на *T Flip-Flop*-у на 3 Hz. *T Flip-Flop* врши промену стања на излазу при сваком доведеном високом нивоу (логички сигнал 1) на свом улазу. На *CLR* улаз *T Flip-Flop*-а доведен је инвертовани сигнал са прекидача *CE* због тога што је потребно, при гашењу прекидача, угасити све диоде према пројектном задатку.



Слика 12 Део шеме који се односи на програмирање LED диода

Програмом је потребно дефинисати локације улазно/излазних сигнала. Због тога се креира фајл корисничких ограничења (*Implementation Constraints File*) [3] са екстензијом *.icf* и додаје пројекту. Садржај фајла је приказан на слици 13.

```
1 NET "CLOCK" LOC = "B8";
2 NET "CE" LOC = "G18";
3
4 NET "D0" LOC = "J14";
5 NET "D1" LOC = "J15";
6 NET "D2" LOC = "K15";
7 NET "D3" LOC = "K14";
8 NET "D4" LOC = "E17";
9 NET "D5" LOC = "P15";
10 NET "D6" LOC = "F4";
11 NET "D7" LOC = "R4";
12
13 NET "a" LOC = "L18";
14 NET "b" LOC = "F18";
15 NET "c" LOC = "D17";
16 NET "d" LOC = "D16";
17 NET "e" LOC = "G14";
18 NET "f" LOC = "J17";
19 NET "g" LOC = "H14";
20
21 NET "AN0" LOC = "F17";
22 NET "AN1" LOC = "H17";
23 NET "AN2" LOC = "C18";
24 NET "AN3" LOC = "F15";
```

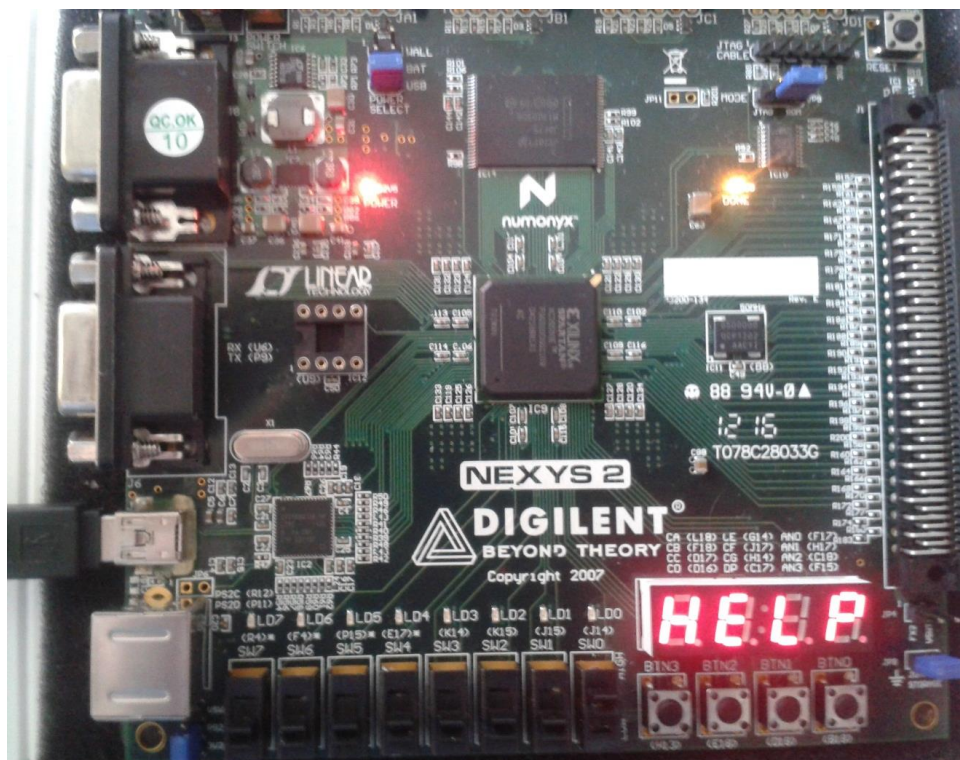
Слика 13 Садржај фајла корисничких ограничења *.icf*

Улаз CE је повезан за прекидач G18. Излази D0 до D7 повезани су на диоде J14, J15, K15, K14, E17, P15, F4, R4, респективно. Излази 7-сегментног дисплеја везани су за сегменте дисплеја a→L18, b→F18 c→D17, d→D16, e→G14, f→J17 и g→H14. Сигнали дозволе рада појединачних дисплеја AN0 до AN3 повезани су на F17, H17, C18 и F15, респективно.

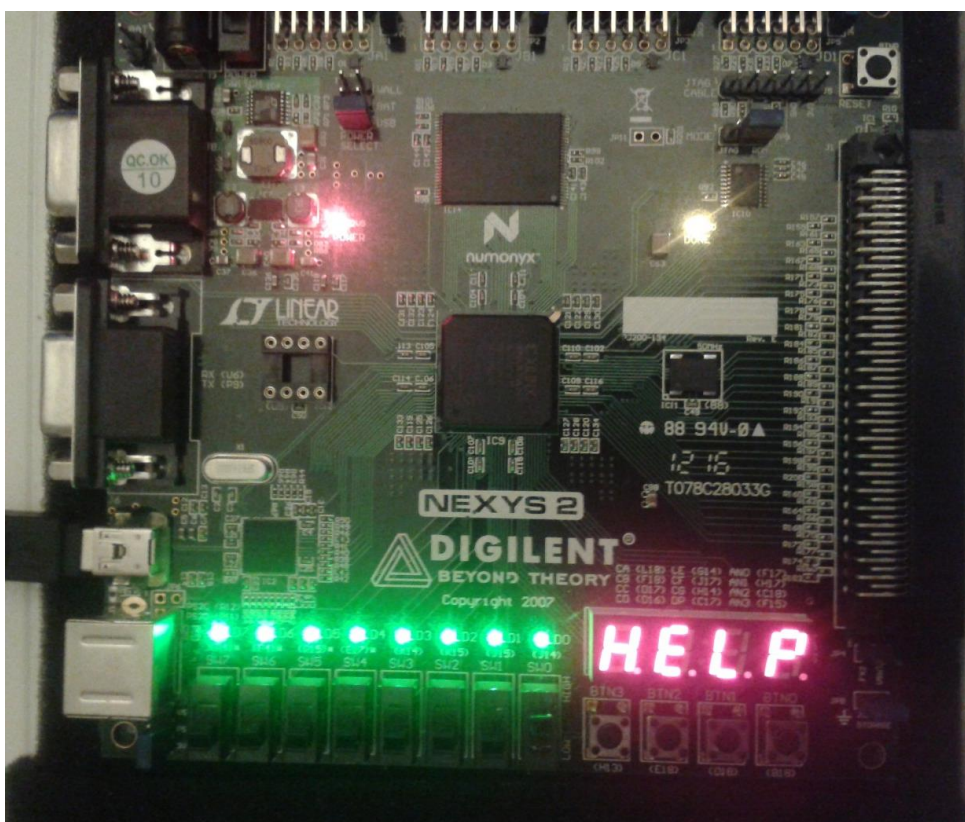
После завршетка програмирања, имплементација пројекта врши се учитавањем одговарајућег *.bit* фајла у програм *Digilent Adept* који реализује програм на плочи.

На сликама 14 и 15 приказана је реализација програма даљинског аларма. У оба случаја прекидач (паник тастер) је укључен, али се виде два стања треперења диода (искључено – слика 14 и укључено – слика 15).





Слика 14 Приказ реализације пројекта на плочи 1



Слика 15 Приказ реализације пројекта на плочи 2

## 5. ЗАКЉУЧАК

У данашње време, све је већа потреба за постојањем алармних система заштите, посебно на локацијама као што су: пословни и стамбени простори, велики пословни центри, банке, образовне установе, спортски објекти, објекти специјалне намене, магацински простори и слично. Уколико корисник може да дође у директни контакт са насилницима, погодна је употреба алармних система са паник тастерима.

Реализација пројектног задатка показала је да се FPGA интергисана кола могу успешно применити у дизајну даљинских алармних система са паник тастерима.

Даљински аларм је дизајниран коришћењем XILINX Spartan 3 FPGA интегрисаног кола са плоче Diligent Nexys 2, док је FPGA коло програмирано коришћењем Xilinx ISE Design Suite софтверског алата.

Употребом одговарајућих бинарних бројача, извршено је успоравање бројача 7-сегментних дисплеја и *T Flip-Flop*-а који врши промену стања на излазу ка LED диодама, а све у циљу да акције излазних сегмената плоче (7-сегментних дисплеја и диода) буду видљиве људском оку.

Активацијом прекидача на улазу, извршава се акција истовременог приказивања HELP поруке на четири 7-сегментна дисплеја и треперења свих 8 диода плоче. Тиме је успешно извршена симулација „тихе дојаве“ у систему даљинског аларма повезаног са службама за мониторинг стања безбедности објеката.

## 6. ЛИТЕРАТУРА

- [1] Churiwala, S. ed. *Designing with Xilinx® FPGAs*. Cham: Springer International Publishing Switzerland, 2017
- [2] Digilent: Nexys 2 Spartan-3E FPGA Trainer Board, [Online] 2017. [Пристапљено 25.05.2017.] <http://store.digilentinc.com/nexys-2-spartan-3e-fpga-trainer-board-retired-see-nexys-4-ddr/>
- [3] Луковић В, Пеулић А, Дамњановић Ђ, Крнета Р. *Приручник за пројектовање дигиталних мрежа коришћењем FPGA интегрисаног кола са примерима*. Чачак: Факултет техничких наука у Чачку Универзитета у Крагујевцу, 2017
- [4] Tlelo-Cuautle, E. et al. *Engineering Applications of FPGAs*. Cham: Springer International Publishing Switzerland, 2016
- [5] Xilinx Inc. *Xilinx 7 Series FPGA Libraries Guide for Schematic Designs*. Xilinx Inc. 2012