各位老师，大家好。我是第二组6号杨一雄。我的论文题目是超高速、高精度数控振荡器。我的指导老师是杨华中教授。参与优秀论文评选。

我的报告分为三个部分：课题背景、课题目标、进展情况。最后包括参考文献和附录

课题背景的第一节，介绍数控振荡器NCO的定义和它的应用范围。

数控振荡器的定义如右上角的框图所示，输入为频率控制字，输出时对应频率的正弦波。

NCO的主要作用是产生正弦波，可在无线通信用于生成载波，雷达扫频过程充当信号源；在FPGA和网络设备中也需要使用NCO实现计算任务和调制解调；在电路设计领域中，使用NCO测试系统的频率响应特性也是非常重要的一环。

接下来讲一讲实现数控振荡器的一个重要方法，直接数字合成方法DDS。

从上方的图看出，DDS包括相位累加器(PA)模块，相位-幅度转换器(PAC)模块和数模转换器(DAC)，核心是实现相位到正弦波幅度转换PAC模块

DDS实现NCO的特点是频率分辨率极高，通过调整频率控制字位数即可实现。另一个特点是可以及时通过改变频率控制字实现扫频操作。

除了高分辨率和扫频速度快等优点，因为使用全数字电路，DDS相比锁相环系统更加稳定，输出相位能保持连续性。

评价DDS的指标首先是输出信号的信噪比，用于描述输出幅度的不确定度。另一项指标是最大杂散分量SFDR，指基频信号能量和最大杂散信号能量之比。

如频谱分析右下角图所示，图（a）中除基频外的噪声呈高斯白特性，对于该类信号用SNR评价更有效；图(b)中底噪虽然不高，但是在特定频点上有杂散信号，这时用最大杂散分量评价噪声更为有效。除了噪声的评价，功耗、时钟频率也是考察系统性能的重要指标。

同时兼顾速度和精度，一直以来都是实现DDS的挑战。DDS的核心器件是相位-幅度转换器。传统的实现方法，是利用一个大查找表，相位直接映射成对应的幅度，每提升1bit精度，查找表的大小翻倍，存储器的访存速度减慢。因此，为了实现高速DDS时往往需要牺牲系统精度。

为解决以上问题，优化DDS有三个方向：

1）压缩查找表，使用更小更快的存储器

2）用矩阵乘法产生旋转操作，替代查表法

3）是在DAC内实现相位到幅度的映射

我对近年来使用三种优化方法的文章进行了调研。

2010年 TCAS-I的文献【2】发展了查找表压缩方法，它使用二次函数内插，将查找表索引降低到文献【1】长度1/3，但是需要额外的乘法和平方操作。

角度旋转法和查找表结合是一种趋势，2011年JSSC文献【3】利用查找表冗余，可以减少角度旋转中的乘法计算，加快了时钟频率。但问题是为了降低旋转次数，导致单次旋转的逻辑太复杂，时钟频率比较低。

2014年JSSC的文章【4】通过压缩非线性DAC单元，和优化物理特性，在时钟频率和最大杂散分量上都取得了比较大的进展。但非线性DAC的不足是功耗较线性DAC要大很多。

总结近年的几篇文章发现，学术界使用的方法虽然不同，但是仍在以查找表为基础的。而使用查找表压缩和角度旋转的方法在**杂散性能**、**功耗**上都表现较好，有**提升时钟频率**的潜力。因此最终选择在这两个思路上研究

我对ISCAS2014的一篇文章我进行了较为详细的分析，它使用查找表和乘法器，可实现1GHz的正弦波输出，SFDR达到120dBc。这篇文章的主要贡献点是使用查找表乘法器节省了角度旋转中的一次乘法操作，使得系统只需要一次查表、一次乘法、一次加法即可完成。

经过分析后发现，这个方案有两个不足之处。第一个是使用DSP自带的乘法器，速度不够快。另一个不足是在忽略了近似引入的噪声，可能产生溢出现象。

本次设计首先继承了ISCAS2014存储器的结构，针对上述两点发现：

首先使用CORDIC算法中的旋转单元替换乘法器，通过流水线加速实现路径延时减少

另外一点就是对算法进行推导，分析其中近似噪声的引入，最后给出降低噪声的约束条件。

根据上一节的思路，我提出了系统架构如右上角所示，用红框标出的模块均进行了改动。

仍是PA/PC/PAC模块构成，PA是一个16位累加器，不多赘述。

PC使用了，把相位由（0,2pi）压缩到（0,1/4pi）区间。同时将相位转换成了象限、查找表地址、旋转索引三部分，这就涉及到索引分配的问题。

PAC模块，由三块构成，对应三步操作：

第一步是Rom 地址查找，为了简化运算同时避免溢出，查找表中引入了一个缩放因子。

第二步是cordic 角度旋转，通过级联的旋转单元对查找表输出进行修正。

第三步是对称操作，把（0,1/4pi）的输出映射回原区间

这里稍微介绍一下DDS工作原理：

得到相位后，需经过PC模块的1/4 PI压缩。它利用对称性将相位从 (0, 2) 映射到 (0, )上操作，这样相位的前三比特不用经过查找操作，存储器的地址可以减少3 bit。同时还需要将相位分配为对称索引、查找表索引和旋转索引三部分输出给PAC。

PAC分为三块，地找查找、角度旋转、对称输出。参照右下角图片：

首先通过查表得到绿色的查表信号

CORDIC旋转模块根据旋转索引进行左旋、右旋修正得到旋转信号

最终根据区间信息，对称得到正确的输出信号

实现高精度NCO需要抑制噪声，研究后我将噪声归纳为两类。

噪声I是因为相位压缩和输出量化引起。如右上图所示，其中相位压缩产生有色噪声；输出量化产生的为高斯白噪声。噪声I只能通过提升相位位数或者输出位数改善。

噪声II是由于角度旋转中计算的近似产生的噪声，旋转角度越大，误差越大。

在确定输入输出位数的情况下，噪声I无法改变。通过减小旋转索引位数可以降低第二类噪声，但是查找表的地址相应增加，会降低其访存速度。

为此提出一个约束条件，取等号时两类噪声得到平衡；约束外，可在噪声无法降低。

要实现高速NCO需要提高时钟频率，本文采用级联的旋转单元替代了乘法器的使用。

根据公式推导得到迭代公式，每个旋转单元包括两个移位器和全加器。经过流水线加速后，得到上图所示的电路结构。

最后一章是进展情况的报告。

首先展示仿真平台的功能性仿真的结果

上图是modelsim生成的正弦信号波形和相位

将上图的波形导入matlab中，发现modelsim结果和matlab计算结果相同。进行fft分析得到下图，找出16bit SFDR值为100 dBc，高于理论最低值。

通过两平台相互验证，能说明方案设计基本正确。

本设计使用了65 nm TSMC工艺进行综合，通过关键路径的优化和代码的规范，将时钟频率从中期时的1.3 GHz 提升至2.0GHz，且时序正确。对前段网表用ICC进行布局布线后，速度稍微下降到1.7 GHz可满足时序要求，版图如下。

最后进行结果展示和总结

首先，本设计在65nm工艺下实现了输入、输出均为16bit的数控振荡器

相位截断位数为16 bits，通过仿真和FFT分析得到输出正弦波的SFDR为100 dBc。

后仿实现的最高时钟频率为1.7 GHz，在近几年角度旋转方法中表现最高。同时功耗/时钟频率 指标也大幅减少为之前工作的25%左右。

最后将我的工作总结一下。

我主要方法是查找表乘法器和角度旋转的使用，实现了超高速、高精度数控振荡器

针对参考文献，我改用级联的旋转单元进行流水线加速，替换了乘法器

并且分析相位截断和近似失真两类噪声，给出了约束条件和索引分配方案

在最后的综合、布线等环节上规范电路布局、优化关键路径，在速度和功耗上取得突破

一下是本次展示用到的6篇参考文献

最后附上改进cordic公式的推导

利用一处近似条件，减少了计算量

我的论文答辩展示结束了，谢谢老师聆听