

**Proyecto #1**  
Diseño de la capa PHY de la interfaz PCIe

**Avances de trabajo**

- Avance 1: 23 de setiembre, 17:00
- Avance 2: 30 de setiembre, 17:00
- Avance 3: 7 de octubre, 17:00
- Avance 4: 10 de octubre, 08:00
- Presentación final: 14 de octubre, 17:00

**Especificaciones**

Las siguientes son las características básicas del diseño solicitado:

1. Las características de la capa PHY para una interfaz PCIe son definidas por un estándar. El libro que explica el estándar y el PHY con detalle es "PCI Express System Architecture, de MindShare." Además, los detalles del PHY que se deben incluir en el proyecto se describen en la presentación "PHY PCIe".
2. El diseño del DUT se hará en el lenguaje Verilog y deberá incluir una descripción conductual que se usará como verificador automático y una descripción estructural. La descripción estructural se generará con el sintetizador YOSYS.
3. Se debe tener un Plan de Trabajo definido para establecer que el diseño es 100% funcional. Se debe mostrar que todas las pruebas del plan se están haciendo como parte de la simulación. Las pruebas por realizar se deben validar con el profesor en la primera semana de asignado el proyecto.
4. El grupo de tres estudiantes trabajará en equipo para completar esta asignación. Las características del equipo de trabajo serán las siguientes.
  - a) Entre los integrantes del equipo de trabajo se escogerá una persona para que sea el líder. Esta persona será responsable de convocar a los otros integrantes del equipo a reuniones y llevará una **bitácora** de los acuerdos, y avances que haga el equipo.
  - b) Entre los integrantes del equipo se compartirán las destrezas que cada uno de los integrantes tiene. De esta forma se pueden asignar roles y ciertas tareas. Dentro de las destrezas podrían estar: facilidad para planear, facilidad para programar, facilidad para hacer presentaciones en público, facilidad para escribir reportes, etc. La idea es que el equipo pueda repartirse las tareas del proyecto tomando en cuenta las destrezas de cada uno.
  - c) Cada integrante del equipo debe mantener informado al resto del equipo de los avances que ha hecho en las tareas que está haciendo y el tiempo que ha tomado hacerlas.
  - d) Como equipo de trabajo, su primera tarea será evaluar las propuestas de diseño de todos los integrantes y seleccionar una que se utilizará para ejecutar el proyecto. Esta

propuesta se presentará en la primera presentación de avance que se hace en la clase.

5. Investigue el complemento AUTOINST de Emacs o Vim e instálelo. Éste le ayudará a realizar instancias de bloques grandes. Utilícelo para las instancias de los bloques phy\_tx.v y phy\_rx.v en phy.v, para la instancia de phy.v en el testbench y para su análogo modelo sintetizado. Inicialmente, utilícelo con cuidado para evitar perder cambios en los archivos de trabajo.
6. Utilice Makefiles para automatizar cada bloque del diseño. Para cambiar el nombre del módulo estructural, utilice el comando de UNIX “sed” como parte de su makefile.
7. El proyecto deberá ser elaborado en un repositorio de git para facilitar la contribución de los miembros y llevar récord de los cambios realizados. En cada avance, se deberá enviar por correo el enlace al repositorio para clonarlo o actualizarlo.

#### **Evaluación del Proyecto (Ver “Criterios de evaluación para los Proyectos de Diseño del curso IE-523”)**

1. Plan de Trabajo	2%	(23 de setiembre)
2. Bitácora	3%	(10 de octubre)
3. Funcionamiento del diseño	85%	
a) Recirculación	2%	(23 de setiembre)
b) Lógica Muxes y Demuxes	6%	(23 de setiembre)
c) Paralelo Serial, Serial Paralelo	5%	(30 de setiembre)
d) Módulo phy_tx.v	10%	(7 de octubre)
e) Módulo phy_rx.v	10%	(7 de octubre)
f) Módulo phy.v	50%	(7 de octubre)
g) Usar AUTOINST en e), f) y g)	2%	(7 de octubre)
4. Reporte del Proyecto	5%	(10 de octubre)
5. Presentación del Proyecto	5%	(14 de octubre)

En los ítems a) a h) del punto tres “Funcionamiento del diseño”, se subdividirá la evaluación en:

- |                             |     |
|-----------------------------|-----|
| i. Descripción conductual   | 40% |
| ii. Descripción estructural | 40% |
| iii. Pruebas                | 20% |