

Výstupní zpráva

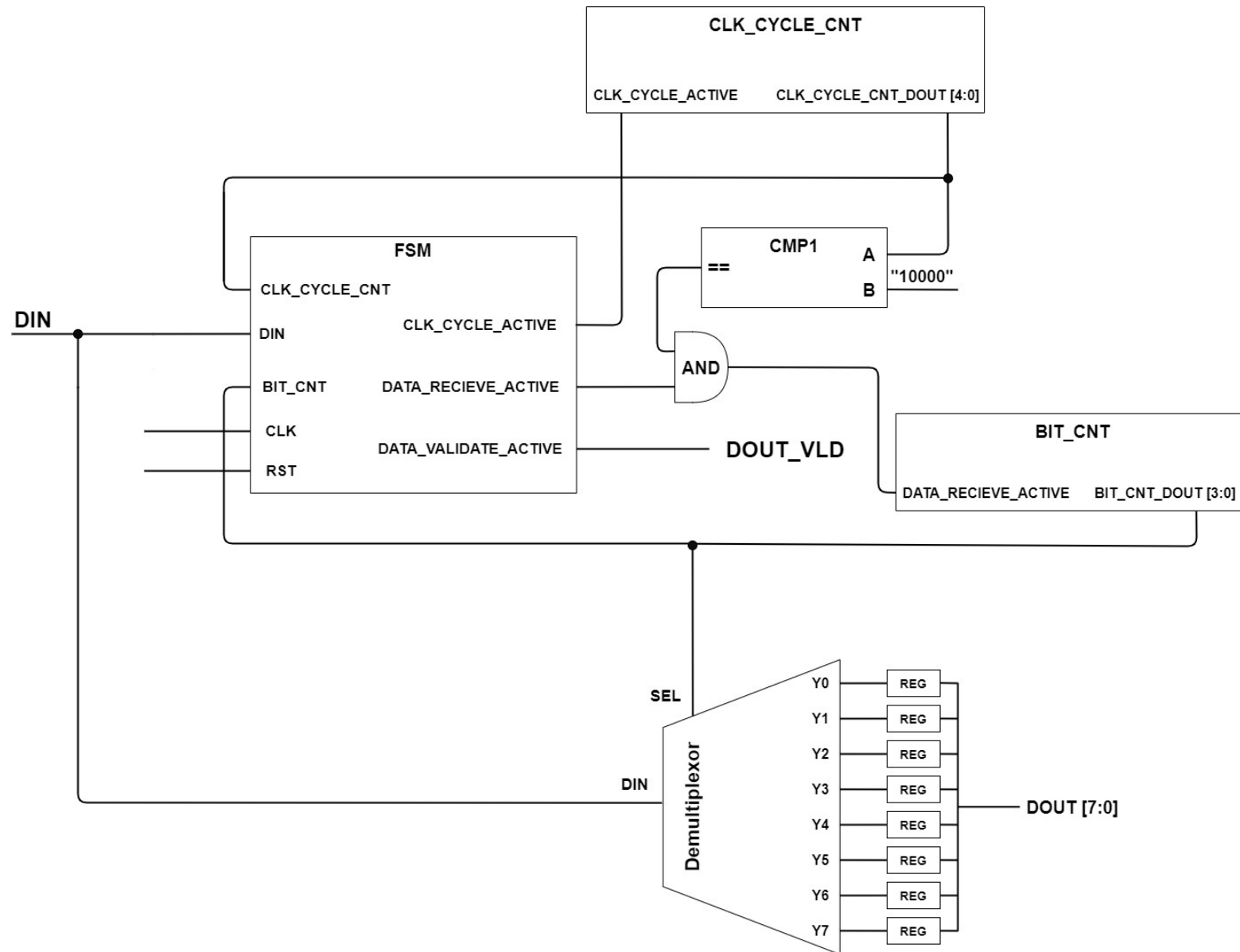
Jméno: Marek Čupr

Login: xcuprm01

Obsah

1. Architektura navrženého obvodu.....	1
2. Návrh automatu.....	4
3. Snímek obrazovky ze simulací.....	7

1. Architektura navrženého obvodu



Popis funkce

Komponenty

FSM - řídí chování obvodu, má 5 definovaných stavů, které se mění na základě vstupů

CLK_CYCLE_CNT - čítač, který počítá hodinové cykly

BIT_CNT - čítač, který počítá počet přijatých bitů (celkem 8)

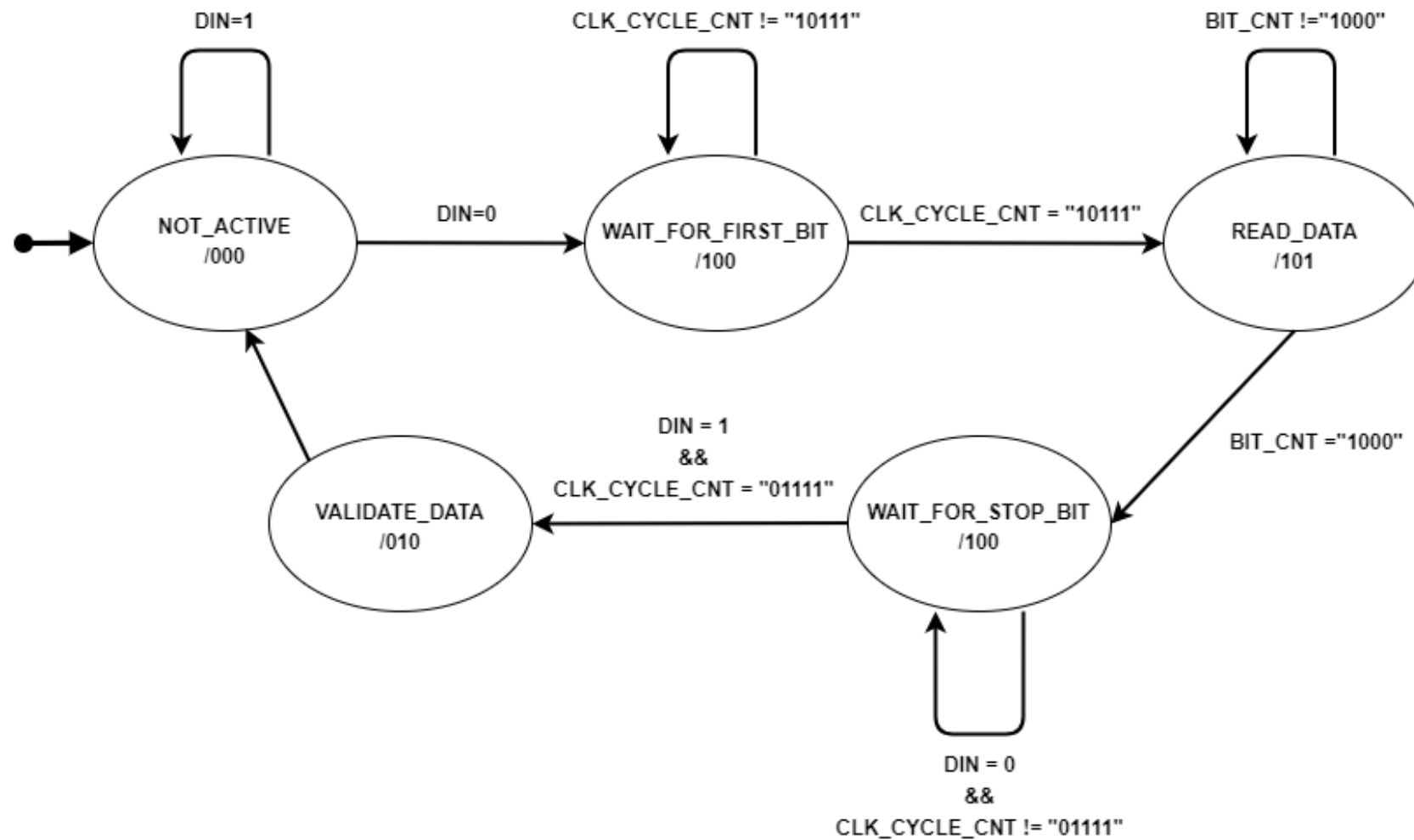
DEMULTIPLEXOR - do konkrétních registrů posílá hodnoty DIN, které jsou poté spojeny do výstup DOUT

Funkcionalita

Obvod je složený z konečného automatu (FSM), čítače hodinových cyklů (CLK_CYCLE_CNT), čítače bitů (BIT_CNT) a demultiplexoru. Příchodem start-bitu (logická 0) se obvod přepne do aktivního stavu (WAT_FOR_FIRST_BIT), ve kterém vyčká 23 hodinových cyklů. Poté je DATA_RECIEVE ACTIVE nastaveno na 1. Postupně se začne přijímat 8 bitů dat. Mezi přenosem každého bitu uběhne 16 hodinových cyklů (hodinové cykly jsou počítány pomocí CLK_CYCLE_CNT). Při každém přenosu je BIT_CNT (počet přenesených bitů) zvýšen o 1 (přijímání jednotlivých bitů po správném počtu uběhlých hodinových cyklů [16] je řízeno pomocí CMP1, DATA_RECIEVE_ACTIVE a součástky AND). Demultiplexor pomocí „selectoru“ (SEL) pošle datový vstup (DIN) na jeden z osmi výstupních registrů. Registry jsou poté zobrazeny na výstup DOUT. To, že validace proběhla správně, určuje „DOUT_VLD“, který je

nastaven na hodnotu 1, jakmile nahrajeme hodnotu posledního (8.) bitu (a jakmile je data_validate_active nastaveno na 1).

2. Návrh automatu



Popis funkce

Moorovy výstupy (v tomto pořadí)

CLK_CYCLE_ACTIVE - hodinový čítač, aktivní ve stavech WAIT_FOR_FIRST_BIT, READ_DATA a WAIT_FOR_STOP_BIT

DATA_VALIDATE_ACTIVE - validace přijatých dat, aktivní ve stavu VALIDATE_DATA

DATA_RECIEVE_ACTIVE - přijímání bitů dat, aktivní ve stavu READ_DATA

Stavy

NOT_ACTIVE - obvod je v neaktivním stavu (čeká na logickou 0)

WAIT_FOR_FIRST_BIT - obvod je aktivovaný, čeká se na první bit (23 hodinových cyklů)

READ_DATA - data jsou přijímána v podobě bitů (celkem 8 bitů dat)

WAIT_FOR_STOP_BIT - data přijata (čeká na logickou 1)

VALIDATE_DATA - validace dat

Funkcionalita

Ze začátku je obvod ve stavu NOT_ACTIVE (defaultní stav) a čeká, než dostane na vstup start-bit (logickou 0). Po příchodu logické 0 přechází do stavu WAIT_FOR_FIRST_BIT. V tomto stavu setrvává 23 hodinových cyklů, než přejde do stavu READ_DATA. Postupně je načteno 8 bitů dat a stav následně změněn na WAIT_FOR_STOP_BIT. Poslední stav VALIDATE_DATA začíná, jakmile na vstup přijde stop-bit (neboli logická 1) a „CLK_CYCLE_COUNTER“ je na hodnotě 15 (stop-bit validujeme v mid-bitu). V tomto stavu proběhne validace dat a schéma se vrátí zpět na začátek do defaultního stavu (NOT_ACTIVE).

3. Snímek obrazovky ze simulací

