# **Výstupní zpráva**

**Jméno: Marek Čupr**

**Login: xcuprm01**

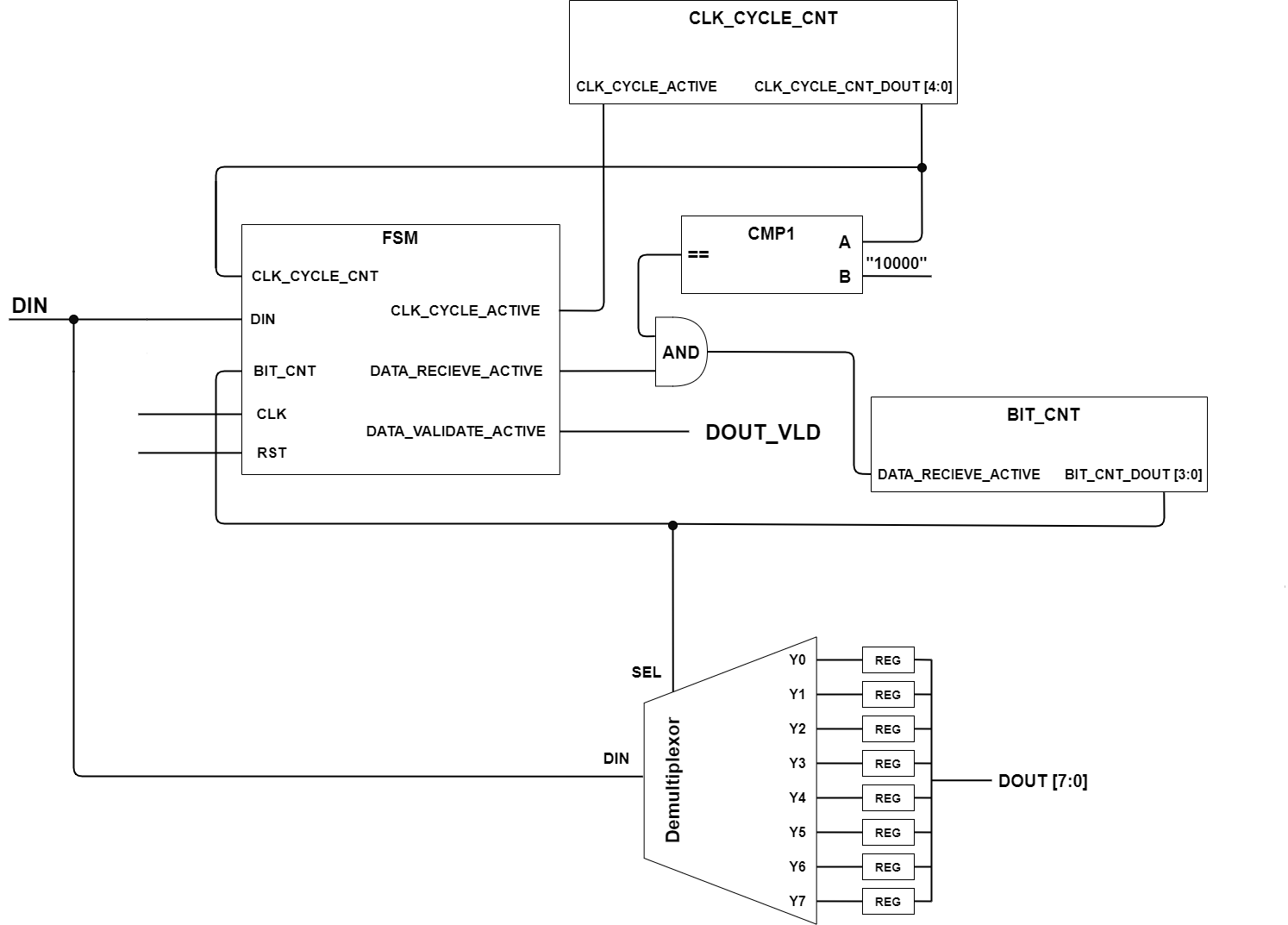
Obsah

[**1.** **Architektura navrženého obvodu** 1](#_Toc132972170)

[**2.** **Návrh automatu** 4](#_Toc132972171)

[**3.** **Snímek obrazovky ze simulací**](#_Toc132972172) 7

# **Architektura navrženého obvodu**

****

**Popis funkce**

**Komponenty**

**FSM –** řídí chování obvodu, má 5 definovaných stavů, které se mění na základě vstupů

**CLK\_CYCLE\_CNT –** čítač, který počítá hodinové cykly

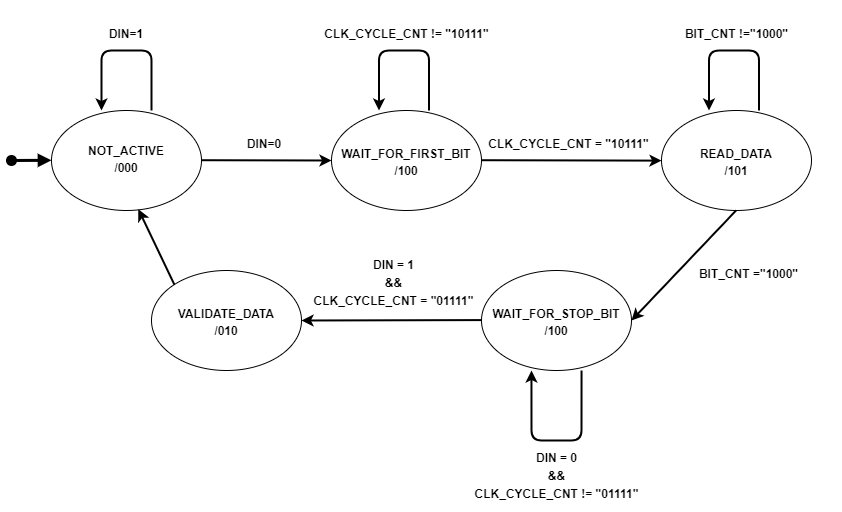
**BIT\_CNT –** čítač, který počítá počet přijatých bitů (celkem 8)

**DEMULTIPLEXOR –** do konkrétních registrů posílá hodnoty DIN, které jsou poté spojeny do výstup DOUT

**Funkcionalita**

Obvod je složený z konečného automatu (FSM), čítače hodinových cyklů (CLK\_CYCLE\_CNT), čítače bitů (BIT\_CNT) a demultiplexoru. Příchodem start-bitu (logická 0) se obvod přepne do aktivního stavu (WAT\_FOR\_FIRST\_BIT), ve kterém vyčká 23 hodinových cyklů. Poté je DATA\_RECIEVE ACTIVE nastaveno na 1. Postupně se začne přijímat 8 bitů dat. Mezi přenosem každého bitu uběhne 16 hodinových cyklů (hodinové cykly jsou počítány pomocí CLK\_CYCLE\_CNT). Při každém přenosu je BIT\_CNT (počet přenesených bitů) zvýšen o 1 (přijímání jednotlivých bitů po správném počtu uběhlých hodinových cyklů [16] je řízeno pomocí CMP1, DATA\_RECIEVE\_ACTIVE a součástky AND). Demultiplexor pomocí „selectoru“ (SEL) pošle datový vstup (DIN) na jeden z osmi výstupních registrů. Registry jsou poté zobrazeny na výstup DOUT. To, že validace proběhla správně, určuje „DOUT\_VLD“, který je nastaven na hodnotu 1, jakmile nahrajeme hodnotu posledního (8.) bitu (a jakmile je data\_validate\_active nastaveno na 1).

# **Návrh automatu**



**Popis funkce**

**Moorovy výstupy** (v tomto pořadí)

**CLK\_CYCLE\_ACTIVE** – hodinový čítač, aktivní ve stavech WAIT\_FOR\_FIRST\_BIT, READ\_DATA a WAIT\_FOR\_STOP\_BIT

**DATA\_VALIDATE\_ACTIVE** – validace přijatých dat, aktivní ve stavu VALIDATE\_DATA

**DATA\_RECIEVE\_ACTIVE** – přijímání bitů dat, aktivní ve stavu READ\_DATA

**Stavy**

**NOT\_ACTIVE –** obvod je v neaktivním stavu (čeká na logickou 0)

**WAIT\_FOR\_FIRST\_BIT** –obvod je aktivovaný, čeká se na první bit (23 hodinových cyklů)

**READ\_DATA –** data jsou přijímána v podobě bitů (celkem 8 bitů dat)

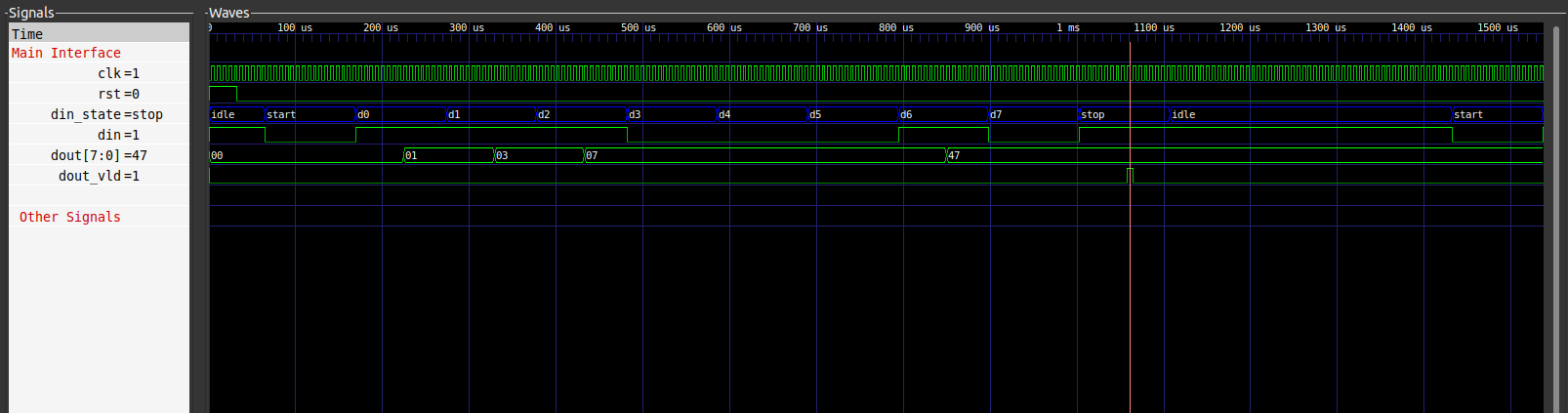
**WAIT\_FOR\_STOP\_BIT –** data přijata (čeká na logickou 1)

**VALIDATE\_DATA –** validace dat

**Funkcionalita**

Ze začátku je obvod ve stavu NOT\_ACTIVE (defaultní stav) a čeká, než dostane na vstup start-bit (logickou 0). Po příchodu logické 0 přechází do stavu WAIT\_FOR\_FIRST\_BIT. V tomto stavu setrvá 23 hodinových cyklů, než přejde do stavu READ\_DATA. Postupně je načteno 8 bitů dat a stav následně změněn na WAIT\_FOR\_STOP\_BIT. Poslední stav VALIDATE\_DATA začíná, jakmile na vstup přijde stop-bit (neboli logická 1) a „CLK\_CYCLE\_COUNTER“ je na hodnotě 15 (stop-bit validujeme v mid-bitu). V tomto stavu proběhne validace dat a schéma se vrátí zpět na začátek do defaultního stavu (NOT\_ACTIVE).

# **Snímek obrazovky ze simulací**

****

