



**PODER EXECUTIVO
MINISTÉRIO DA EDUCAÇÃO
UNIVERSIDADE FEDERAL DE RORAIMA
DEPARTAMENTO DE CIÊNCIA DA COMPUTAÇÃO**

ARQUITETURA E ORGANIZAÇÃO DE COMPUTADORES

LABORATÓRIO DE CIRCUITOS – CODIFICAÇÃO E SIMULAÇÕES

ALUNO:

Marcos Vinícius Tenacol Coêlho - 2021000759

**Dezembro de 2022
Boa Vista/Roraima**



**PODER EXECUTIVO
MINISTÉRIO DA EDUCAÇÃO
UNIVERSIDADE FEDERAL DE RORAIMA
DEPARTAMENTO DE CIÊNCIA DA COMPUTAÇÃO**

ARQUITETURA E ORGANIZAÇÃO DE COMPUTADORES

LABORATÓRIO DE CIRCUITOS – CODIFICAÇÃO E SIMULAÇÕES

**Dezembro de 2022
Boa Vista/Roraima**

Resumo

Este trabalho se trata da codificação e simulação de componentes, implementados via Logisim (Simulador Digital de Circuitos), com objetivo de adquirir nota parcial na matéria de Arquitetura e Organização de Computadores.

Conteúdo

1.	COMPONENTE: REGISTRADOR FLIP-FLOP TIPO D E DO TIPO JK:	7
1.1.	CIRCUITO DE UM REGISTRADOR DE 1 BIT TIPO JK:	8
1.2.	CIRCUITO DE UM REGISTRADOR DE 1 BIT TIPO D:	8
2.	COMPONENTE: MULTIPLEXADOR DE 4 ENTRADAS:	11
2.1.	CIRCUITO DE UM MULTIPLEXADOR DE 4 ENTRADAS:	11
3.	COMPONENTE: PORTA LÓGICA XOR COM OS COMPONENTES: AND, NOT E OR:	13
3.1.	TABELA VERDADE DE UMA PORTA XOR:	13
3.2.	CIRCUITO DE UMA PORTA XOR USANDO AND, NOT E OR:	14
4.	COMPONENTE: SOMADOR DE 8 BITS QUE RECEBE UM VALOR INTEIRO E SOMA COM O VALOR 4:	15
4.1.	CIRCUITO DE UM SOMADOR DE 1 BIT:	16
4.2.	SOMADOR DE 8 BITS:	16
4.3.	SOMADOR DE 8 BITS COM UMA ENTRADA DE 8 BITS + 4:	17
5.	COMPONENTE: MEMÓRIA ROM DE 8 BITS DE DADOS E 2 BITS DE ENDEREÇO:	20
5.1.	CIRCUITO DE UMA MEMÓRIA ROM DE 8 BITS DE DADOS E 2 DE ENDEREÇO:	20
6.	COMPONENTE: MEMÓRIA RAM DE 8 BITS DE DADOS E 2 BITS DE ENDEREÇO:	22
6.1.	CIRCUITO DA MEMÓRIA RAM DE 8 BITS DE DADOS E 2 BITS DE ENDEREÇO:	22
7.	COMPONENTE: BANCO DE REGISTRADORES DE 8 BITS DE DADOS E 2 DE ENDEREÇO:	24
7.1.	ESPAÇO DE MEMÓRIA DE UM REGISTRADOR 8 BITS:	25
7.2.	REGISTRADOR COM 4 ESPAÇOS DE MEMÓRIA:	25
8.	COMPONENTE: UNIDADE DE CONTROLE UNICICLO DO MIPS DE 16 BITS:	27
8.1.	CIRCUITO DA UNIDADE DE CONTROLE:	27
9.	COMPONENTE: ULA DE 8 BITS:	31
9.1.	CIRCUITO DA ULA:	31
9.1.1.	SHIFT 3 BITS DIREITA:	32
9.1.2.	SHIFT 3 BITS ESQUERDA:	32
10.	COMPONENTE: EXTENSOR DE SINAL DE 4 PARA 8 BITS:	37
11.	COMPONENTE: MÁQUINA DE ESTADOS:	38
11.1.	CIRCUITO DA MÁQUINA DE ESTADOS:	38
12.	COMPONENTE: CONTADOR SÍNCRONO:	40
12.1.	CIRCUITO CONTADOR SÍNCRONO:	40

Lista de Figuras

(FIGURA 1 – COMPONENTE-FLIP-FLOP JK)	8
(FIGURA 2 – CIRCUITO FLIP-FLOP JK).....	8
(FIGURA 3 – TABELA VERDADE FLIP-FLOP JK).....	8
(FIGURA 4 – COMPONENTE FLIP-FLOP D)	9
(FIGURA 5 – CIRCUITO FLIP-FLOP D).....	9
(FIGURA 6 – TABELA VERDADE FLIP-FLOP D).....	9
(FIGURA 7 – REGISTRADOR TIPO JK (NEGAÇÃO DE CLEAR = 0)).....	10
(FIGURA 8 – REGISTRADOR TIPO JK (NEGAÇÃO DE PRESET = 0))	10
(FIGURA 9 – REGISTRADOR TIPO REGISTRADOR TIPO JK (J = 0 E K = 1))	10
(FIGURA 10 – REGISTRADOR TIPO JK (J = 1 E K = 0)).....	11
(FIGURA 11 – REGISTRADOR TIPO D (D = 1)).....	11
(FIGURA 12 – REGISTRADOR TIPO D (D = 0)).....	11
(FIGURA 13 – MULTIPLEXADOR 4X1 DE 1 BIT)	12
(FIGURA 14 – MULTIPLEXADOR 4X1 (00), PASSA O VALOR DE A)	12
(FIGURA 15 – MULTIPLEXADOR 4X1 (01), PASSA O VALOR DE B)	13
(FIGURA 16 – MULTIPLEXADOR 4X1 (10), PASSA O VALOR DE C)	13
(FIGURA 17 – MULTIPLEXADOR 4X1 (11), PASSA O VALOR DE D)	13
(FIGURA 18 – PORTA LÓGICA XOR)	14
(FIGURA 19 – CIRCUITO DA PORTA LÓGICA XOR)	14
(FIGURA 20 – XOR (A = 0, B = 0))	14
(FIGURA 21 – XOR (A = 1, B = 0))	15
(FIGURA 22 – XOR (A = 0, B = 1))	15
(FIGURA 23 – XOR (A = 1, B = 1))	15
(FIGURA 24 – SOMADOR DE 1 BIT).....	16
(FIGURA 25 – CIRCUITO SOMADOR 8 BIT).....	17
(FIGURA 26 – CIRCUITO SOMADOR 8 BIT + 4)	18
(FIGURA 27 – SOMADOR (1+1)).....	18
(FIGURA 28 – SOMADOR (28+10)).....	19
(FIGURA 29 – SOMADOR +4(+42)).....	19
(FIGURA 30 – SOMADOR +4(+14)).....	20
(FIGURA 31 – COMPONENTE: MEMÓRIA ROM).....	20
(FIGURA 32 – CIRCUITO DA MEMÓRIA ROM)	21
(FIGURA 33 –MEMÓRIA ROM (MOSTRANDO VALOR DE (00))	21
(FIGURA 34 –MEMÓRIA ROM (MOSTRANDO VALOR DE (01))	21
(FIGURA 35 –MEMÓRIA ROM (MOSTRANDO VALOR DE (10))	22
(FIGURA 36 –MEMÓRIA ROM (MOSTRANDO VALOR DE (11))	22
(FIGURA 37 – COMPONENTE: MEMÓRIA RAM)	22
(FIGURA 38 – CIRCUITO DA MEMÓRIA RAM).....	23
(FIGURA 39 –MEMÓRIA RAM (SALVANDO NO ENDEREÇO (00)).....	23
(FIGURA 40 –MEMÓRIA RAM (SALVANDO NO ENDEREÇO (01)).....	24
(FIGURA 41 –MEMÓRIA RAM (MOSTRANDO VALOR DO ENDEREÇO (00))	24
(FIGURA 42 –MEMÓRIA RAM (MOSTRANDO VALOR DO ENDEREÇO (01))	24
(FIGURA 43 – CIRCUITO DE UM BANCO DE REGISTRADORES)	25
(FIGURA 44 – ESPAÇO DE MEMÓRIA DE REGISTRADOR DE 8 BITS)	25

(FIGURA 45 – REGISTRADOR COM 4 ESPAÇOS DE MEMÓRIA)	26
(FIGURA 46 – BANCO DE REGISTRADORES (SALVANDO VALOR EM RA(00) E RB(00))	26
(FIGURA 47 – BANCO DE REGISTRADORES (SALVANDO VALOR EM RA(11) E RB(11))	26
(FIGURA 48 – BANCO DE REGISTRADORES (MOSTRANDO VALORES DOS RA(00) E RB(00))	27
(FIGURA 49 – TABELA DE SINAIS UNIDADE DE CONTROLE DO MIPS 16 BITS).....	27
(FIGURA 50 – CIRCUITO UNIDADE DE CONTROLE)	28
(FIGURA 51 – UNIDADE DE CONTROLE (R-TYPE)).....	28
(FIGURA 52 – UNIDADE DE CONTROLE (LW))	29
(FIGURA 53 – UNIDADE DE CONTROLE (SW)).....	29
(FIGURA 54 – UNIDADE DE CONTROLE (ADDI))	29
(FIGURA 55 – UNIDADE DE CONTROLE (BEQ))	30
(FIGURA 56 – UNIDADE DE CONTROLE (J)).....	30
(FIGURA 57 – UNIDADE DE CONTROLE (JAL)).....	30
(FIGURA 58 – UNIDADE DE CONTROLE (SLTI)).....	31
(FIGURA 59 – CIRCUITO ULA COM SOMA, SUBTRAÇÃO, SHIFT, XOR, NAND, NOR, NOT, OR E AND)	31
(FIGURA 60 – CIRCUITO SHIFT 3 BITS DIREITA).....	32
(FIGURA 61 – CIRCUITO SHIFT 3 BITS ESQUERDA)	32
(FIGURA 62 – ULA (AND))	33
(FIGURA 63 – ULA (NAND)).....	33
(FIGURA 64 – ULA (NOR))	34
(FIGURA 65 – ULA (NOT(A)))	34
(FIGURA 66 – ULA (OR)).....	35
(FIGURA 67 – ULA (SHIFT DIREITA)).....	35
(FIGURA 68 – ULA (SHIFT ESQUERDA)).....	36
(FIGURA 69 – ULA (SOMA))	36
(FIGURA 70 – ULA (SUBTRAÇÃO)).....	37
(FIGURA 71 – ULA (XOR)).....	37
(FIGURA 72 – CIRCUITO DO EXTENSOR DE SINAL)	38
(FIGURA 73 – EXTENSOR DE SINAL COM VALORES DIFERENTES).....	38
(FIGURA 74 – MÁQUINA DE ESTADO REPRESENTADA)	38
(FIGURA 75 –CIRCUITO DA MÁQUINA DE ESTADOS DA FIGURA 26).....	39
(FIGURA 76 – MÁQUINA DE ESTADO COM P=0 ATIVANDO CLOCK).....	39
(FIGURA 77 – MÁQUINA DE ESTADO COM P=1ATIVANDO CLOCK, EM ESTÁGIOS DIFERENTES)	40
(FIGURA 78 – CIRCUITO CONTADOR SÍNCRONO).....	40
(FIGURA 79 – CONTADO EM ESTÁGIOS DIFERENTES)	41

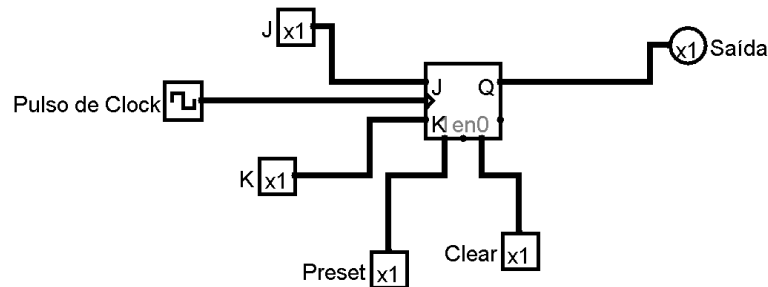
Lista de Tabelas

(TABELA 1 – TABELA VERDADE MULTIPLEXADOR 4X1 DE 1 BIT)	12
(TABELA 2 – TABELA VERDADE XOR)	14
(TABELA 3 – TABELA VERDADE SOMADOR 1 BIT).....	16

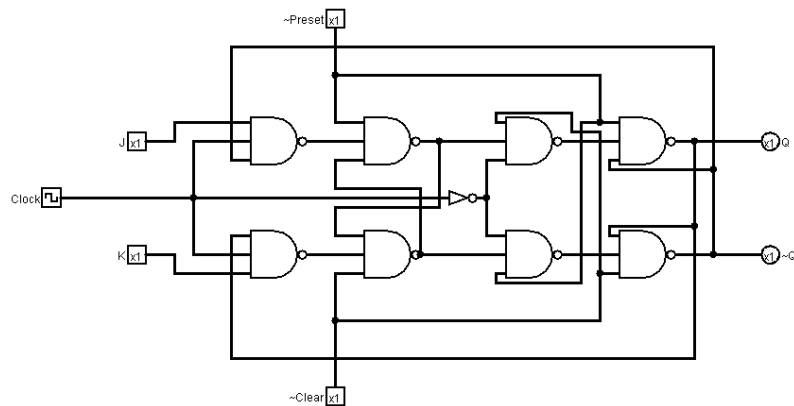
1.Componente: Registrador Flip-Flop Tipo D e do tipo JK:

Um registrador flip-flop de **N** bits, é um circuito composto por **N** Flip-Flop que podem ser tanto do tipo JK (Figura 1), quanto do tipo D (Figura 4), capaz de armazenar **N** quantidade de Bits, sendo o próprio Flip-Flop JK ou D, um registrador de 1 bit.

1.1. Circuito de um registrador de 1 bit tipo JK:



(Figura 1 – Componente-Flip-Flop JK)



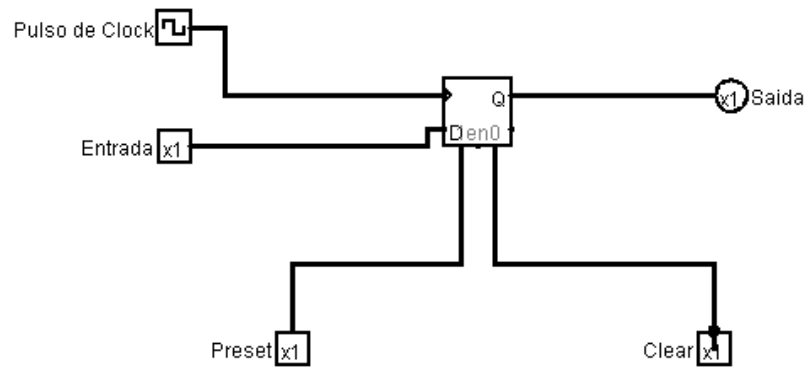
(Figura 2 – Circuito Flip-Flop JK)

O Circuito do Flip-Flop Tipo JK, possui 4 entradas de dados, 1 entrada de clock e 2 saídas: Onde, duas das entradas de dados representam J e K, uma representa a negação de Preset(Q=1) e outra a negação de Clear(Q=0) e as saídas representam Q e a negação de Q, com o pulso de clock servindo para alterar o valor presente dentro do Flip-Flop.

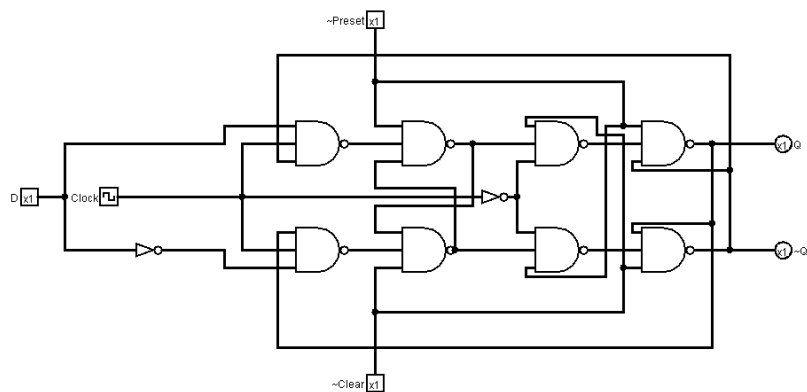
	CLK	J	K	Preset	Clear	Q_f
1	0	0	0	1	1	Q_a
2	0	0	1	1	1	0
3	0	1	0	1	1	1
4	0	1	1	1	1	$\overline{Q_a}$
5	X	X	X	0	1	1
6	X	X	X	1	0	0
7	X	X	X	0	0	

(Figura 3 – Tabela Verdade Flip-Flop JK)

1.2. Circuito de um registrador de 1 bit tipo D:



(Figura 4 – Componente Flip-Flop D)



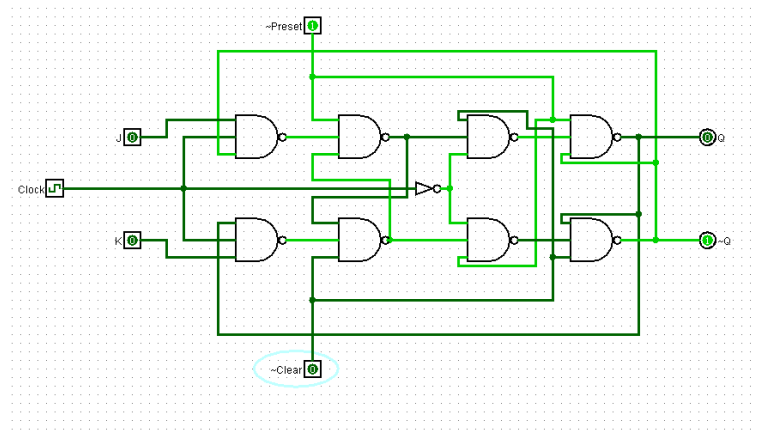
(Figura 5 – Circuito Flip-Flop D)

O Circuito do Flip-Flop tipo D tem como base a Flip-Flop JK, porém, no lugar das duas entradas J e K, existe uma só entrada D, que se divide em duas ramificações que estariam ligadas onde estavam as entradas J e K, com o lugar onde seria K sendo uma negação de J.

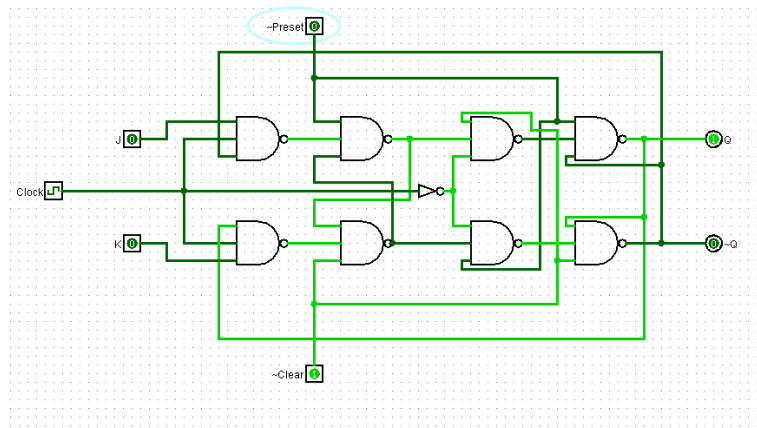
CLK	D	Q	Qn
0	0	Q	Qn
0	1	Q	Qn
1	0	0	1
1	1	1	0

(Figura 6 – Tabela Verdade Flip-Flop D)

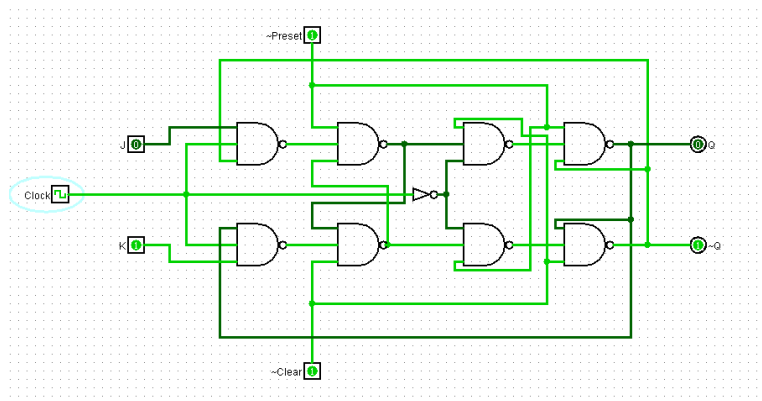
1.3. Testes:



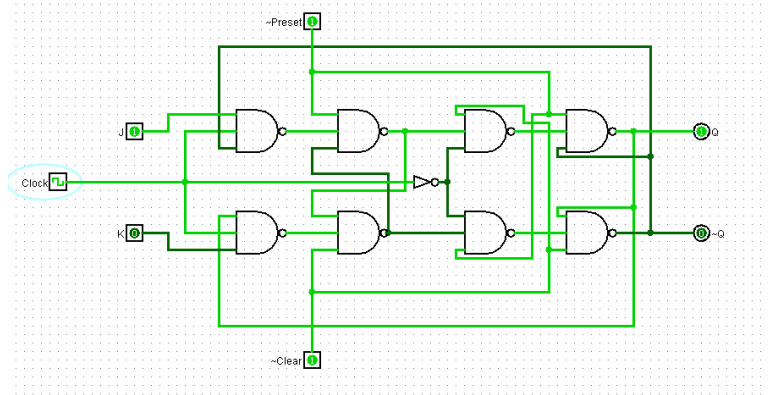
(Figura 7 – Registrador tipo JK (Negação de Clear = 0))



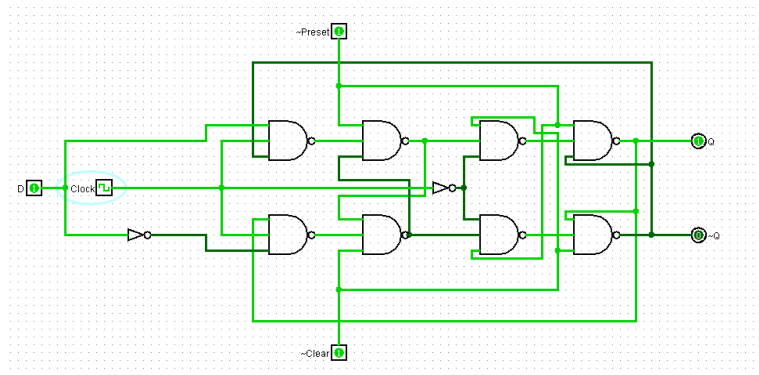
(Figura 8 – Registrador tipo JK (Negação de Preset = 0))



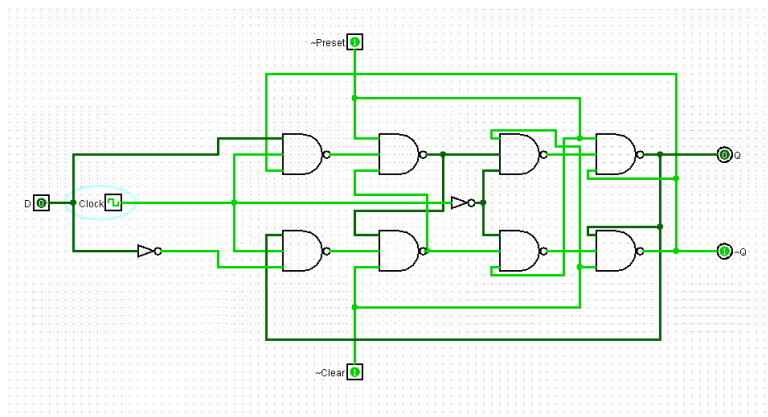
(Figura 9 – Registrador tipo Registrador tipo JK (J = 0 e K = 1))



(Figura 10 – Registrador tipo JK ($J = 1$ e $K = 0$))



(Figura 11 – Registrador tipo D ($D = 1$))

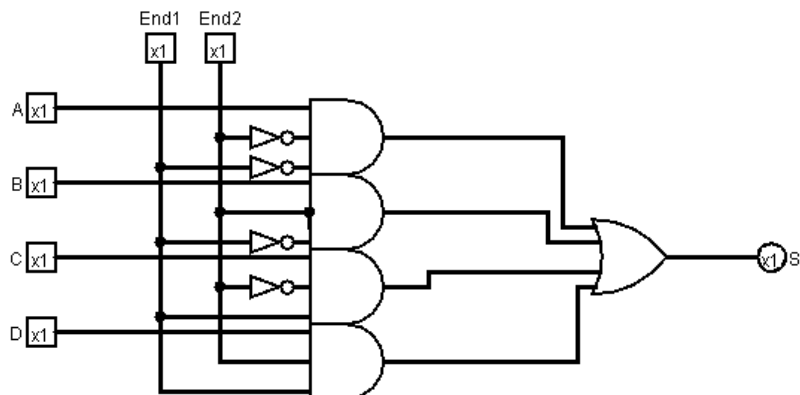


(Figura 12 – Registrador tipo D ($D = 0$))

2.Componente: Multiplexador de 4 entradas:

Um multiplexador de 4 entradas é um seletor capaz de selecionar uma informação entre até outras três que ele recebe, através do endereço passado por ele.

2.1.Circuito de um Multiplexador de 4 entradas:



(Figura 13 – Multiplexador 4x1 de 1 bit)

Nesse circuito, existem 6 entradas, onde as entradas end1 e end2 formam o endereço que seleciona qual dado das entradas entre A, B, C e D passará para a saída S.

A	B	C	D	END1	END2	S
1	0	0	0	0	0	1
0	1	0	0	0	1	1
0	0	1	0	1	0	1
0	0	0	1	1	1	1

(Tabela 1 – Tabela Verdade Multiplexador 4x1 de 1 bit)

Endereços e Saída desse multiplexador:

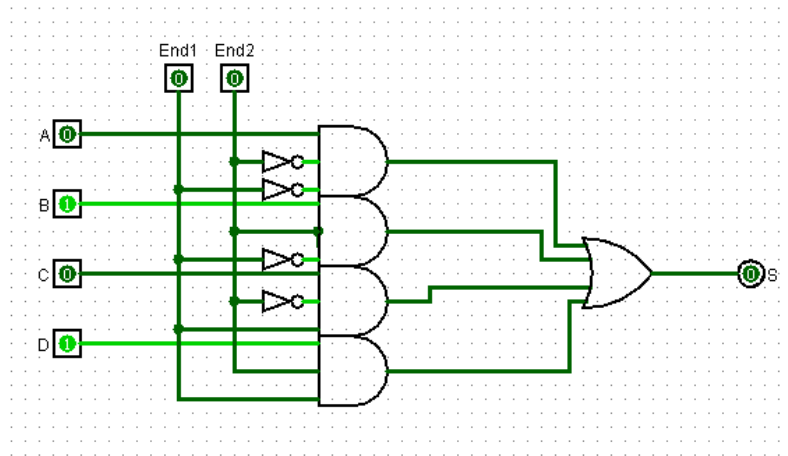
End1 =0 e End2 0, o Dado passado será o presente em A;

End1 =0 e End2 1, o Dado passado será o presente em B;

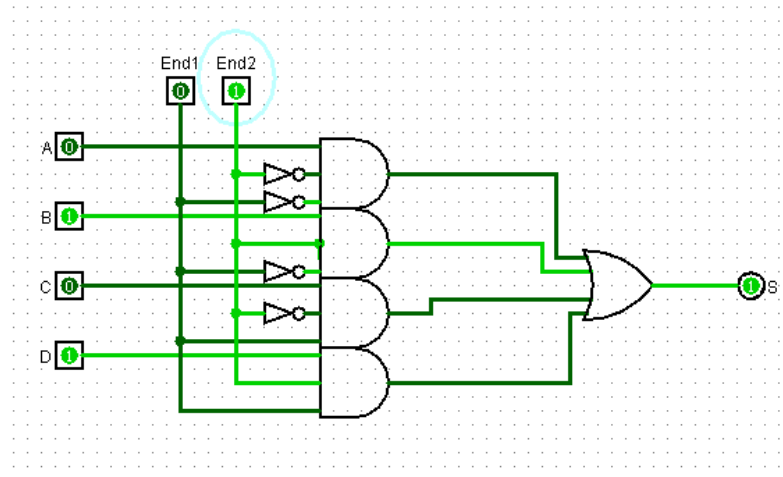
End1 =1 e End2 0, o Dado passado será o presente em C;

End1 =1 e End2 1, o Dado passado será o presente em D;

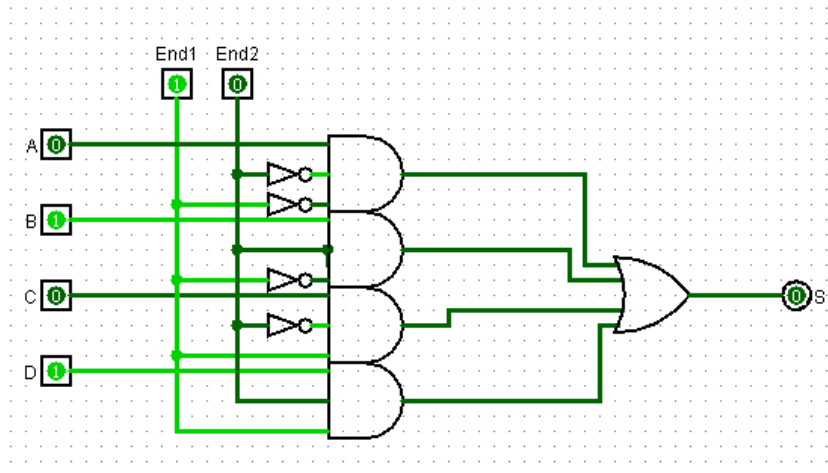
2.2. Testes:



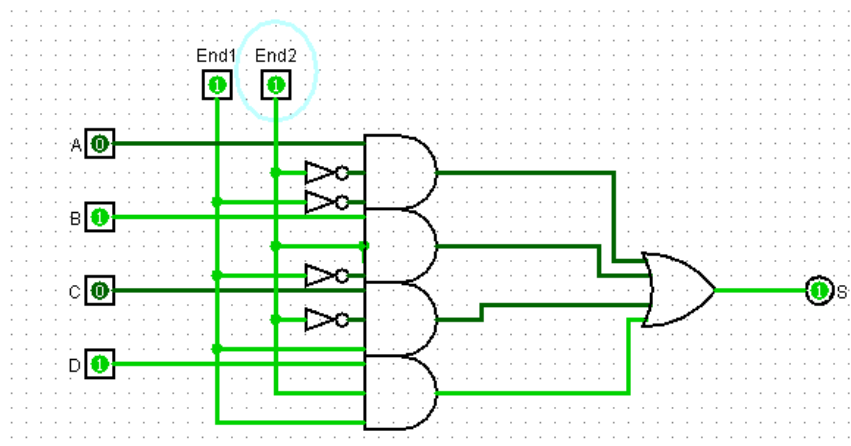
(Figura 14 – Multiplexador 4x1 (00), passa o valor de A)



(Figura 15 – Multiplexador 4x1 (01), passa o valor de B)



(Figura 16 – Multiplexador 4x1 (10), passa o valor de C)



(Figura 17 – Multiplexador 4x1 (11), passa o valor de D)

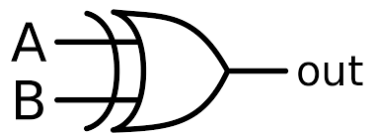
3.Componente: Porta lógica XOR com os componentes: AND, NOT e OR:

3.1.Tabela Verdade de uma Porta XOR:

A	B	S
0	0	0
0	1	1
1	0	1
1	1	0

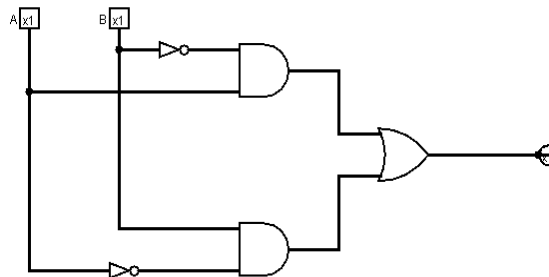
(Tabela 2 – Tabela Verdade XOR)

A porta lógica XOR retorna positivo sempre que os dois valores das entradas são diferentes e negativo sempre que os dois valores forem iguais.



(Figura 18 – Porta lógica XOR)

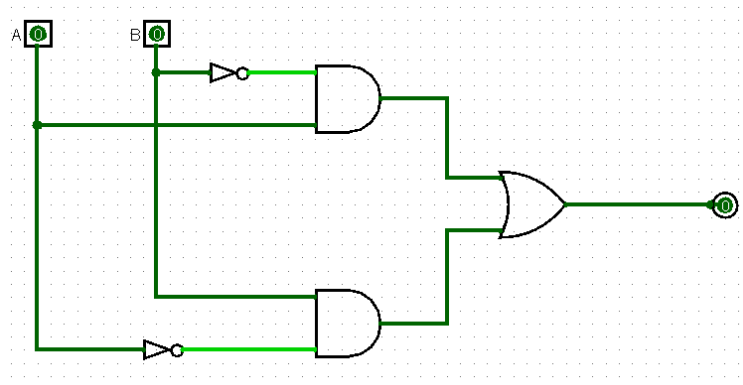
3.2. Circuito de uma Porta XOR usando AND, NOT e OR:



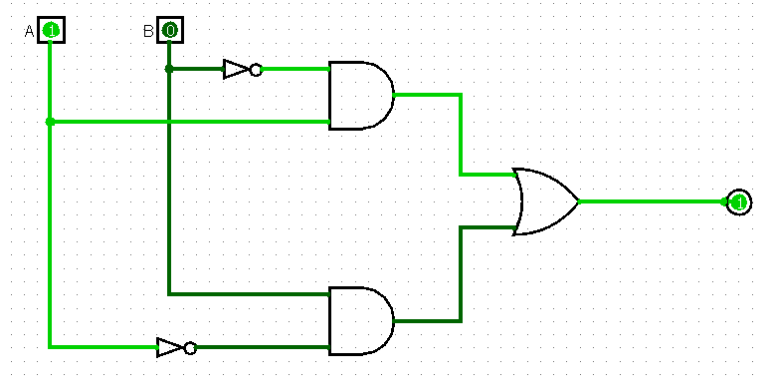
(Figura 19 – Circuito da Porta Lógica XOR)

O Circuito da Porta lógica XOR é composto por 2 entradas e 1 saída, além dos componentes AND, OR e Not presentes nele.

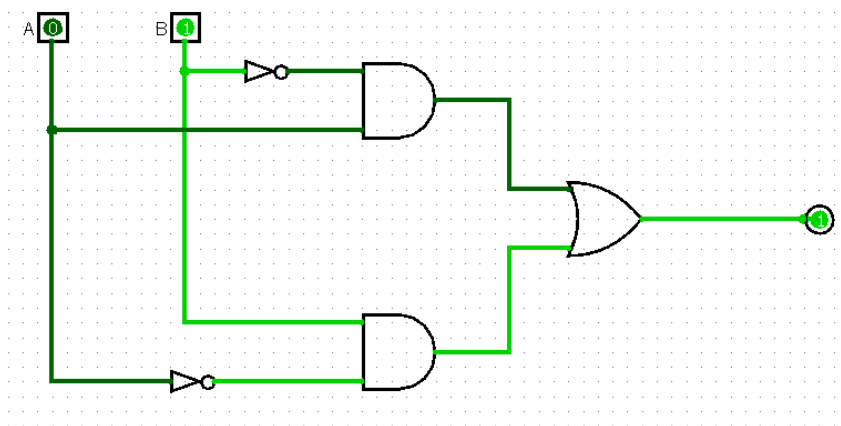
3.3. Testes:



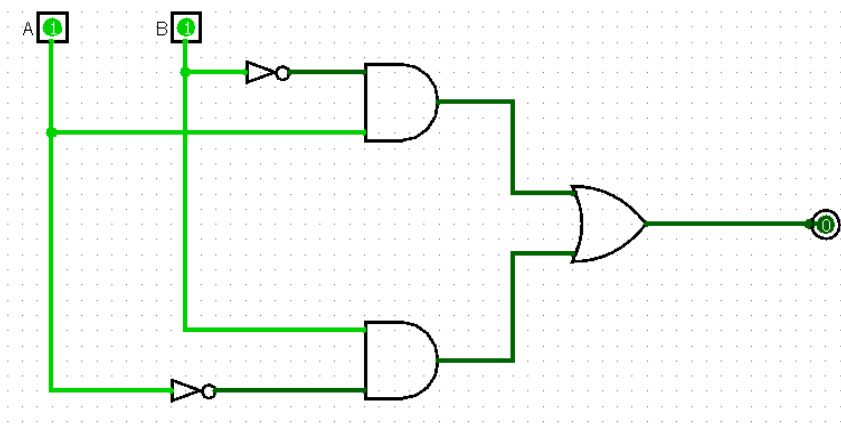
(Figura 20 – XOR (A = 0, B = 0))



(Figura 21 – XOR (A = 1, B = 0))



(Figura 22 – XOR (A = 0, B = 1))

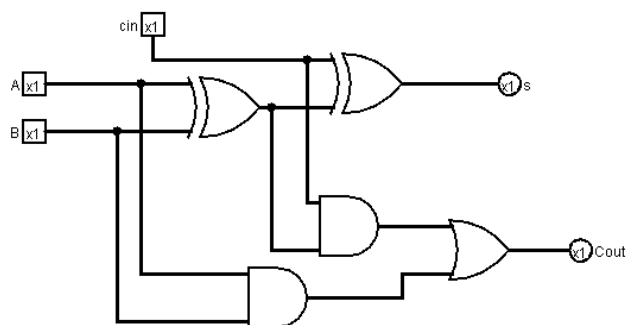


(Figura 23 – XOR (A = 1, B = 1))

4.Componente: Somador de 8 bits que recebe um valor inteiro e soma com o valor 4:

É um componente de Circuito capaz de realizar soma por duas entradas de 1 bit, além de poder receber o valor extra de 1 bit (Cin) para acrescentar ao cálculo e retornar um valor se o somador estourar a quantidade de bits permitida nele, devido a soma (Cout).

4.1. Circuito de um Somador de 1 bit:



(Figura 24 – Somador de 1 bit)

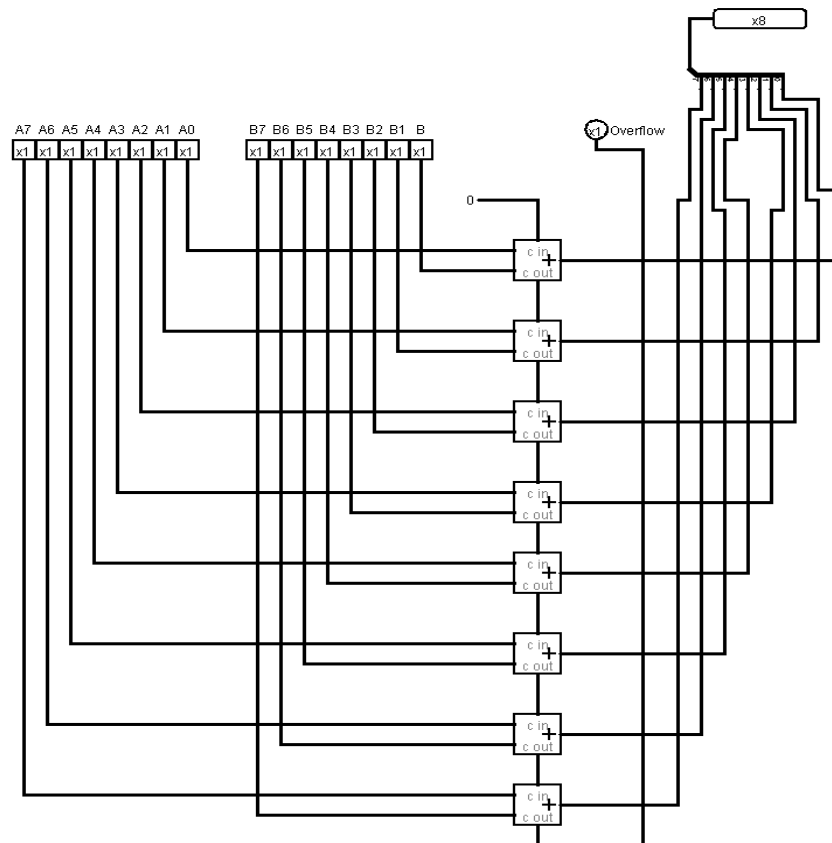
A	B	Cin	S	Cout
1	1	1	1	1
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
0	0	1	1	0
1	1	0	0	1
0	1	1	0	1
1	0	1	0	1

(Tabela 3 – Tabela Verdade Somador 1 bit)

O circuito somador é composto por duas entradas, uma saída e componentes XOR, AND e OR.

4.2. Somador de 8 Bits:

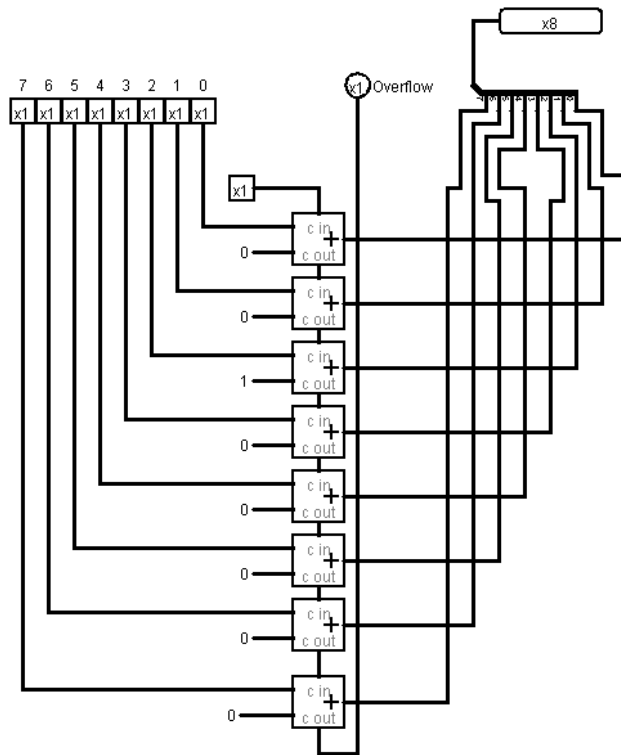
O somador de 8 bits é uma corrente de somadores de 1 bit, onde o valor Cout de um somador estará conectado ao Cin do próximo somador, assim formando uma cadeia de 8 somadores de 1 bit em sequência, que resultará em uma saída de 8 bits se juntas.



(Figura 25 – Circuito Somador 8 bit)

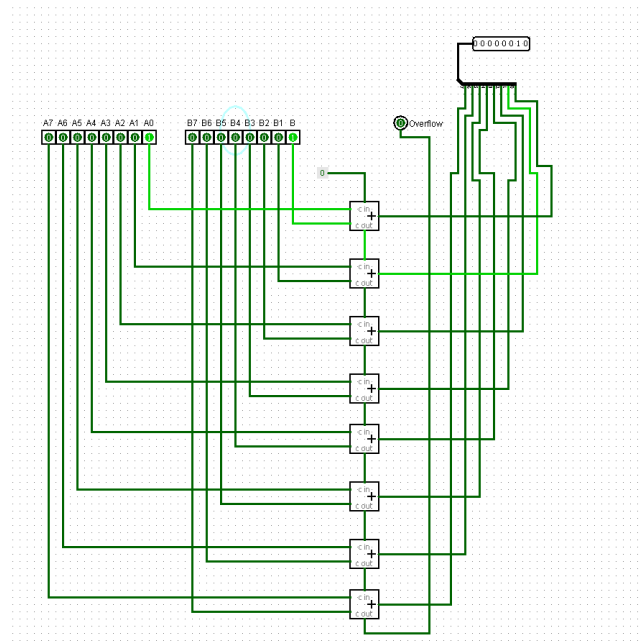
4.3. Somador de 8 Bits com uma entrada de 8 bits + 4:

Esse somador é uma modificação do somador de 8 bits, porém utilizando constantes no segundo valor para ser equivalente ao valor decimal 4(00000100 em binário).

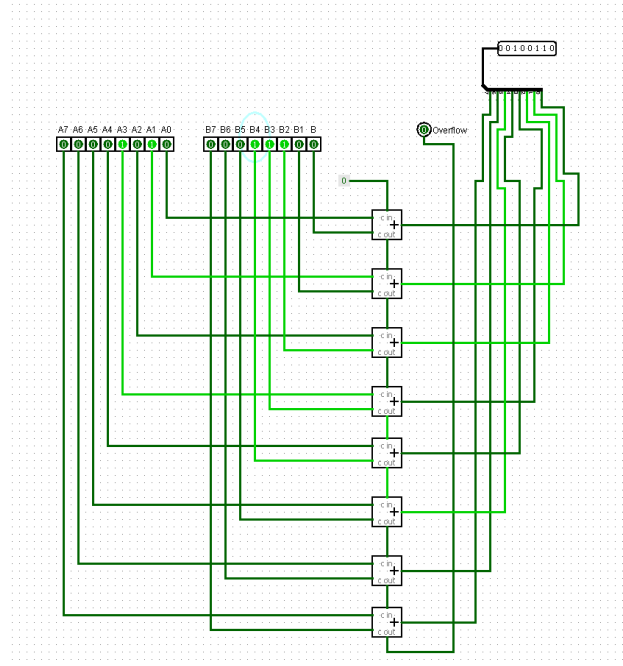


(Figura 26 – Circuito Somador 8 bit + 4)

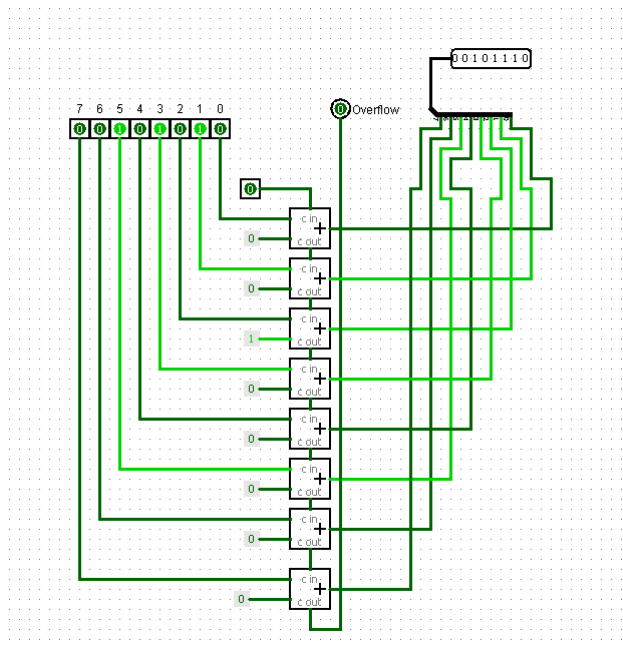
4.4. Testes:



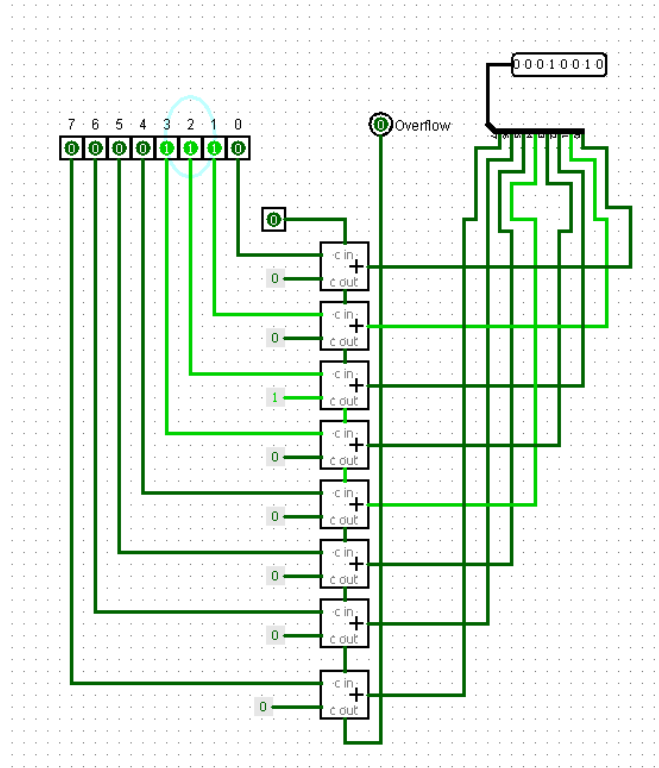
(Figura 27 – Somador (1+1))



(Figura 28 – Somador (28+10))



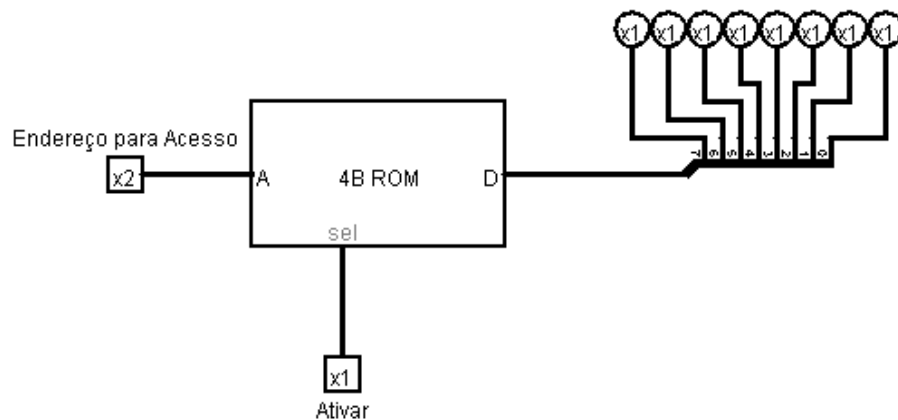
(Figura 29 – Somador +4(+42))



(Figura 30 – Somador +4(+14))

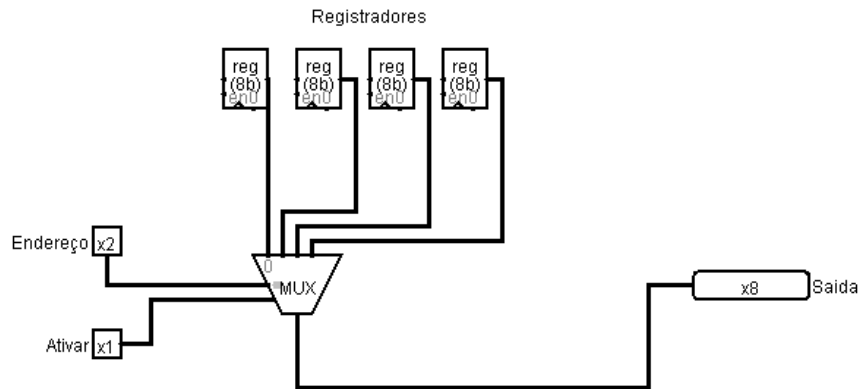
5.Componente: Memória ROM de 8 Bits de Dados e 2 Bits de Endereço:

É um componente de memória somente de leitura, logo, as informações gravadas, são gravadas pelo fabricante e não podem ser alteradas ou apagadas, apenas podem ser acessadas.



(Figura 31 – Componente: Memória ROM)

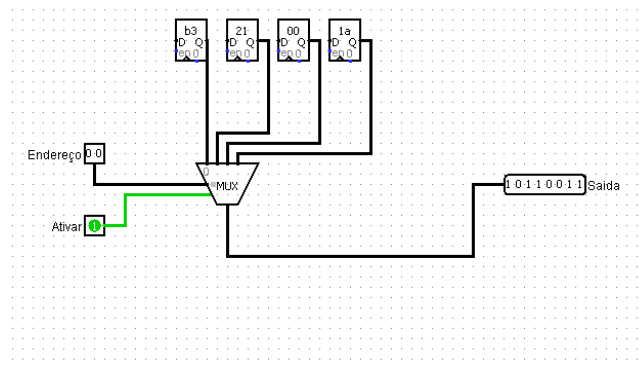
5.1.Circuito de uma memória ROM de 8 Bits de dados e 2 de Endereço:



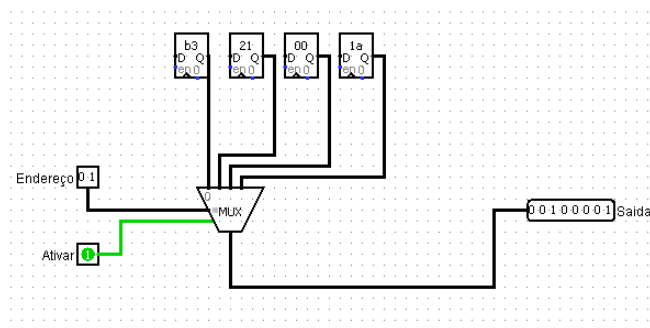
(Figura 32 – Circuito da Memória ROM)

O circuito da memória ROM é composto por ($2^{\text{bits de endereço}}$) registradores, nesse caso como são 2 bits de endereço, 4 registradores, 1 entrada que representa a ativação da memória e 1 entrada de 2 bits para passar o endereço que está ligada a um multiplexador usado para escolher o registrador que vai passar o valor para saída.

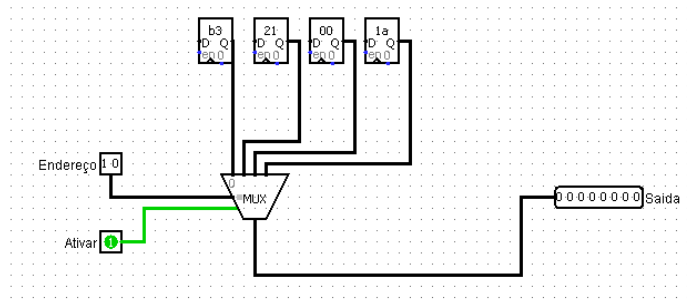
5.2. Testes:



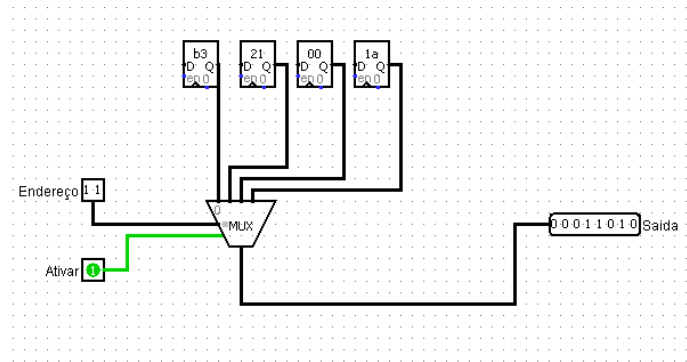
(Figura 33 –Memória ROM (Mostrando valor de (00))



(Figura 34 –Memória ROM (Mostrando valor de (01))



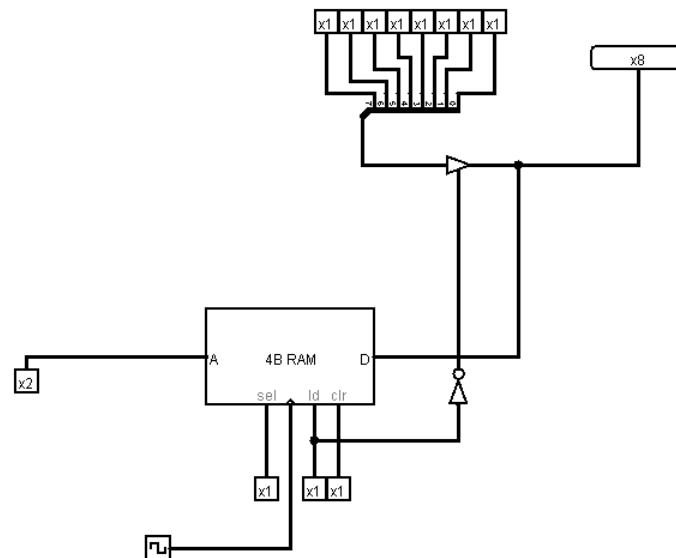
(Figura 35 –Memória ROM (Mostrando valor de (10))



(Figura 36 –Memória ROM (Mostrando valor de (11))

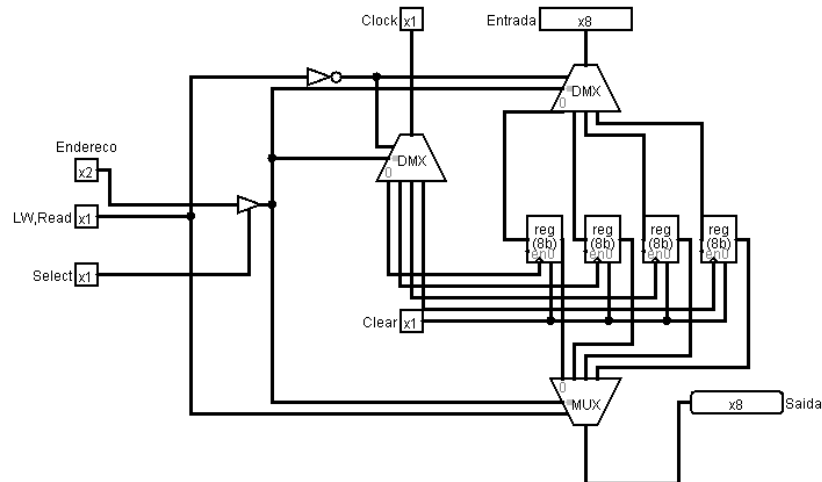
6.Componente: Memória RAM de 8 Bits de Dados e 2 Bits de Endereço:

É um componente de memória de acesso randômico, é uma memória de escrita e leitura, além de ser temporária e de acesso rápido.



(Figura 37 – Componente: Memória RAM)

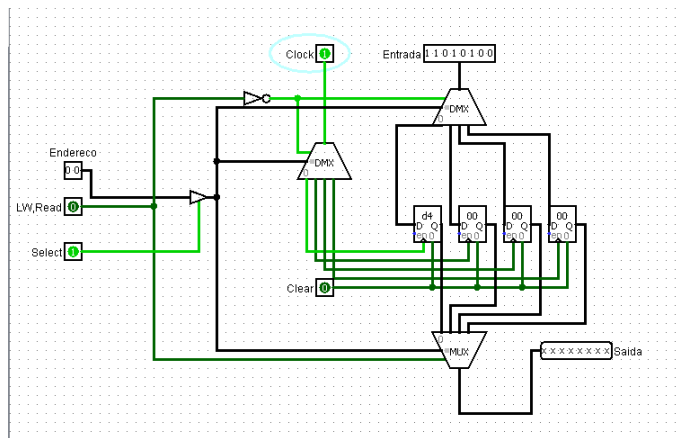
6.1.Circuito da memória RAM de 8 Bits de Dados e 2 Bits de Endereço:



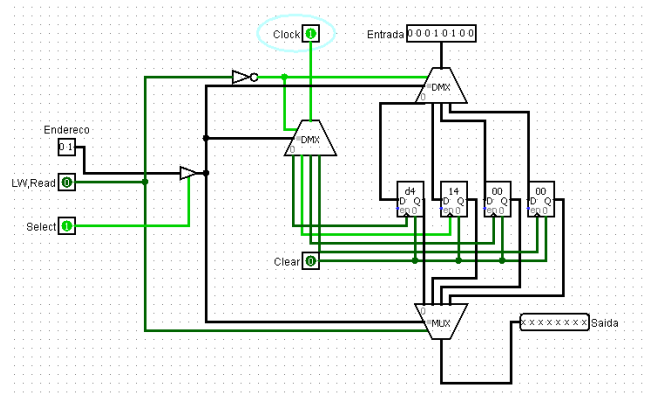
(Figura 38 – Circuito da Memória RAM)

O circuito da memória RAM é composto por uma entrada de endereço, uma entrada que define se valor vai ser lido ou escrito, uma entrada que define se a memória RAM está ativa, uma entrada de dados de 8 bits para ser salva em um registrador, uma saída de 8 bits para leitura, entrada de clock para definir se vai salvar no registrador e o clear que limpa todos os registradores, além dos registradores dependendo da quantidade de bits de endereço.

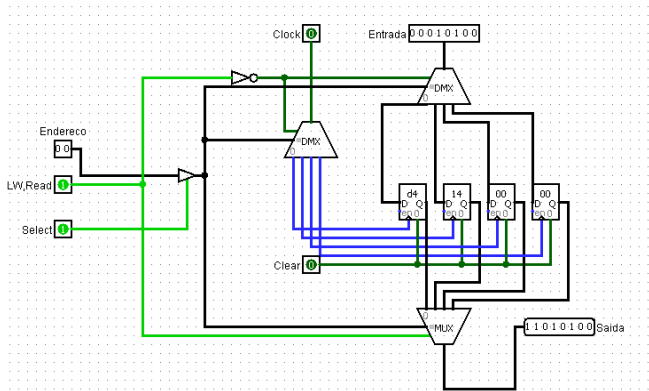
6.2. Testes:



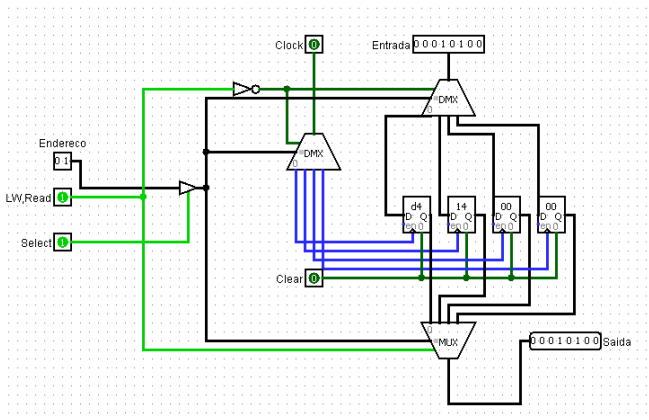
(Figura 39 –Memória RAM (Salvando no Endereço (00))



(Figura 40 –Memória RAM (Salvando no Endereço (01))



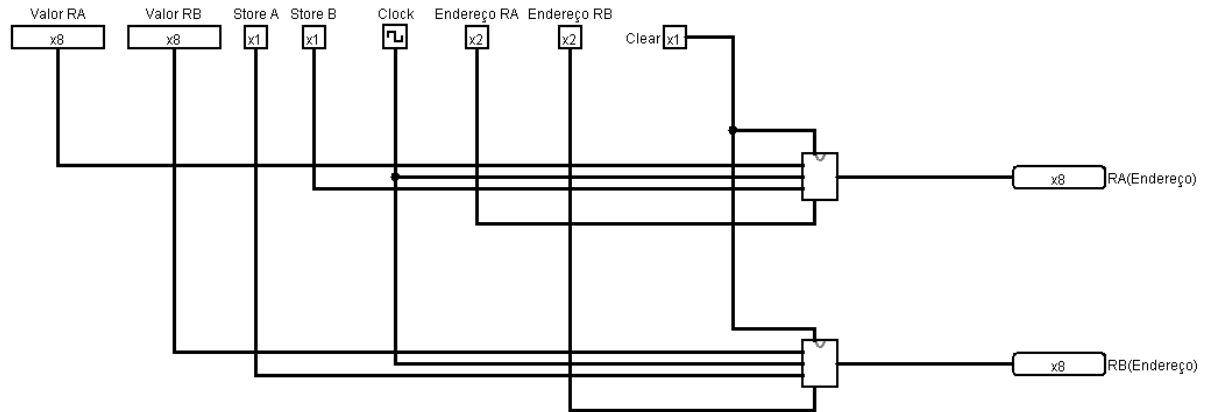
(Figura 41 –Memória RAM (Mostrando valor do Endereço (00))



(Figura 42 –Memória RAM (Mostrando valor do Endereço (01))

7.Componente: Banco de Registradores de 8 Bits de Dados e 2 de Endereço:

Um banco de registradores é um componente que permite ler e salvar dados em espaços de memória de um registrador.



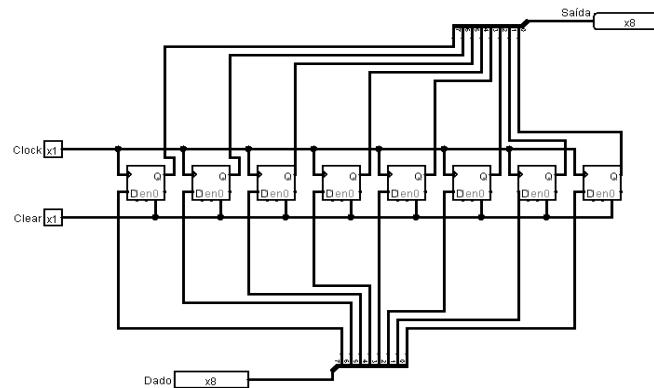
(Figura 43 – Circuito de um Banco de Registradores)

Composto por 2 Registradores com 4 espaços de memória e a estrutura padrão de salvamento e load.

Estrutura padrão de salvamento e load: Dispositivo de entrada, Limpador de dados (Clear), Chamada de Endereço, Clock para alterar os dados do registrador e entrada que diz se o valor do registrador será alterado.

7.1. Espaço de Memória de um registrador 8 bits:

O espaço de memória de um registrador se trata de um registrador de somente 1 espaço de memória.

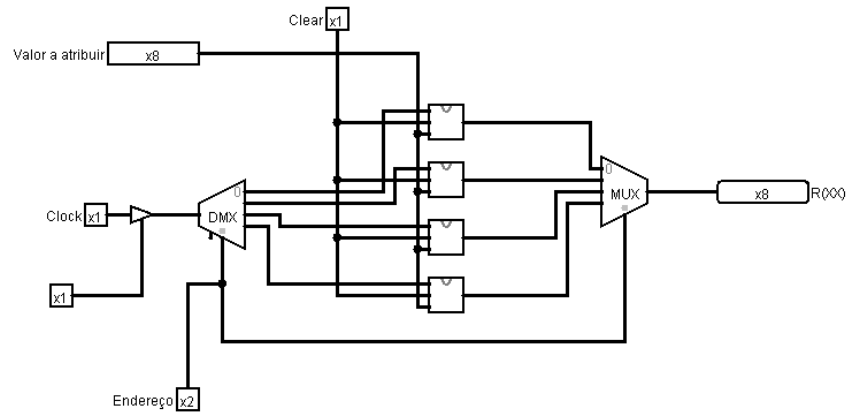


(Figura 44 – Espaço de memória de Registrador de 8 bits)

Composto por 8 Registradores de 1 bit e a estrutura padrão de salvamento e load.

7.2. Registrador com 4 espaços de memória:

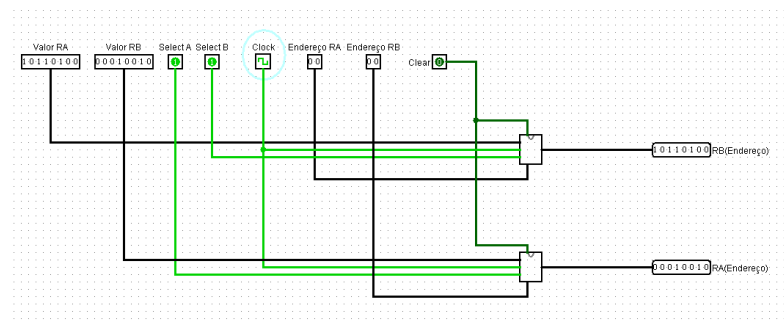
É um endereço de registrador que possui 4 registradores com 1 espaço de memória dentro dele.



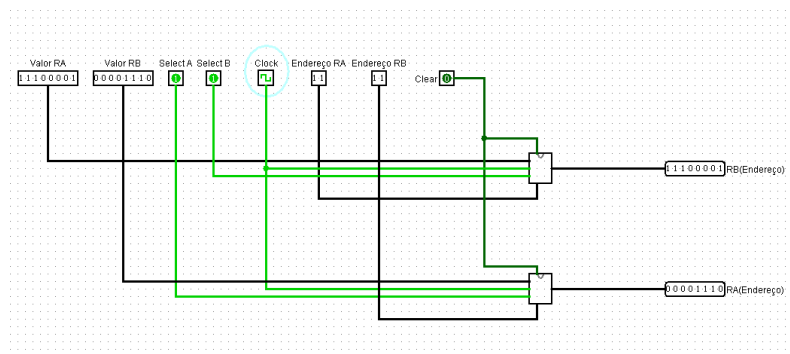
(Figura 45 – Registrador com 4 espaços de memória)

Composto por 4 espaços de memória e a estrutura padrão de salvamento e load.

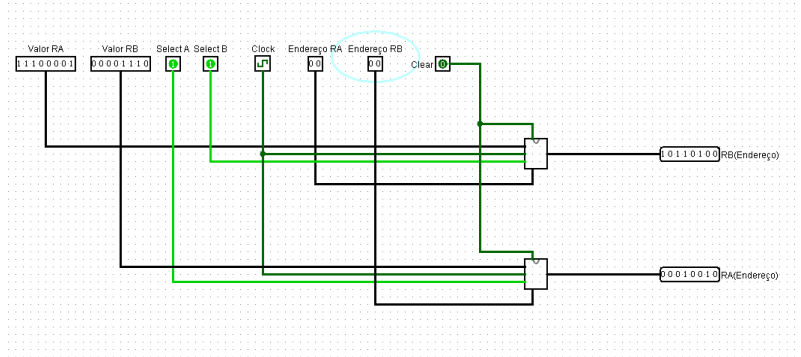
7.3. Testes:



(Figura 46 – Banco de Registradores (Salvando valor em RA(00) e RB(00))



(Figura 47 – Banco de Registradores (Salvando valor em RA(11) e RB(11))



(Figura 48 – Banco de Registradores (Mostrando valores dos RA(00) e RB(00))

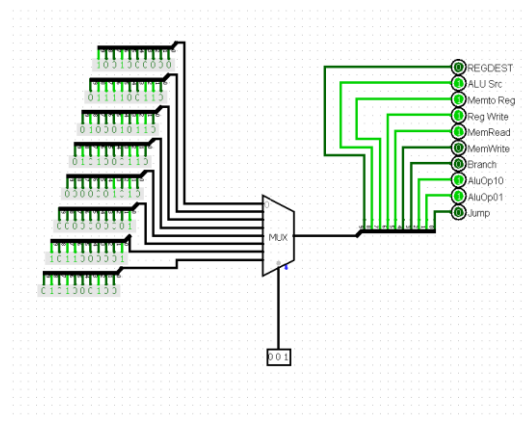
8.Componente: Unidade de controle uniciclo do MIPS de 16 bits.

Unidade de controle é um componente de um processador uniciclo que recebe sinal de equivalente a instrução que será executada e através dessa informação, ativa os componentes que serão utilizados nessa execução.

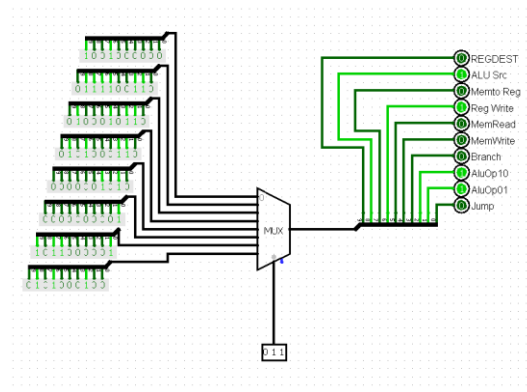
Control signals									
Instruction	Reg Dst	ALU Src	Memto Reg	Reg Write	MemRead	Mem Write	Branch	ALUOp	Jump
R-type	1	0	0	1	0	0	0	00	0
LW	0	1	1	1	1	0	0	11	0
SW	0	1	0	0	0	1	0	11	0
addi	0	1	0	1	0	0	0	11	0
beq	0	0	0	0	0	0	1	01	0
j	0	0	0	0	0	0	0	00	1
jal	2	0	2	1	0	0	0	00	1
slli	0	1	0	1	0	0	0	10	0

(Figura 49 – Tabela de Sinais Unidade de Controle do MIPS 16 bits)

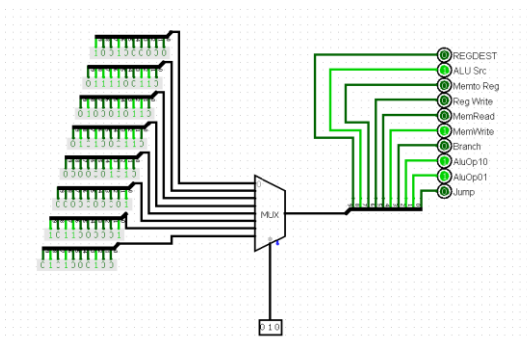
8.1. Circuito da Unidade de Controle:



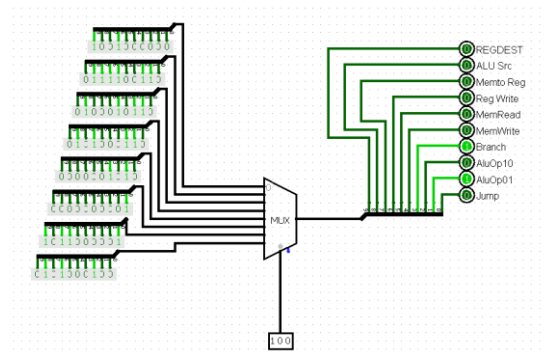
(Figura 52 – Unidade de Controle (LW))



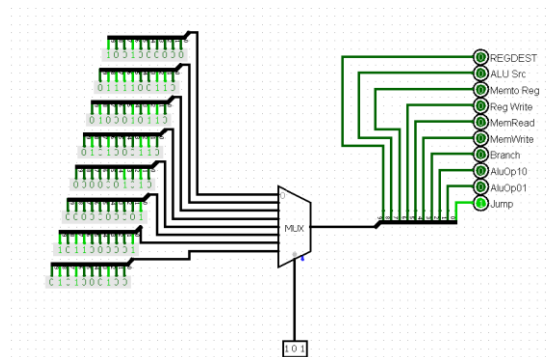
(Figura 53 – Unidade de Controle (SW))



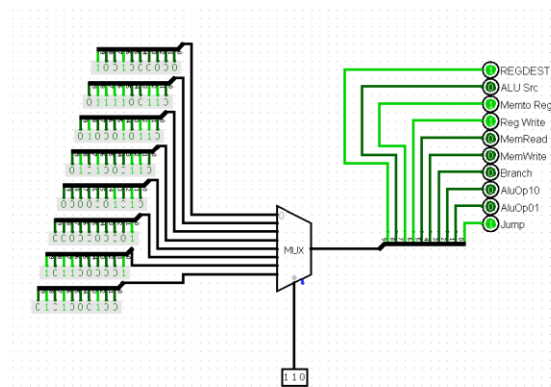
(Figura 54 – Unidade de Controle (addi))



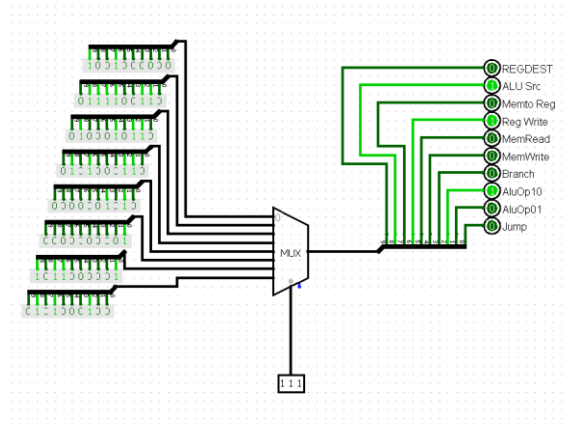
(Figura 55 – Unidade de Controle (beq))



(Figura 56 – Unidade de Controle (j))



(Figura 57 – Unidade de Controle (jal))

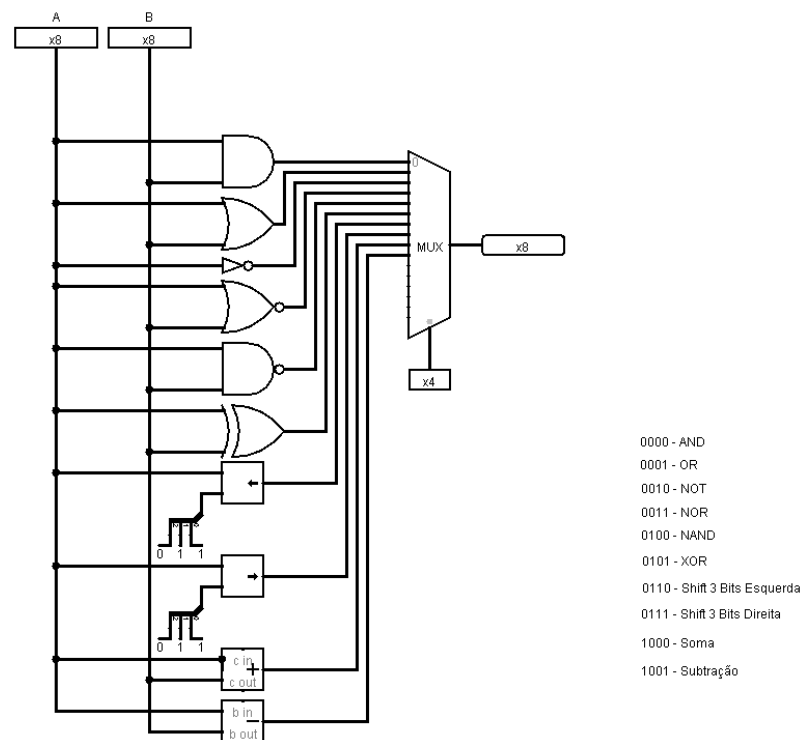


(Figura 58 – Unidade de Controle (slti))

9.Componente: ULA de 8 bits

É um circuito que realiza operações lógicas e aritméticas sobre números representados em circuitos lógicos, possuindo normalmente, dois operandos de entrada, e uma entrada que determina qual operação será utilizada.

9.1. Circuito da ULA:



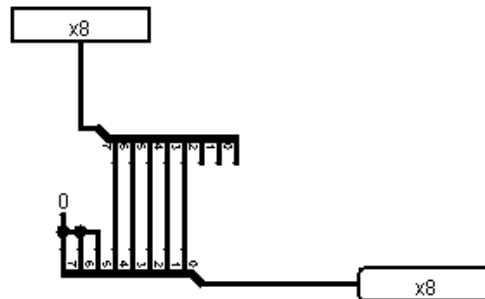
(Figura 59 – Circuito ULA com soma, subtração, shift, xor, nand, nor, not, or e and)

Esse circuito é composto por alguns dos componentes citados anteriormente e 2 que serão citados posteriormente, esse componente funciona com base no endereço passado por ele e dos valores que são atribuídos a A e B, resultando para a saída o resultado da

operação escolhida pelo multiplexador.

9.1.1. Shift 3 bits Direita:

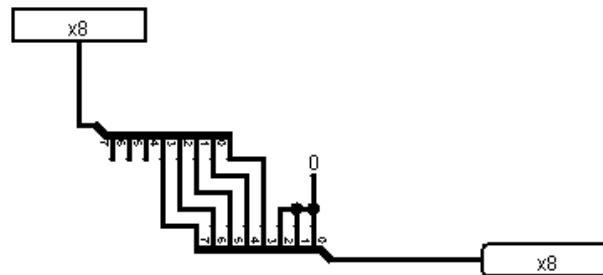
Ele passa os valores anteriores dos bits para o terceiro bit à direita deles, zerando os três valores finais, em relação as casas dos bits (5,6,7).



(Figura 60 – Circuito Shift 3 bits Direita)

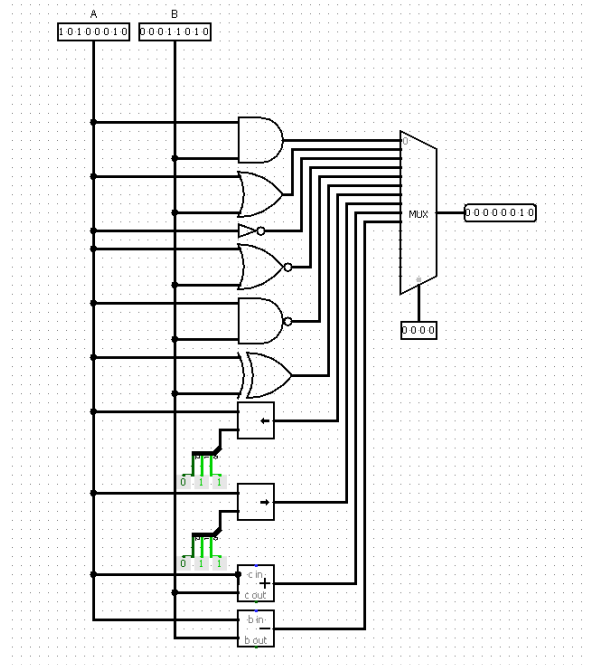
9.1.2. Shift 3 bits Esquerda:

Ele passa os valores anteriores dos bits para o terceiro bit à esquerda deles, zerando os três valores iniciais, em relação as casas dos bits (0,1,2).

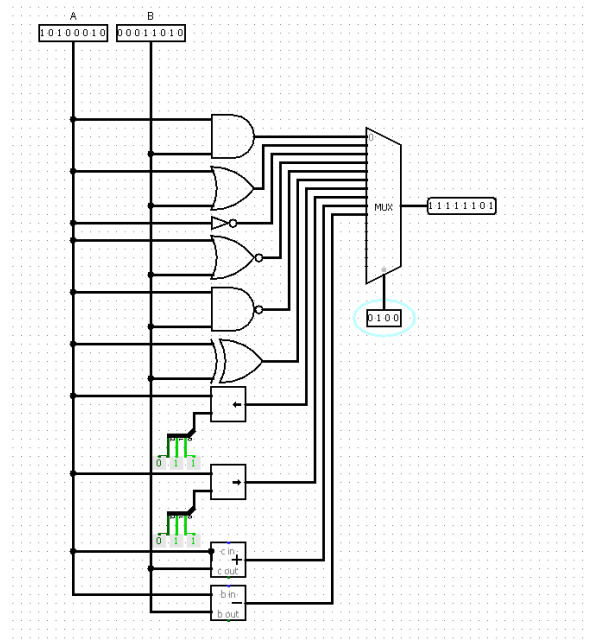


(Figura 61 – Circuito Shift 3 bits Esquerda)

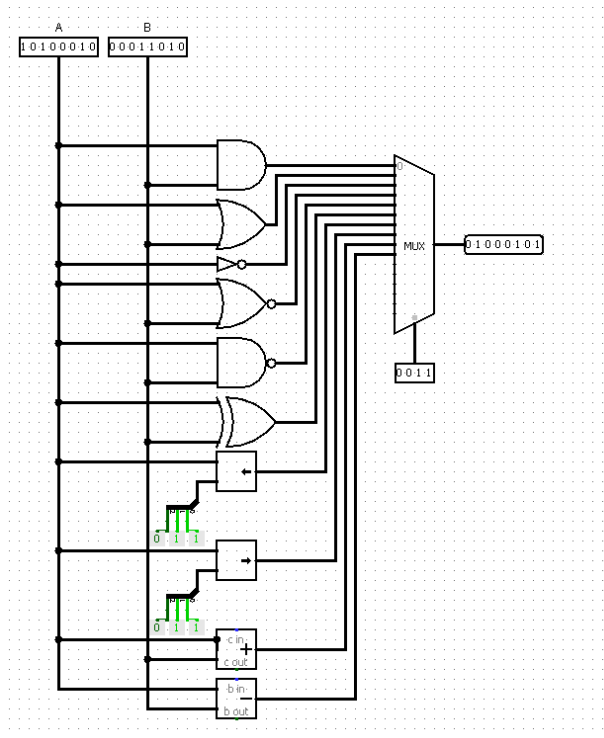
9.2. Testes:



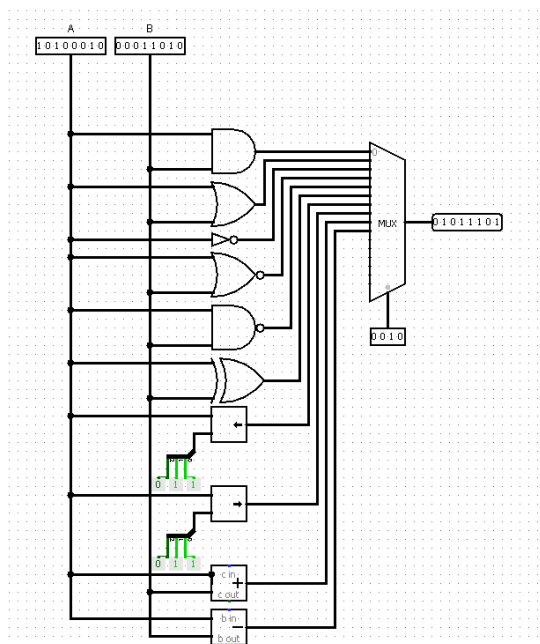
(Figura 62 – ULA (AND))



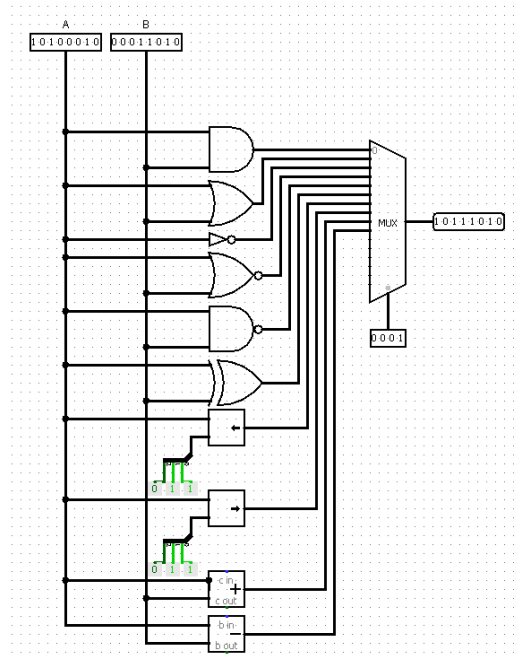
(Figura 63 – ULA (NAND))



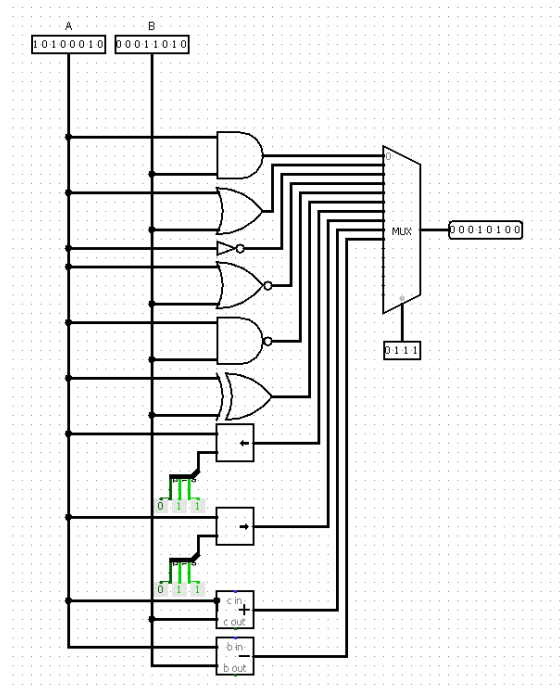
(Figura 64 – ULA (NOR))



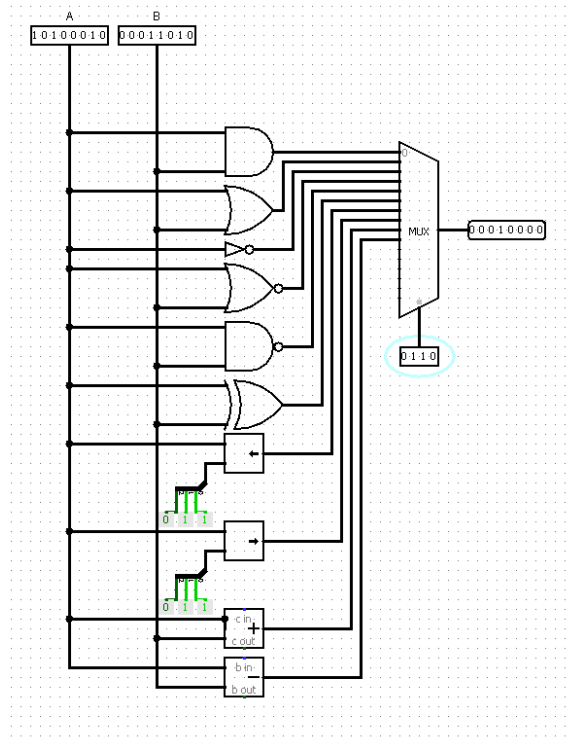
(Figura 65 – ULA (NOT(A)))



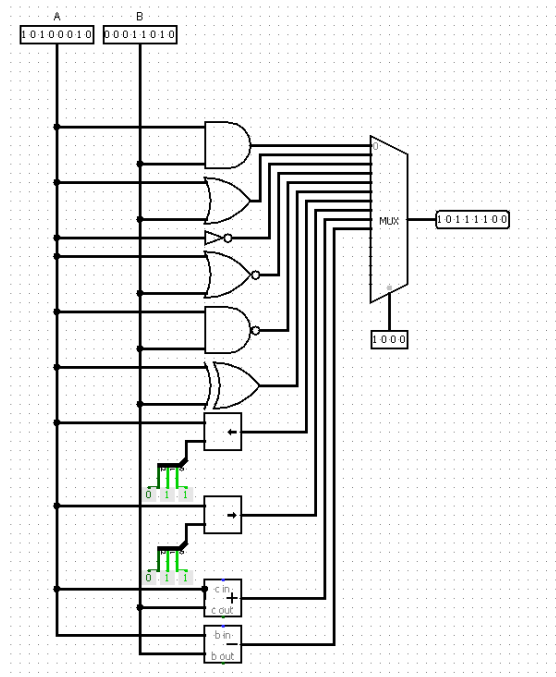
(Figura 66 – ULA (OR))



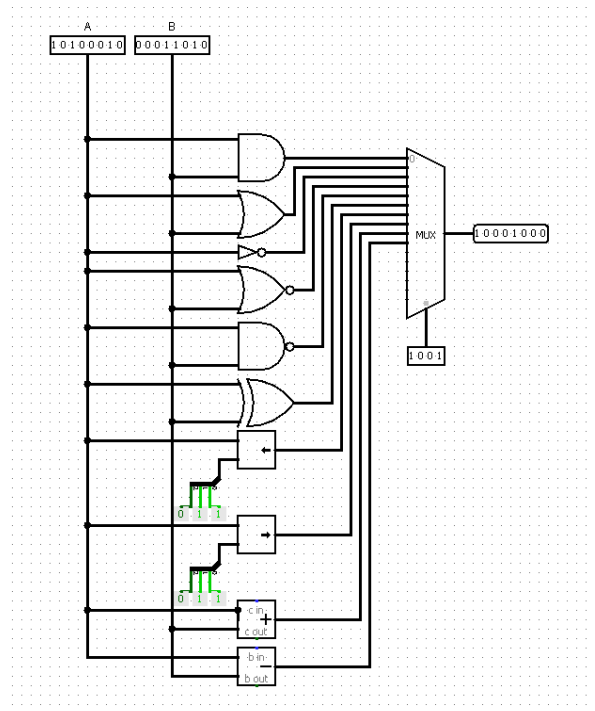
(Figura 67 – ULA (Shift Direita))



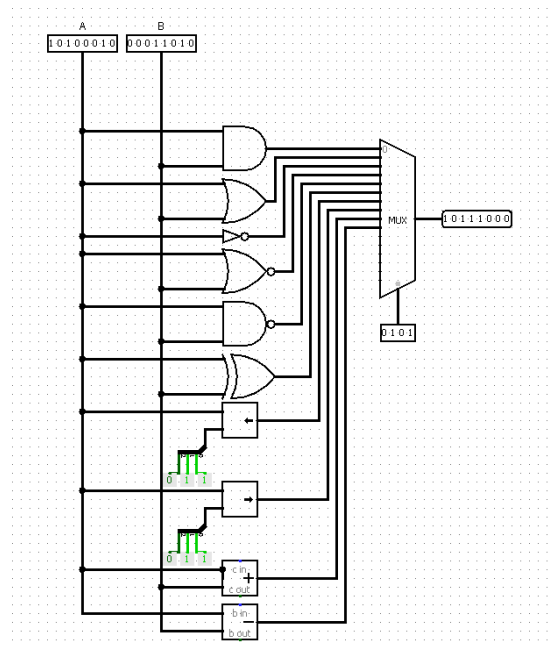
(Figura 68 – ULA (Shift Esquerda))



(Figura 69 – ULA (Soma))



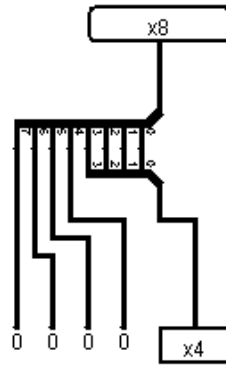
(Figura 70 – ULA (Subtração))



(Figura 71 – ULA (XOR))

10.Componente: Extensor de sinal de 4 para 8 bits:

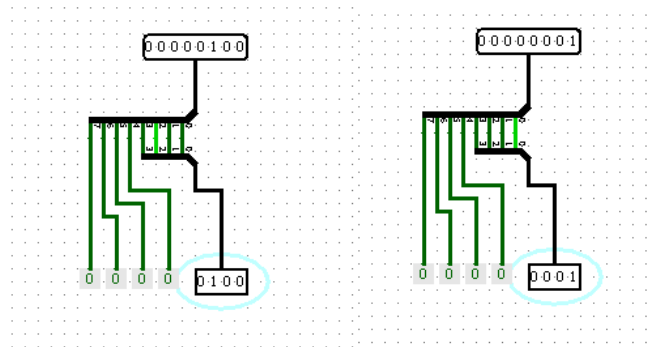
O extensor de sinais pega o sinal passado para ele e aumenta a quantidade de bits para ser compatível com a saída desejada.



(Figura 72 – Circuito do Extensor de Sinal)

Seu circuito é composto por uma entrada de 4 bits e uma saída de 8 bits, constantes 0 usadas para estender o sinal através dos barramentos que estão vazios.

10.1. Testes:

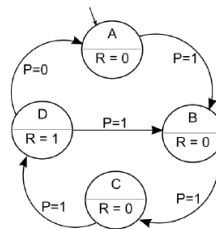


(Figura 73 – Extensor de Sinal com valores diferentes)

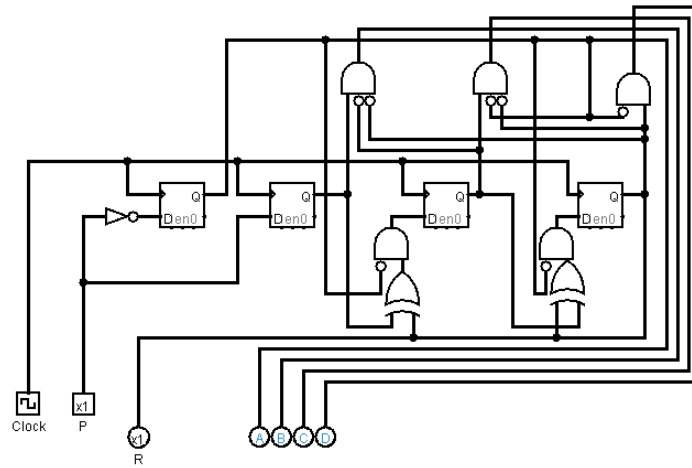
11.Componente: Máquina de Estados:

Uma máquina de estado se fundamenta, como o próprio nome diz, em direcionar o funcionamento de um software em um número finito de estados

11.1. Circuito da Máquina de Estados:



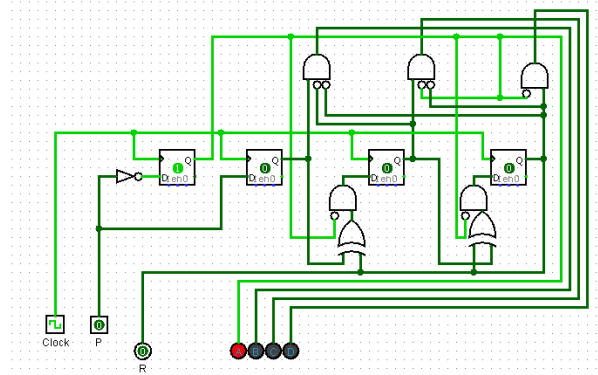
(Figura 74 – Máquina de Estado Representada)



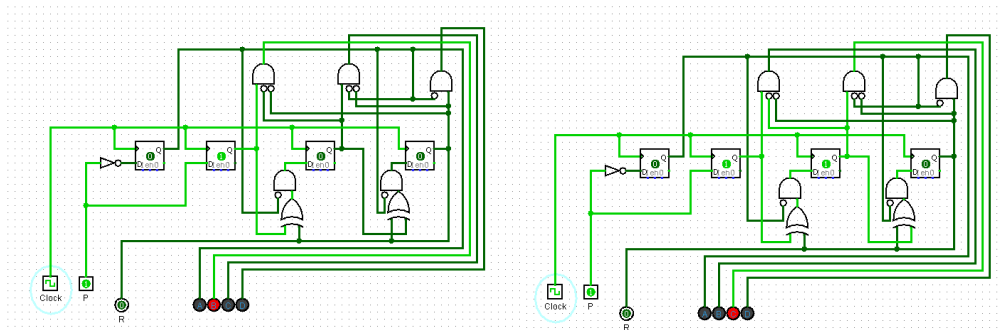
(Figura 75 –Circuito da máquina de Estados da Figura 26)

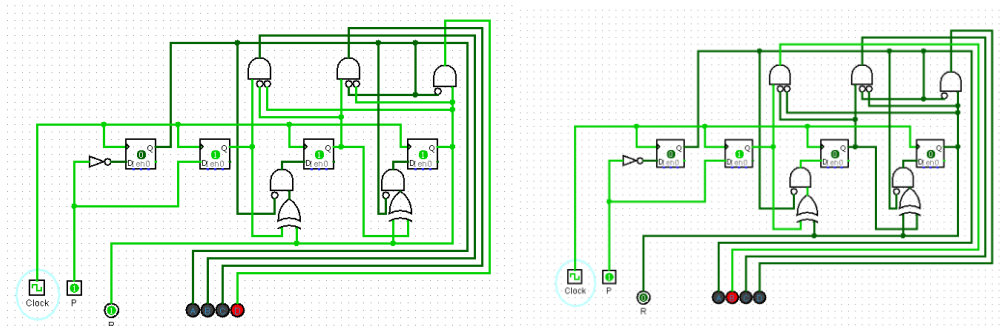
Essa máquina de estados foi criada para representar a simulação da Figura 26, é composta por flip-flops tipo JK, pela entrada P, 5 Saídas e a entrada de clock.

11.2. Testes:



(Figura 76 – Máquina de Estado com P=0 ativando clock)



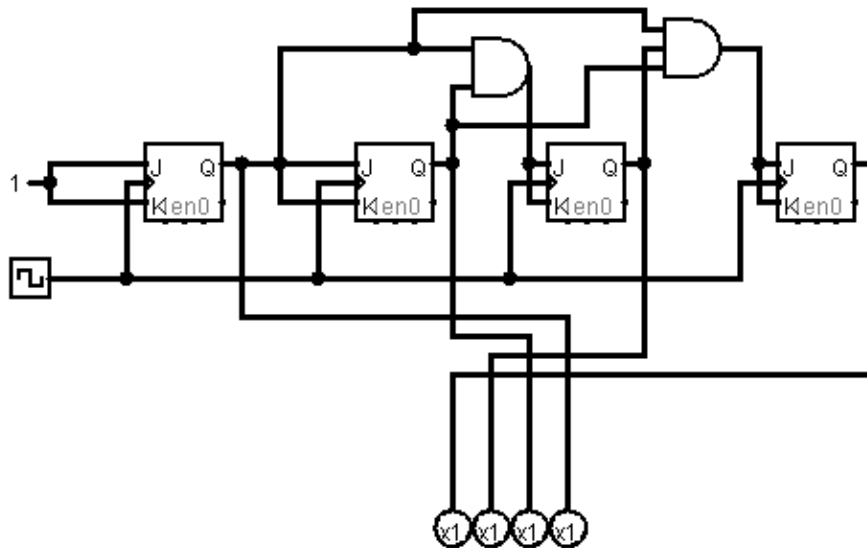


(Figura 77 – Máquina de Estado com P=1ativando clock, em estágios diferentes)

12.Componente: Contador Síncrono:

Contador síncrono é um circuito digital formado por flip-flops em paralelos, tal que todas as entradas clocks estejam conectados na mesma fonte de clock.

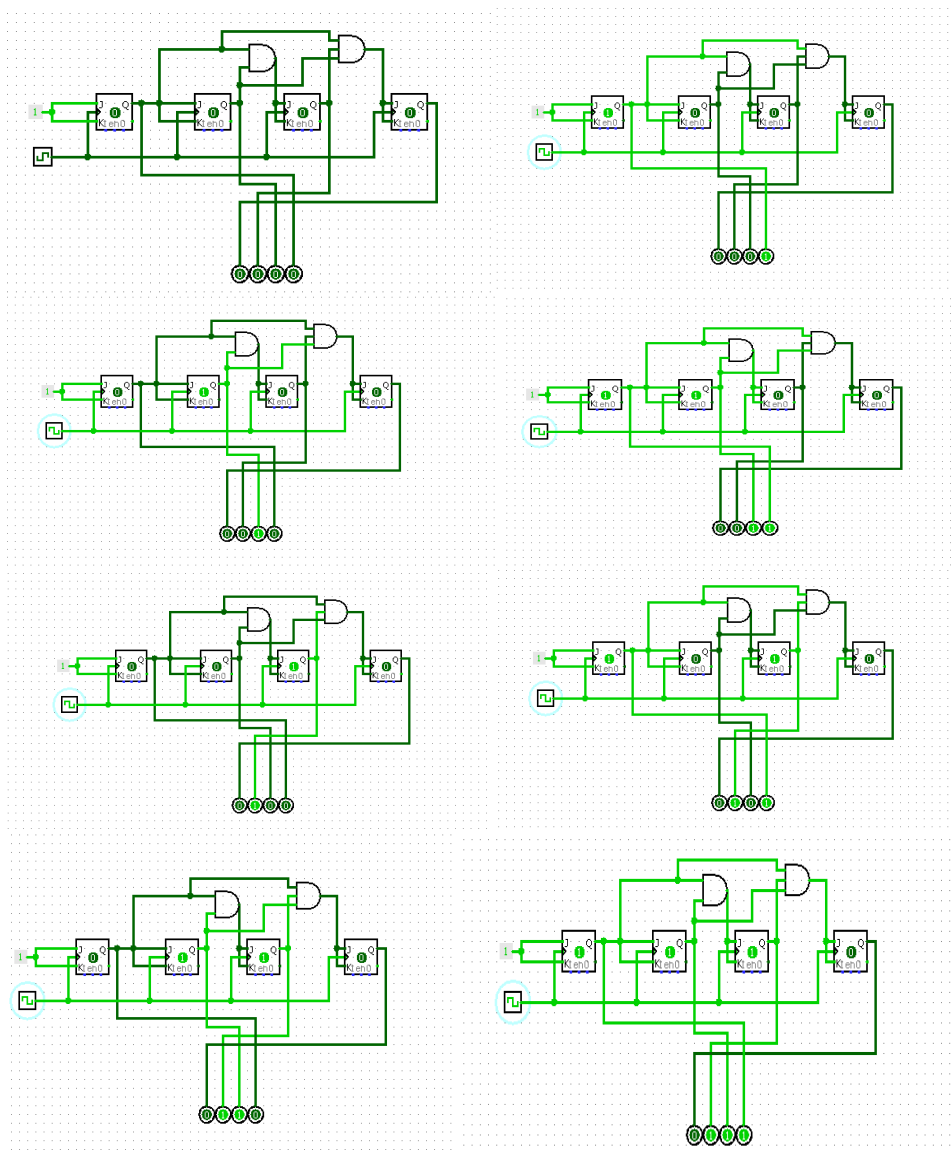
12.1. Circuito contador síncrono:



(Figura 78 – Circuito Contador Síncrono)

Formado por uma sequência de 4 Flip-Flops tipo JK, utilizando as entradas $J = 1$ e $K = 1$ e $J = 0$ e $k = 0$, visando fazer uma contagem já que $J = 1$ e $K = 1$, retorna o valor de Q diferente do anterior e, $J = 0$ e $K = 0$, retorna o valor de Q igual ao anterior.

12.2. Testes:



(Figura 79 – Contado em estágios diferentes)