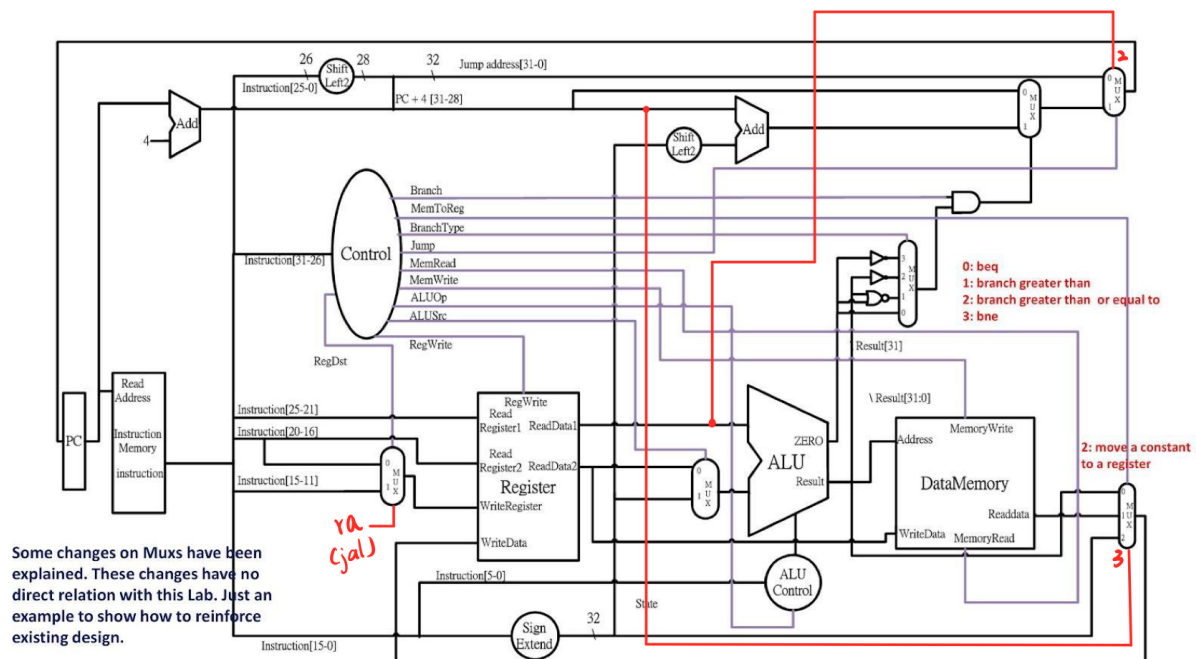


# Computer Organization Lab3

Name: 郭昀 ID: 109550018

## Architecture diagrams:

我實作的 Architecture diagram 是從 Spec 中修改來的, 我多拉了下圖中紅色的兩條線, 以及左下角 MUX 的 RT 當作 MUX 的 input, 這樣在實做 jal / jr 會比較方便。

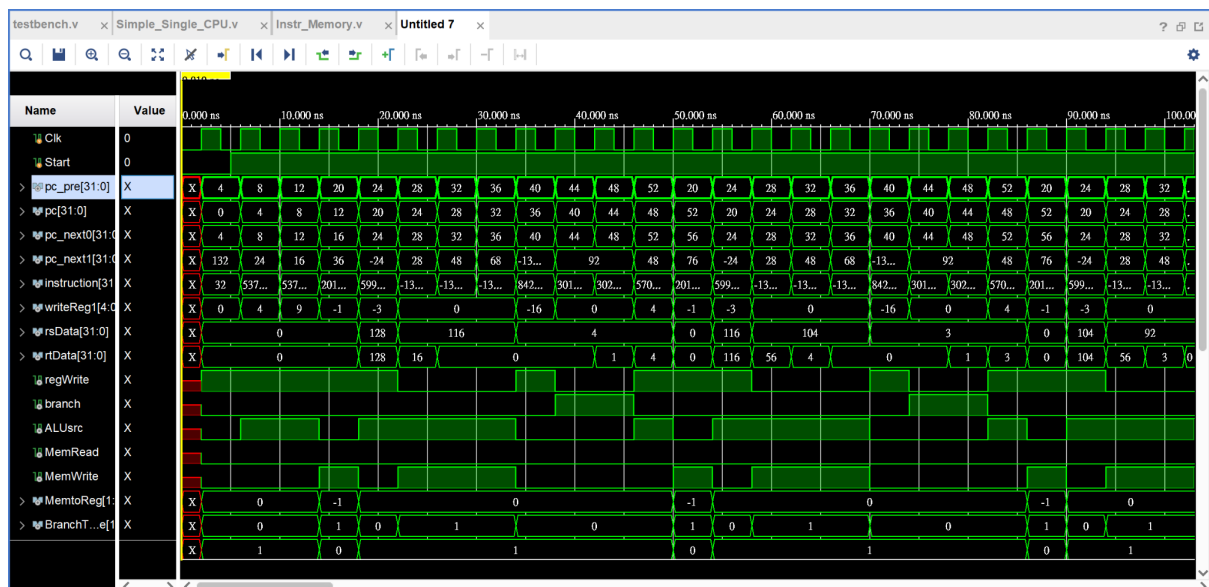
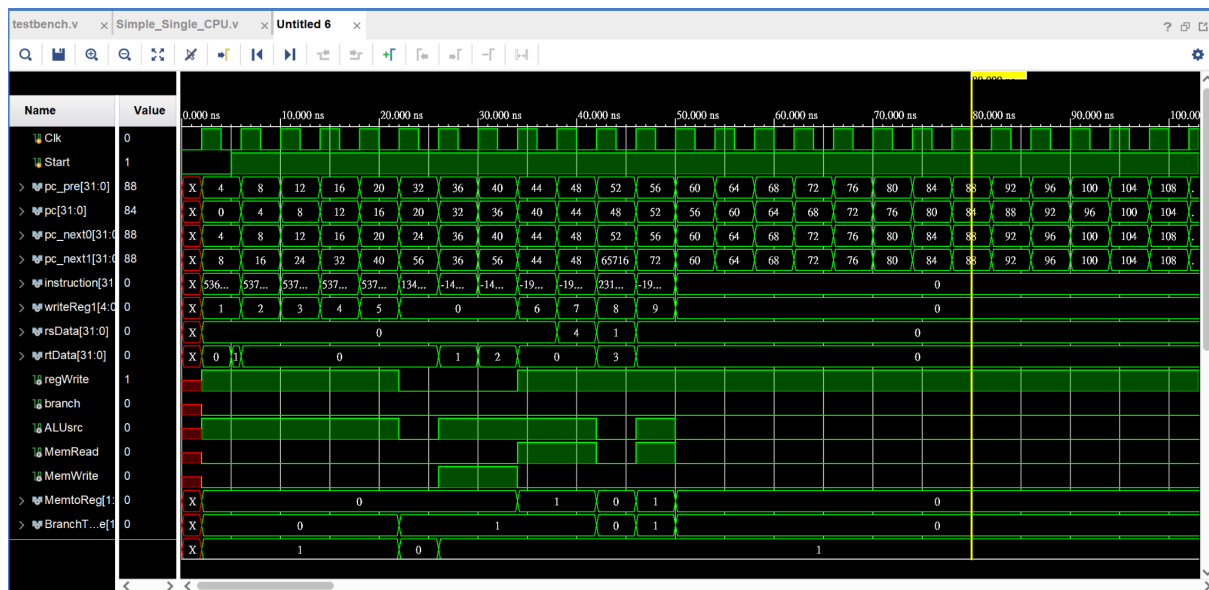


## Hardware module analysis:

我這次實做主要都還是看著 Spec 中的圖做, 然後有另外新增一些線路。然後因為這次的 Decoder 裡面有比較多的輸出, 因此我是用 { } 把這些訊號合併起來再一次給值, 這樣程式碼看起來不會那麼長也比較美觀 ( 但很難 Debug )。

## Finished part:

```
PC = 128
Data Memory = 1, 2, 0, 0, 0, 0, 0, 0
Data Memory = 0, 0, 0, 0, 0, 0, 0, 0
Data Memory = 0, 0, 0, 0, 0, 0, 0, 0
Data Memory = 0, 0, 0, 0, 0, 0, 0, 0
Registers
R0 = 0, R1 = 1, R2 = 2, R3 = 3, R4 = 4, R5 = 5, R6 = 1, R7 = 2
R8 = 4, R9 = 2, R10 = 0, R11 = 0, R12 = 0, R13 = 0, R14 = 0, R15 = 0
R16 = 0, R17 = 0, R18 = 0, R19 = 0, R20 = 0, R21 = 0, R22 = 0, R23 = 0
R24 = 0, R25 = 0, R26 = 0, R27 = 0, R28 = 0, R29 = 128, R30 = 0, R31 = 0
```



我的 Test1 跟 Test2 跑出來的結果和我推導出來的結果是一樣的，所以我覺得我的應該沒有做錯東西。

## Problems you met and solutions:

一開始我的波形圖什麼都沒有，但我的 console 跑出來的結果我覺得是對的，後來在討論區問了才知道原來要把 Simple\_Single\_CPU 的訊號加進去 testbench.v, 才會顯示出來。

## Summary:

這次要實做的指令比之前更多了，線路也更複雜，所以一定要先很清楚每一個指令下的每一個訊號值應該要是多少，這樣才不會在 debug 的時候要找很久，而做完這次的 Lab 真的就會非常清楚。