

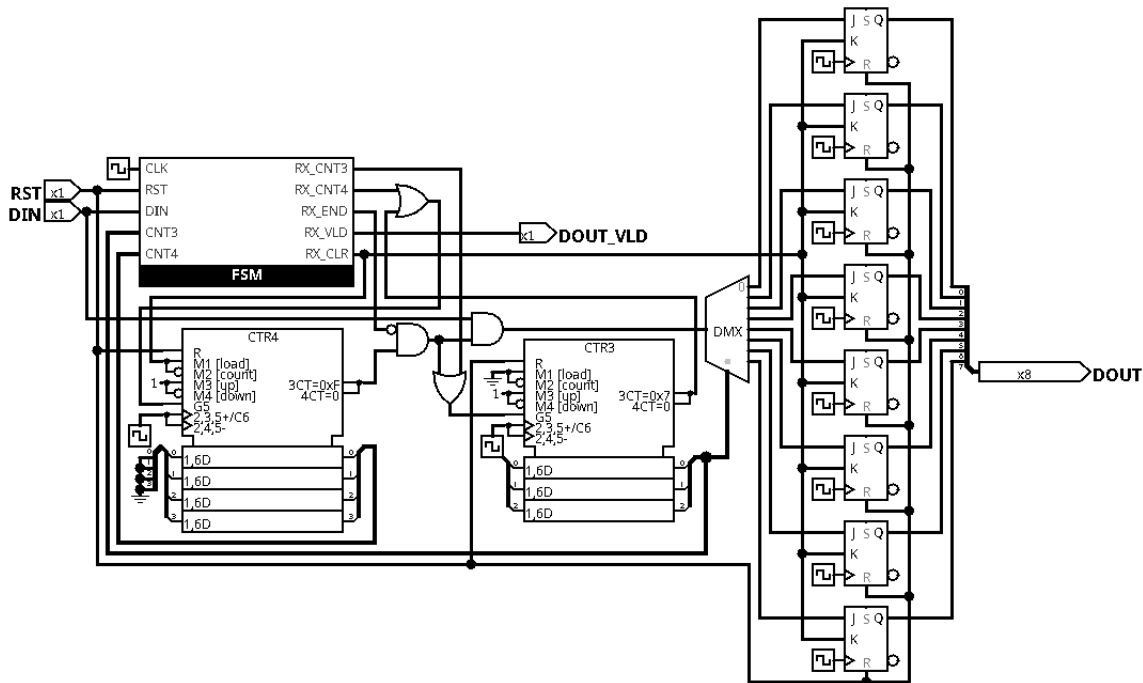
Výstupní zpráva

Martin Slezák
xsleza26

22. dubna 2023

1 Architektura navrženého obvodu

1.1 Schéma obvodu



1.2 Popis obvodu

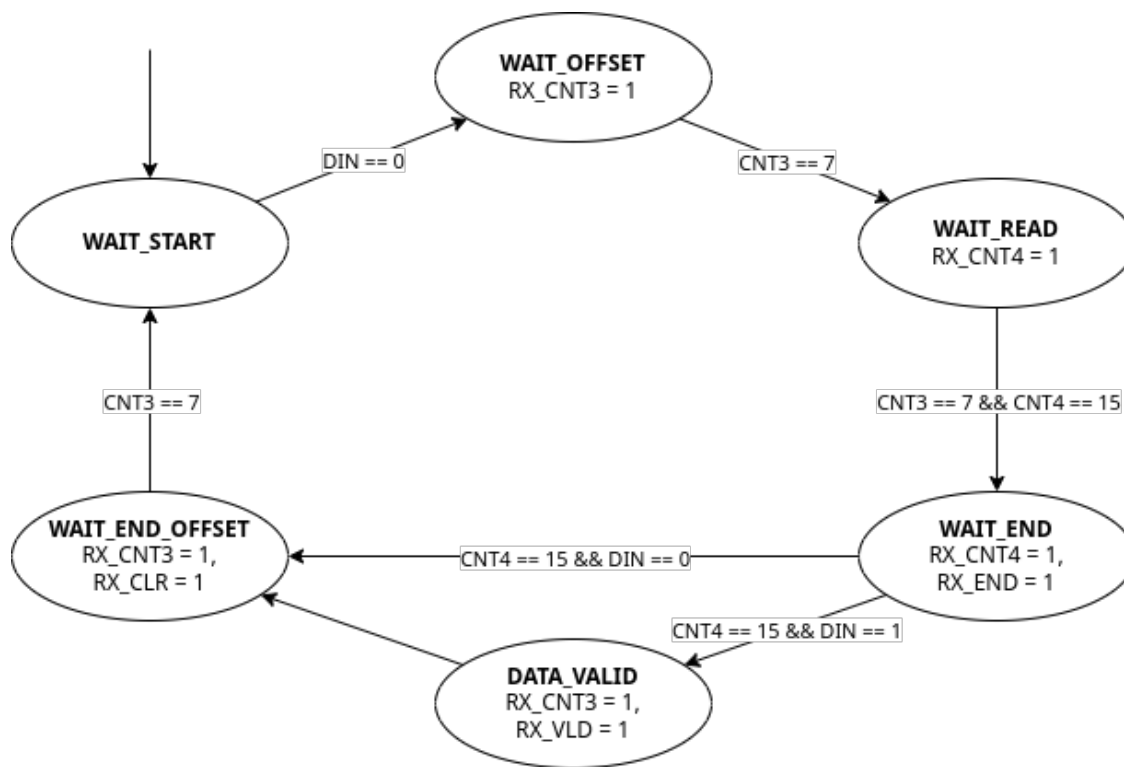
- Počítadlo CTR3 slouží pro offset 8 ticků a pro výpis na jednotlivé bity
 - Jakmile je výstup FSM RX_CNT3 v logické jedničce, počítadlo počítá
 - Při hodnotě 15 na počítadlu CTR4 se přičte jedna
- Počítadlo CTR4 slouží pro čekání 16 ticků
 - Jakmile je výstup FSM RX_CNT4 v logické jedničce, počítadlo počítá
 - Při hodnotě 7 na počítadlu CTR3 se přičte jedna
- Demultiplexor slouží pro výpis hodnoty DIN na daný bit výstupu DOUT
 - Vstup je hodnota DIN, v případě nastavení výstupu FSM RX_END je vstup logická nula
 - Vstup Select je výstup počítadla CTR3, které určuje, na který bit se zapisuje
- Hodnoty výstupu se uchovávají pomocí JK klopného obvodu
- Výstup FSM RX_VLD určuje platnost výstupu
- Výstup FSM RX_CLR vynuluje JK klopné obvody a počítadlo CTR4

2 Návrh automatu

2.1 Schéma automatu

2.1.1 Legenda:

- **Stavy automatu:** WAIT_START, WAIT_OFFSET, WAIT_READ, WAIT_END, DATA_VALID, WAIT_END_OFFSET
- **Vstupní signály:** CLK, RST, DIN, CNT3, CNT4
- **Mealyho výstupy:** žádné
- **Moorovy výstupy:** RX_CNT3, RX_CNT4, RX_END, RX_VLD, RX_CLR



2.2 Popis automatu:

- Vstupní stav je WAIT_START, který čeká, než na vstupu DIN bude logická nula
- WAIT_OFFSET odpočítá 8 ticků offset pro čtení
- WAIT_READ přečte 8 bitů ze vstupu každých 16 ticků
- WAIT_END počká 16 ticků, aby byl uprostřed stop bitu
- Jestli je nalezen stop bit (logická jednička), nastane stav DATA_VALID, v opačném případě bude nastaven stav WAIT_END_OFFSET
- V případě stavu DATA_VALID se po jednom ticku přepne na stav WAIT_END_OFFSET
- WAIT_END_OFFSET čeká 8 ticků, aby dočetl celý stop bit

3 Snímek obrazovky se simulací

