

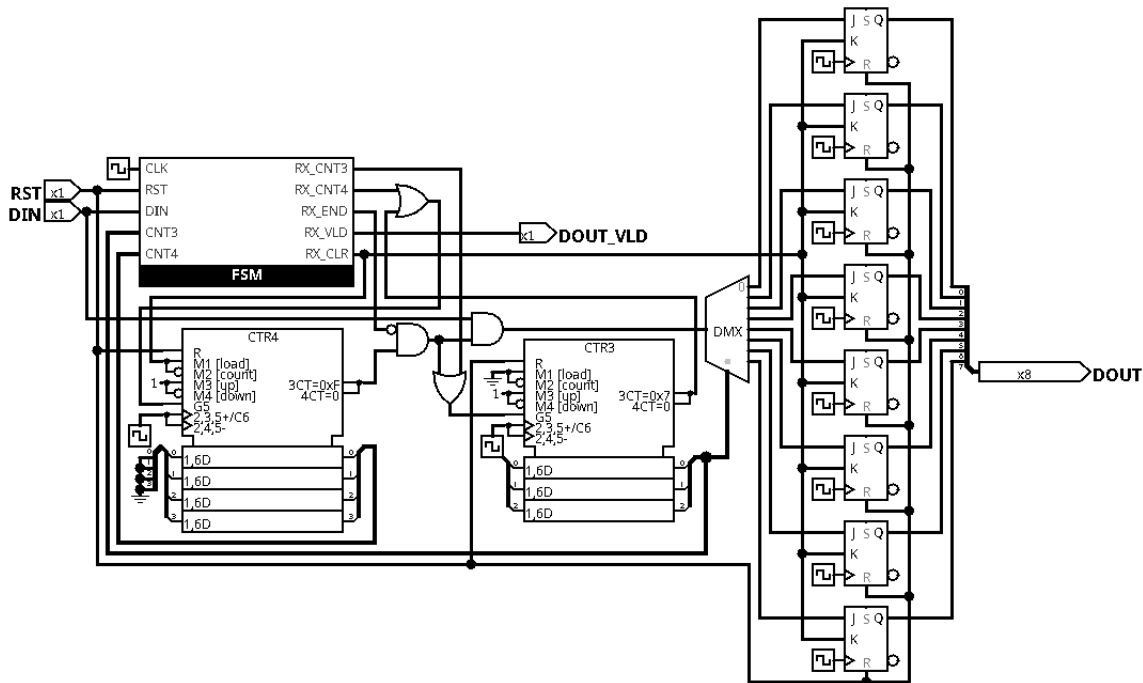
# Výstupní zpráva

Martin Slezák  
xsleza26

23. dubna 2023

## 1 Architektura navrženého obvodu

### 1.1 Schéma obvodu



### 1.2 Popis obvodu

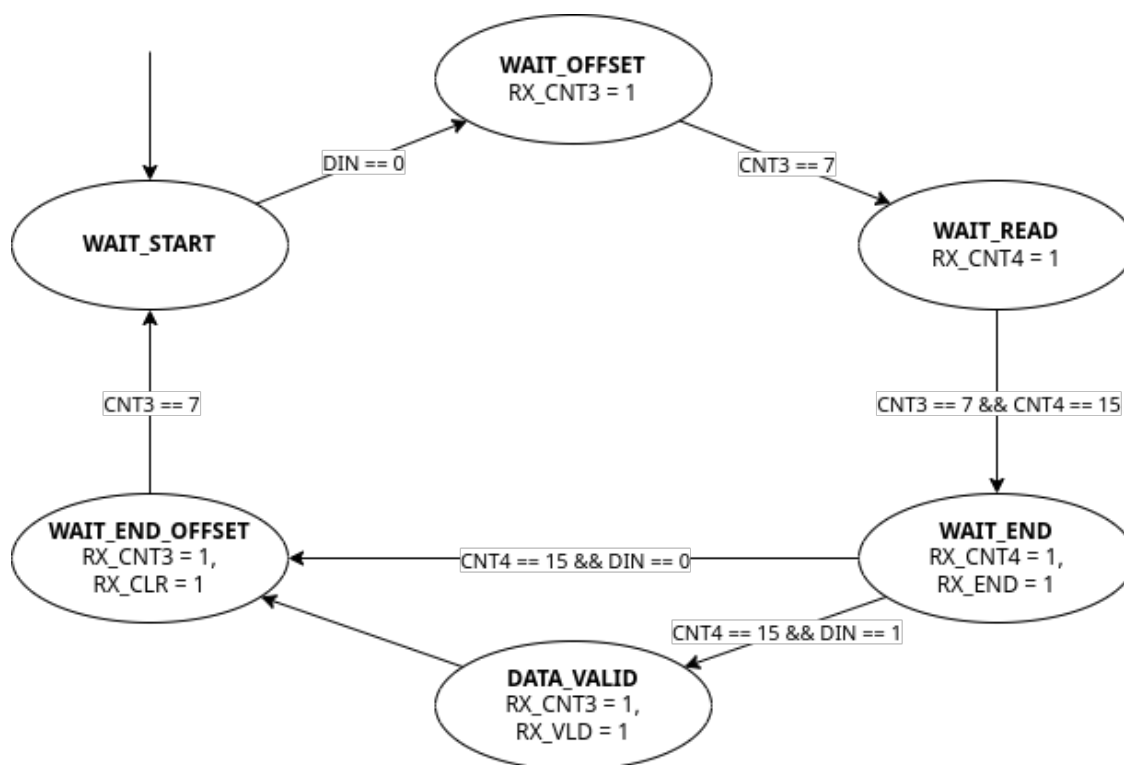
- Počítadlo CTR3 slouží pro offset 8 ticků (prostředek bitu) a pro výpis na jednotlivé bity
  - Jakmile je výstup FSM RX\_CNT3 v logické jedničce, počítadlo počítá
  - Při hodnotě 15 na počítadlu CTR4 se přičte jedna
- Počítadlo CTR4 slouží pro čekání 16 ticků (čtení jednotlivých bitů)
  - Jakmile je výstup FSM RX\_CNT4 v logické jedničce, počítadlo počítá
  - Při hodnotě 7 na počítadlu CTR3 se přičte jedna
- Demultiplexor slouží pro výpis hodnoty DIN na daný bit výstupu DOUT
  - Vstup je hodnota DIN, v případě nastavení výstupu FSM RX\_END je vstup logická nula
  - Vstup Select je výstup počítadla CTR3, které určuje, na který bit se zapisuje
- Hodnoty výstupu se uchovávají pomocí JK klopného obvodu
- Výstup FSM RX\_VLD určuje platnost výstupu
- Výstup FSM RX\_CLR vynuluje JK klopné obvody a počítadlo CTR4

## 2 Návrh automatu

### 2.1 Schéma automatu

#### 2.1.1 Legenda:

- **Stavy automatu:** WAIT\_START, WAIT\_OFFSET, WAIT\_READ, WAIT\_END, DATA\_VALID, WAIT\_END\_OFFSET
- **Vstupní signály:** CLK, RST, DIN, CNT3, CNT4
- **Mealyho výstupy:** žádné
- **Moorovy výstupy:** RX\_CNT3, RX\_CNT4, RX\_END, RX\_VLD, RX\_CLR (implicitní hodnoty v logické nule)



#### 2.2 Popis automatu:

- Vstupní stav je WAIT\_START, který čeká, než na vstupu DIN bude logická nula
- WAIT\_OFFSET odpočítá 8 ticků offset pro čtení (prostředek bitu)
- WAIT\_READ přečte 8 bitů ze vstupu každých 16 ticků
- WAIT\_END počká 16 ticků (prostředek stop bitu)
- Jestli je nalezen stop bit (logická jednička), nastane stav DATA\_VALID, v opačném případě bude nastaven stav WAIT\_END\_OFFSET
- V případě stavu DATA\_VALID se po jednom ticku přepne na stav WAIT\_END\_OFFSET
- WAIT\_END\_OFFSET čeká 8 ticků, aby dočetl celý stop bit

### 3 Snímek obrazovky se simulací

