

LOGIČKO PROJEKTOVANJE RAČUNARSKIH SISTEMA 1

Zadatak – Grupa D

11.12.2022.

NAPOMENE

Zadatak se nalazi u direktorijumu **C:\Temp\LPRS1_X_Y_Z_Q**. Pre početka izrade zadatka preimenovati direktorijum tako da X bude oznaka studijskog programa (RA/PR/IN), Y broj indeksa, Z godina upisa a Q grupa **zadataka** koja vam je dodeljana (A/B/C/D). Nakon završetka zadatka **OBAVEZNO** sve *.vhd datoteke koje predstavljaju vaše rešenje postaviti u okviru SOVA portala na predviđenu poziciju „TEST ZADATK termin“. Nakon toga sa dežurnim asistentom proveriti da li se *.vhd datoteke nalaze na potrebnoj poziciji. **Ukoliko zadatak ne bude okačen na SOVA portal isti neće biti pregledan!**

Ostale napomene:

- **JAKO VAŽNO** – prilikom postavljanja rešenja na sovu obeležiti samo .vhd datoteke **dizajna i test bench-a** (proveriti prilikom postavljanja da nisu okačene .qpf ili .bak datoteke). Moguće je da će .vhd datoteke imati oznaku virtual hard drive, ali budite bez brige, to su datoteke koje vam trebaju.
- Svaku komponentu realizovati kao sekvencijalni proces / kombinacioni proces / uslovnu dodelu za sebe. Nemojte ceo sistem implementirati u okviru jednog procesa.
- Komentarisati kod – navesti naziv svake komponente.
- Vodite računa o identaciji – sve što je unutar nekog procesa / if-a / when-a treba da bude uvučeno pritiskom karaktera **tab** ili nekoliko **razmaka**. Ukoliko kod bude isključivo uz levu ivicu editora, to će rezultovati gubitkom bodova.
- Za potrebe simuliranja sistema je dovoljno uraditi samo korak **analiza i sinteza (Analysis & Synthesis)**. Kako bi uštedeli vreme koristite ovu opciju (prečica **CTRL + K**) umesto celokupnog kompajliranja (**CTRL + L**)
- Putanja do modelsim altera simulatora je:
C:\intelFPGA_lite\18.0\modelsim_ase\win32aloem. Ovu putanju treba uneti pod **Tools → Options → General → EDA Tool Options → ModelSim-Altera**.

ZADATK (20 bodova)

U VHDL jeziku za opis digitalnih sistema opisati i simulirati digitalni sistem prikazan na slici.

Ulazi digitalnog sistema:

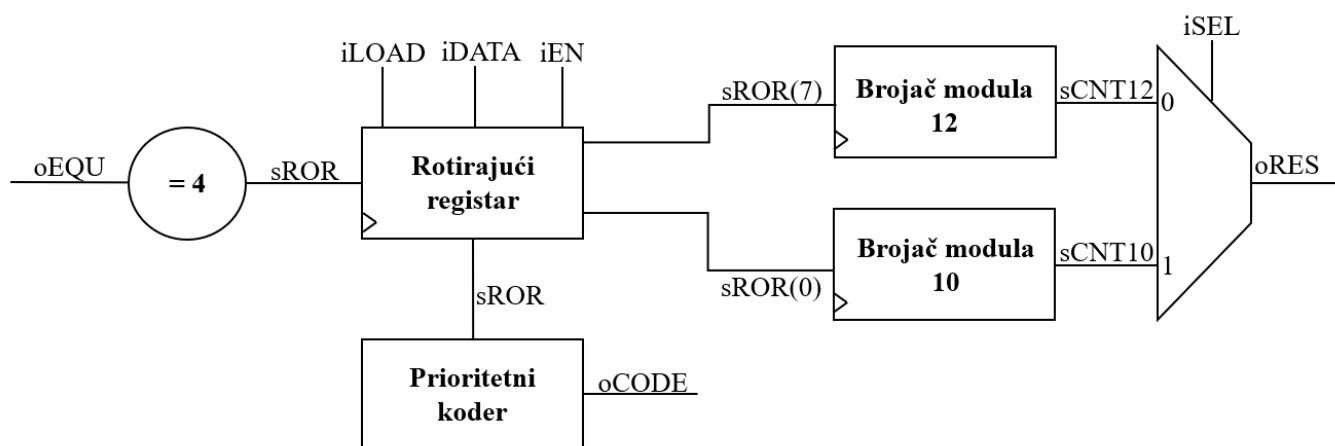
- **iCLK** – signal takta, podrazumevan u svim sekvencijalnim mrežama
- **iRST** – signal reseta, aktivan na '1', **sinhron**, podrazumevan u svim sekvencijalnim mrežama
- **iDATA [7:0]** – signal za podatke koji se učitavaju u registar
- **iEN** – signal dozvole rada rotirajućeg registra
- **iLOAD** – signal za paralelni upis u rotirajući registar
- **iSEL** – signal selekcije za multiplekser

Izlazi digitalnog sistema:

- **oCODE [2:0]** – izlaz iz prioritetnog koda
- **oRES [3:0]** – izlaz iz multipleksera
- **oEQU** – izlaz iz komparatora koji govori da li je trenutna vrednost u pomeračkom registru jednaka 4

Opis sistema:

- Registar prihvata izlazni signal iDATA ukoliko je aktivan ulaz iLOAD. Kada iLOAD nije aktivan, rotirajući registar rotira svoj sadržaj u **desno** tako što radi logički pomeraj u desno za jedno mesto a bit najmanje težine prebacuje na mesto bita najveće težine.
- Komparator proverava da li je trenutna vrednost u registru jednaka 4
- Brojači su modula 12 / 10 i uvećavaju svoju vrednost na svaku rastuću ivicu takta, pod uslovom da ima dozvolu za rad. Ovu dozvolu definišu bit najveće i najmanje težine signala koji se nalazi u pomeračkom registru. **Sami odredite koliko bita je potrebno da imaju ovi brojači.**
- Prioritetni koder koduje vrednost koja izlazi iz pomeračkog registra. U slučaju više jedinica prioritet imaju biti **manje** težine



Slika 1 – Arhitektura sistema

Sistem simulirati na sledeći način:

- Resetovati sistem tačno 4.25 perioda takta.
- Učitati u rotirajući registar broj koji ima makar 2 jedinice koje nisu susedne.
- Nakon toga, ukinuti dozvolu za paralelni upis i dozvoliti registru da rotira svoju vrednost sve dok brojač modula 10 ne krene da broji.
- Kada brojač modula 10 krene da broji, postaviti selekciju takvu da se ta vrednost prikaže na izlazu i ukinuti dozvolu za pomeranje registra.
- Kada brojač modula 10 izbroji do kraja, dozvoliti dozvolu za rad tačno jedan takt i onda je ponovo ukinuti. Samim tim brojač modula 12 će da krene da broji.
- Kada brojač modula 12 krene da broji, postaviti selekciju takvu da se ta vrednost prikaže na izlazu.
- Resegovati sistem na 5 perioda takta.
- Učitati broj **2** preko signala za podatke. Dati dozvolu za pomeranje sve dok broj 2 ne postane 4. U tom trenutku ukinuti dozvolu na 15 perioda takta.
- Resetovati sistem.