

LOGIČKO PROJEKTOVANJE RAČUNARSKIH SISTEMA 1

Zadatak – Grupa B

11.12.2022.

NAPOMENE

Zadatak se nalazi u direktorijumu **C:\Temp\LPRS1_X_Y_Z_Q**. Pre početka izrade zadatka preimenovati direktorijum tako da X bude oznaka studijskog programa (RA/PR/IN), Y broj indeksa, Z godina upisa a Q grupa **zadataka** koja vam je dodeljana (A/B/C/D). Nakon završetka zadatka **OBAVEZNO** sve *.vhd datoteke koje predstavljaju vaše rešenje postaviti u okviru SOVA portala na predviđenu poziciju „TEST ZADATK termin“. Nakon toga sa dežurnim asistentom proveriti da li se *.vhd datoteke nalaze na potrebnoj poziciji. **Ukoliko zadatak ne bude okačen na SOVA portal isti neće biti pregledan!**

Ostale napomene:

- **JAKO VAŽNO** – prilikom postavljanja rešenja na sovu obeležiti samo .vhd datoteke **dizajna i test bench-a** (proveriti prilikom postavljanja da nisu okačene .qpf ili .bak datoteke). Moguće je da će .vhd datoteke imati oznaku virtual hard drive, ali budite bez brige, to su datoteke koje vam trebaju.
- Svaku komponentu realizovati kao sekvencijalni proces / kombinacioni proces / uslovnu dodelu za sebe. Nemojte ceo sistem implementirati u okviru jednog procesa.
- Komentarisati kod – navesti naziv svake komponente.
- Vodite računa o identaciji – sve što je unutar nekog procesa / if-a / when-a treba da bude uvučeno pritiskom karaktera **tab** ili nekoliko **razmaka**. Ukoliko kod bude isključivo uz levu ivicu editora, to će rezultovati gubitkom bodova.
- Za potrebe simuliranja sistema je dovoljno uraditi samo korak **analiza i sinteza (Analysis & Synthesis)**. Kako bi uštedeli vreme koristite ovu opciju (prečica **CTRL + K**) umesto celokupnog kompajliranja (**CTRL + L**)
- Putanja do modelsim altera simulatora je:
C:\intelFPGA_lite\18.0\modelsim_ase\win32aloem. Ovu putanju treba uneti pod **Tools → Options → General → EDA Tool Options → ModelSim-Altera**.

ZADATK (20 bodova)

U VHDL jeziku za opis digitalnih sistema opisati i simulirati digitalni sistem prikazan na slici.

Ulazi digitalnog sistema:

- **iCLK** – signal takta, podrazumevan u svim sekvencijalnim mrežama
- **iRST** – signal reseta, aktivan na '1', **sinhron**, podrazumevan u svim sekvencijalnim mrežama
- **iDATA [7:0]** – ulaz u komplementer
- **iEN** – signal dozvole rada rotirajućeg registra
- **iLOAD** – signal za paralelni upis u rotirajući registar

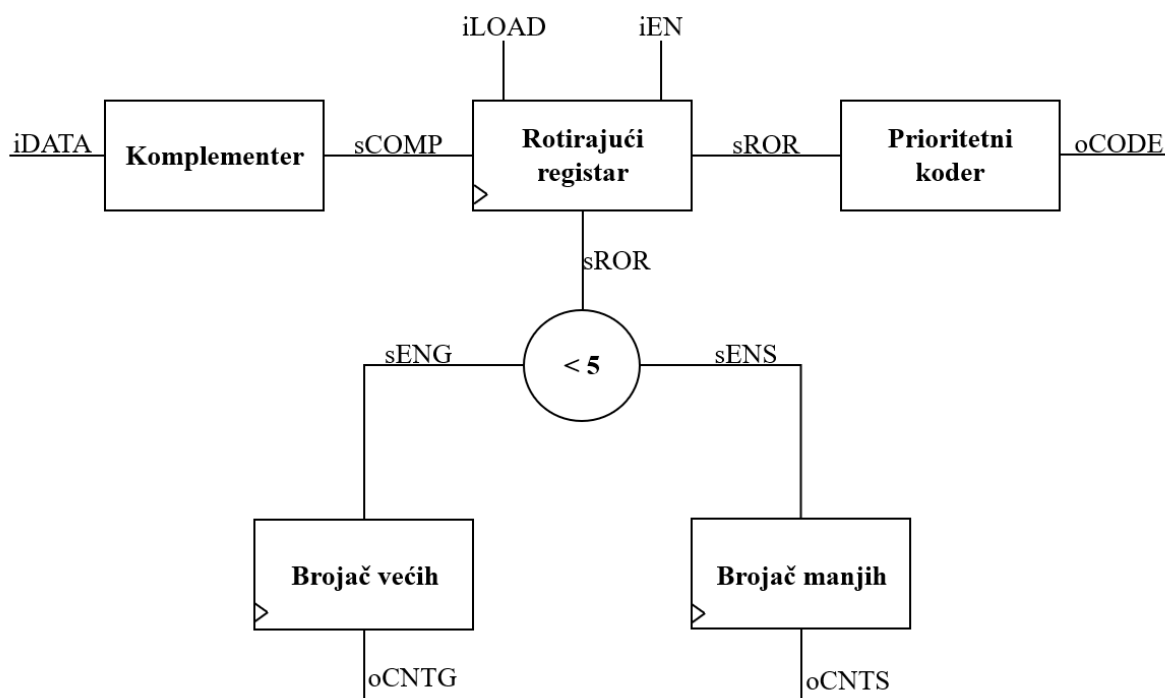
Izlazi digitalnog sistema:

- **oCODE [2:0]** – izlaz iz prioritetnog kodera

- **oCNTG [3:0]** – izlaz iz brojača koji broji koliko se taktova vrednost u registru za prihvata podataka zadržala vrednost veća ili jednaka 5
- **oCNTN [3:0]** – izlaz iz brojača koji broji koliko se taktova vrednost u registru za prihvata podataka zadržala vrednost manja od 5

Opis sistema:

- Komplementer prihvata ulazni signal iDATA (koji je u komplement 2 predstavi) i od njega pravi vrednost -iDATA (minus iDATA).
- Registar prihvata izlazni signal iz komplementera ukoliko je aktivan ulaz iLOAD. Kada iLOAD nije aktivan, rotirajući registar rotira svoj sadržaj u **levo** tako što radi logički pomeraj u levo za jedno mesto a bit najveće težine prebacuje na mesto bita najmanje težine.
- Prioritetni koder koduje vrednost iz rotirajućeg registra. U slučaju više jedinica prioritet imaju biti više težine.
- Komparator proverava da li je trenutna vrednost u registru manja od 5 i u zavisnosti od rezultata daje dozvole brojanja brojačima
- Brojač većih / manjih brojeva od 5 uvećava svoju vrednost na svaku rastuću ivicu takta, pod uslovom da ima dozvolu za rad (sENG / sENS).



Slika 1 – Arhitektura sistema

Sistem simulirati na sledeći način:

- Resetovati sistem tačno 3.25 perioda takta.
- Postaviti na ulaz komplementera takvu vrednost da u rotirajućem registru završi broj 2
- Dati dozvolu rotirajućem registru sve dok vrednost u registru ne postane veća od 5 i onda ukinuti dozvolu dok brojač većih ne izbroji do 10
- Potom dati dozvolu za rad rotirajućem registru sve dok vrednost u njemu ne bude manja od 5 i onda ukinuti dozvolu dok brojač manjih ne izbroji do 5
- Resetovati sistem