



# FACULTAD DE INGENIERIA

Universidad de Buenos Aires

## CARRERA DE MAESTRÍA EN SISTEMAS EMBEBIDOS

MEMORIA DEL TRABAJO FINAL

### Sistema ferroviario de enclavamiento electrónico en FPGA

**Autor:**

**Esp. Ing. Martín Nicolás Menéndez**

Director:

Dr. Ing. Ariel Lutenberg (CONICET-FIUBA)

Codirector:

Mg. Ing. Facundo Larosa (UTN-FRBA)

Jurados:

Mg. Ing. Nicolás Dassieu Blanchet (FIUBA)

Esp. Ing. Pedro Martos (FIUBA)

Ing. Nicolás Álvarez (UNSAM, FIUBA)

*Este trabajo fue realizado en las Ciudad Autónoma de Buenos Aires,  
entre marzo de 2019 y abril de 2020.*



## *Resumen*

En base a un pedido de Trenes Argentinos, se diseñó un sistema electrónico de enclavamiento electrónico. Un enclavamiento es un sistema ferroviario de alto costo y complejidad, que controla automáticamente que las máquinas de cambios y las señales se gestionen de forma segura, evitando choques y descarrilamientos de trenes.

Para el desarrollo de este trabajo resultó necesario aplicar conocimientos en lenguajes de descripción de hardware para la implementación del sistema sobre una plataforma de lógica programable en FPGA. Además, se trabajó con control de versiones y se aplicó el modelo de máquinas de estados finitos para la lógica del sistema. Se aplicaron estrategias de testing para validar los módulos. Finalmente, fueron fundamentales los conocimientos de sistemas críticos y ferroviarios.



## *Agradecimientos*

Quisiera agradecer a mi familia que siempre me han apoyado a lo largo de todos mis estudios de forma incondicional. Espero que se sientan tan orgullosos de los resultados como yo de haber puesto tanto esfuerzo en la realización de mi carrera.

A mi Director el Dr. Ing. Ariel Lutenberg, que con una enorme paciencia siempre me ha dado incontables oportunidades para demostrar mi capacidad. Sus inagotables ganas de que el país crezca tecnológicamente son muy inspiradoras y los proyectos en los que me ha confiado la participación me enriquecen enormemente.

A mi Codirector, el Mg. Ing. Facundo Larosa, que disipó muchas de mis dudas y aportó una metodología de trabajo que supo dar sus frutos.

Al Ing. Nicolás Álvarez, que desde el inicio del proyecto supo guiarme en los aparatazos técnicos del mundo de las FPGA's y su dedicación al proyecto fue crucial en momentos que requerían experiencia que me excedía.

Al CONICET-GICSAFe por su gran camaradería y solidaridad a la hora de compartir sus saberes, tanto de la profesión como de la vida diaria. Especialmente al Dr. Ing. Pablo Gomez y al Ing. Adrián Laiuppa, ya que conversando con ellos fuera del trabajo diario he aprendido enormemente.



# Índice general

<b>Resumen</b>	<b>III</b>
<b>1. Introducción General</b>	<b>1</b>
1.1. Contexto y motivación . . . . .	1
1.2. Propuesta de solución . . . . .	2
1.3. Elementos del sistema ferroviario . . . . .	4
1.3.1. Vías . . . . .	4
1.3.2. Semáforos ferroviarios . . . . .	5
1.3.3. Circuito de vías . . . . .	6
1.3.4. Pasos a nivel . . . . .	7
1.3.5. Máquina de cambios . . . . .	8
1.4. Sistema de enclavamientos . . . . .	9
1.5. Tipos de enclavamientos . . . . .	10
1.5.1. Enclavamientos mecánicos . . . . .	10
1.5.2. Enclavamientos electromecánicos . . . . .	11
1.5.3. Enclavamientos electrónicos . . . . .	12
1.6. Objetivos . . . . .	13
<b>2. Introducción Específica</b>	<b>15</b>
2.1. Topologías típicas . . . . .	15
2.1.1. Bypass . . . . .	15
2.1.2. Estación . . . . .	16
2.1.3. Hub . . . . .	16
2.1.4. Terminal . . . . .	17
2.2. Enfoque funcional . . . . .	18
2.2.1. Modelo del sistema . . . . .	19
2.2.2. Flujo de trabajo . . . . .	20
2.2.3. Escalabilidad de la estrategia . . . . .	21
2.3. Enfoque geográfico . . . . .	22
2.3.1. Análisis de grafos . . . . .	22
2.3.2. Flujo de trabajo . . . . .	23
2.3.3. Escalabilidad de la estrategia . . . . .	24
<b>3. Diseño e Implementación</b>	<b>27</b>
3.1. Consideraciones generales . . . . .	27
3.2. Plataforma utilizada . . . . .	28
3.3. Análisis de la red ferroviaria y generación automática del código .	29
3.4. Módulo de nodos . . . . .	30
3.5. Módulo de cambios . . . . .	30
3.6. Módulo de red . . . . .	30
3.7. Módulos de adaptación a enclavamiento . . . . .	30
3.7.1. Módulo separador . . . . .	30
3.7.2. Módulo mediador . . . . .	31

3.8.	Módulos de procesamiento de tramas . . . . .	32
3.8.1.	Módulo detector . . . . .	32
3.8.2.	Módulo registro . . . . .	34
3.8.3.	Módulo selector . . . . .	35
3.9.	Módulo de comunicación UART . . . . .	36
3.10.	Interfaz de comunicación Python . . . . .	37
<b>4.</b>	<b>Ensayos y Resultados</b>	<b>39</b>
4.1.	Validación de grafos . . . . .	39
	Topología bypass . . . . .	39
	Topología playa de maniobras . . . . .	39
	Topología estación . . . . .	39
4.2.	Validación del nodo . . . . .	39
4.2.1.	Testbench del módulo nodo . . . . .	39
4.2.2.	Resultados obtenidos . . . . .	42
4.3.	Validación de la máquina de cambios . . . . .	43
4.3.1.	Testbench del módulo de la máquina de cambios . . . . .	43
4.3.2.	Resultados obtenidos . . . . .	46
4.4.	Validación de la UART . . . . .	47
4.4.1.	Testbench del módulo UART . . . . .	47
4.4.2.	Resultados obtenidos . . . . .	52
4.5.	Validación del detector . . . . .	52
4.5.1.	Testbench del módulo detector . . . . .	52
4.5.2.	Resultados obtenidos . . . . .	56
4.6.	Validación del enclavamiento . . . . .	57
4.6.1.	Testbench del módulo enclavamiento . . . . .	57
4.6.2.	Resultados obtenidos . . . . .	61
4.7.	Validación del registro . . . . .	61
4.7.1.	Testbench del módulo registro . . . . .	61
4.7.2.	Resultados obtenidos . . . . .	63
4.8.	Validación del selector . . . . .	64
4.8.1.	Testbench del módulo selector . . . . .	64
4.8.2.	Resultados obtenidos . . . . .	66
<b>5.</b>	<b>Conclusiones</b>	<b>67</b>
5.1.	Resultados obtenidos . . . . .	67
5.2.	Próximos pasos . . . . .	68

# Índice de figuras

1.1.	Ejemplo de implementación de topología sencilla . . . . .	3
1.2.	Ejemplo de implementación de topología compleja . . . . .	3
1.3.	Proceso de generación automática de la solución electrónica . . . . .	4
1.4.	Tramo de vía ferroviaria. . . . .	4
1.5.	(a) Semáforo de 3 aspectos (b) Semáforo doble de 3 aspectos (Estación Olivos). . . . .	5
1.6.	(a) Semáforo de 2 aspectos (b) Semáforos de cruce de vías (Estación Lavallol). . . . .	6
1.7.	Ocupación de las secciones de vías. . . . .	6
1.8.	Estado de los aspectos ferroviarios según la ubicación del tren. . . . .	7
1.9.	Pasos a nivel vehicular y peatonal sobre vía férrea. . . . .	8
1.10.	Máquina de cambios de Lavallol (Línea Roca). . . . .	8
1.11.	Cambio de vías de estación Matheu (Línea Mitre). . . . .	9
1.12.	Posiciones normal e inversa del cambio. . . . .	9
1.13.	Vía simple con bypass . . . . .	10
1.14.	Sistema mecánico de enclavamiento en la antigua estación de Chascomús, hoy convertida en museo. . . . .	11
1.15.	Bastidor de relés de estación Lavallol (Línea Roca) . . . . .	11
1.16.	Panel de control enclavamientos - Central Lavallol. . . . .	12
1.17.	Redundancia por votación 2 de 3. . . . .	12
2.1.	Topología bypass . . . . .	16
2.2.	Topología estación con andén único . . . . .	16
2.3.	Topología hub . . . . .	17
2.4.	Topología terminal . . . . .	17
2.5.	Ejemplo de elaboración de tabla de enclavamientos . . . . .	18
2.6.	Enfoque funcional . . . . .	20
2.7.	Esquema de trabajo en el enfoque funcional . . . . .	20
2.8.	Escalabilidad del enfoque funcional . . . . .	21
2.9.	Enfoque geográfico . . . . .	22
2.10.	Pasaje de topología ferroviaria a grafo . . . . .	23
2.11.	Análisis del grafo ferroviario . . . . .	23
2.12.	Esquema de trabajo en el enfoque geográfico . . . . .	24
2.13.	Escalabilidad del enfoque geográfico . . . . .	25
3.1.	Diagrama en bloques genérico de una FSMD . . . . .	27
3.2.	FPGA Arty Z7-10 de Digilent . . . . .	28
3.3.	Grafo luego de ser analizado por el algoritmo . . . . .	29
3.4.	HOLA . . . . .	30
3.5.	HOLA . . . . .	30
3.6.	HOLA . . . . .	30
3.7.	FSMD del módulo separador . . . . .	31
3.8.	FSMD del módulo mediador . . . . .	31

3.9.	FSMD del módulo detector . . . . .	32
3.10.	Estados del módulo detector . . . . .	33
3.11.	FSMD del módulo registro . . . . .	34
3.12.	Estados del módulo registro . . . . .	35
3.13.	Diagrama de estados finitos digitales del módulo selector . . . . .	35
3.14.	Diagrama en bloques de la UART . . . . .	36
4.1.	Simulación de un nodo . . . . .	43
4.2.	Simulación de la máquina de cambios . . . . .	47
4.3.	Simulación de la UART . . . . .	52
4.4.	Simulación del detector . . . . .	56
4.5.	Simulación del separador . . . . .	61
4.6.	Simulación del enclavamiento . . . . .	61
4.7.	Simulación del mediador . . . . .	62
4.8.	Simulación del registro . . . . .	63
4.9.	Simulación del selector . . . . .	66

# Índice de Tablas

2.1.	Tabla de enclavamientos(caso unidireccional) . . . . .	18
2.2.	Tabla de enclavamientos(caso bidireccional) . . . . .	19
3.1.	Trama de datos a recibir . . . . .	30
3.2.	Trama de datos a enviar . . . . .	30
4.1.	Combinaciones posibles . . . . .	39
4.2.	Combinaciones posibles . . . . .	43



*"Él hará la unidad de la República mejor que todos los Congresos. Estos podrán declararla una e indivisible pero sin el camino de fierro que acerque sus extremos remotos, quedará siempre divisible y dividida contra todos los Decretos Legislativos."*

*Juan Bautista Alberdi (1810-1884).*



# Capítulo 1

## Introducción General

En este capítulo se presentan el contexto del proyecto, los sistemas ferroviarios, una introducción a las distintas tecnologías de los sistemas de enclavamientos y los objetivos a cumplir.

### 1.1. Contexto y motivación

Actualmente el sistema ferroviario argentino se encuentra enormemente deteriorado y desactualizado. Mientras que otras naciones mas avanzadas han progresado en la migración de sus sistemas de transporte de cargas y pasajeros añadiendo electrónica de última generación, Argentina continua utilizando mecanismos diseñados a principios o mediados del siglo XX.

Esto repercute negativamente en la poca o nula seguridad que dichos sistemas pueden brindar a los pasajeros, conductores, peatones y automovilistas. Pero los sistemas electrónicos para la seguridad vial de trenes y subtes son importados y muy costosos, además de estar monopolizados por menos de un docena de empresas en todo el mundo. Un sistema de enclavamiento como el que se aborda en este trabajo puede costar entre 5 y 10 millones de dólares[**SIEMENS**] y se requieren varias decenas de estos sistemas sólo para la zona urbana de la Ciudad Autónoma de Buenos Aires.

Dichas empresas brindan muy poca información técnica sobre sus desarrollos y la mayoría de las herramientas que utilizan son de uso privado empresarial. No obstante, deben regirse bajo normativas como las que la comunidad europea ha establecido desde 2004. Normas ferroviarias relacionadas con los parámetros RAMS, haciendo especial hincapié en la seguridad. En este sentido, las tres normas principales son EN-50126[**EN50126**] (ciclo de vida), EN-50128[**EN50128**] (técnicas de software) y EN-50129[**EN50129**] (técnicas de hardware). Entre otras cuestiones, se busca asegurar la integridad de la seguridad.

En los sistemas críticos una falla puede poner en peligro cientos de vidas humanas y/o costosas inversiones. Por lo tanto se deben cumplir estrictos parámetros de fiabilidad, disponibilidad, mantenibilidad y seguridad (RAMS, del inglés *Reliability, Availability, Mantenability and Safety*), durante todo el ciclo de vida.

En este contexto en 2015 se crea el CONICET-GICSAFe, cuyas siglas corresponden a Grupo de Investigación en Calidad y Seguridad de las Aplicaciones Ferroviarias, conformado por docentes e investigadores de una decena de universidades e instituciones públicas argentinas[**GICSAFE**]. El grupo desarrolla sistemas electrónicos e informáticos para aplicaciones ferroviarias relacionadas con la seguridad, generando un prototipo funcional y la documentación correspondiente

que luego se transfiere en su totalidad a los clientes. En particular, esta metodología se utiliza en este trabajo con Trenes Argentinos, que es la Sociedad del Estado que opera las líneas Roca, Sarmiento, Mitre, San Martín y Belgrano Sur, entre otras. Luego el cliente puede fabricar el sistema diseñado por el GICSAFe o licitar su fabricación, así como modificar el sistema de acuerdo con sus necesidades.

En el marco de la Especialización de Sistemas Embebidos, desde julio de 2018 se tuvieron reuniones con diferentes funcionarios y profesionales de Trenes Argentinos. En particular los encuentros se desarrollaron con la Gerencia de Ingeniería, Gerencia de Seguridad Operacional, Subgerencia de Desarrollo y Normas Técnicas, Subgerencia de Transporte, Gerencia de Señalamiento, entre otros, de los cuales surgió el interés en el desarrollo del presente proyecto. De dichas visitas y otras posteriores se obtienen la totalidad de las fotografías incluidas en esta memoria.

El desarrollo del sistema implica muchas áreas distintas a tener en cuenta: procesamiento, comunicación, replicación del sistema para otras topologías, testing, etc. Un primer prototipo se desarrolló a finales de 2018 y actualmente se culminó una segunda versión para la Maestría en Sistemas Embebidos. Sin contar que la amplia variedad de topologías existentes obliga a abandonar la metodología de desarrollo artesanal de cada sistema y abordarlo de forma general para topologías genéricas, lo que adiciona aún más trabajo al monumental proyecto.

Por esa razón, durante la Maestría en Sistemas Embebidos, en el año 2019, se comenzó a seguir un estrategia orientada a obtener una solución integral para cualquiera sea la locación, generando automáticamente el código y los testbenches involucrados. A la vez que miembros de CONICET-GICSAFe pertenecientes a UTN-Haedo comenzaron el desarrollo de un front-end gráfico y su correspondiente simulador en tiempo real, en vistas a ser integrado al proyecto en el mediano plazo.

Hacia finales del 2019 se iniciaron reuniones con miembros de la Comisión Nacional de Energía Atómica(CNEA), para integrar el proyecto en sus plataformas de hardware ampliamente testeadas en el ámbito de los sistemas críticos. Además del intercambio de conocimiento y la puesta en común de estrategias a utilizar, se aprovechó todo lo posible la amplia experiencia que ellos nos brindaron durante el pasado y corriente año.

## 1.2. Propuesta de solución

En el desarrollo del proyecto en la Especialización de Sistemas Embebidos se implementaron sistemas como el de la Figura 1.1. Con una cantidad acotada de tramos de vías y bifurcaciones que implicaba una cantidad acotada de circuitos lógicos complicados pero posibles de obtener y testear.

La implementación del sistema se hacía de forma artesanal, bloque a bloque y conectándolos de igual manera uno por uno. El testing demoraba días o semanas en estar completo para ser utilizado y era necesario revisar varias veces las pocas y difusas especificaciones que se tenían para corroborar un correcto funcionamiento del sistema.

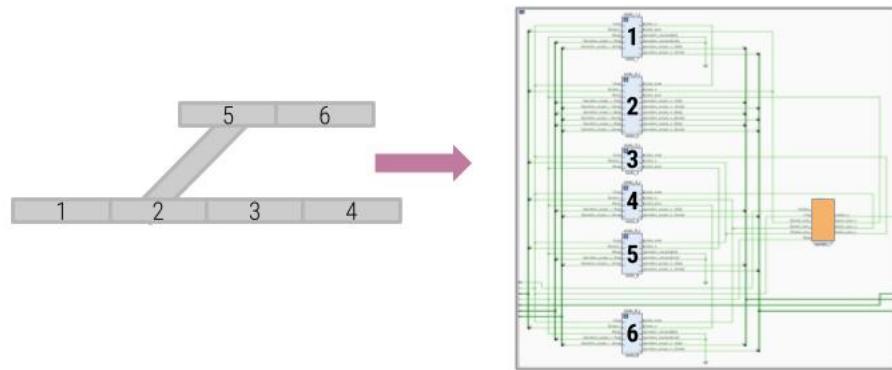


FIGURA 1.1: Ejemplo de implementación de topología sencilla

Pero fue una constante que la locación en la cual se basaba el desarrollo del sistema cambiase abruptamente por otra diferente, representada en la Figura 1.2. Por lo que, aún manteniendo los mismos conceptos iniciales, el alcance y los requerimientos cambiaban completamente y se tenía que desechar gran parte de lo construido, tanto del sistema como los tests que ya no tenían sentido para el nuevo sistema. El rediseñar de cero todo fue algo común durante esta etapa del proyecto.

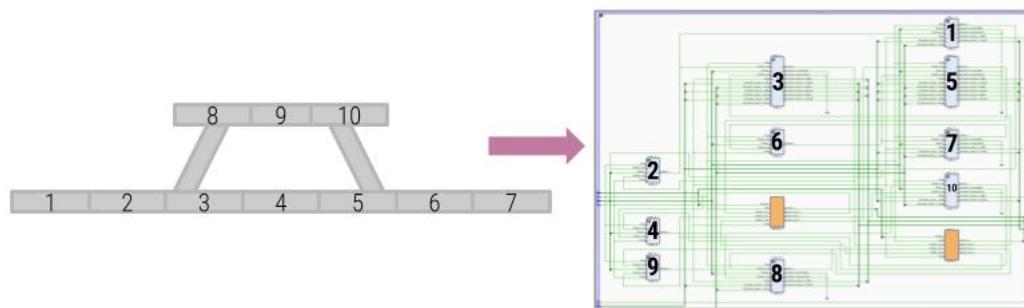


FIGURA 1.2: Ejemplo de implementación de topología compleja

Una mayor cantidad de elementos ferroviarios implica una densidad mayor de circuitos lógicos y estos a su vez repercuten en un crecimiento exponencial de la complejidad del desarrollo, mayor dificultad para implementar los ensayos y mayores chances de errores al extrapolalar conceptos aún inmaduros a sistemas de mayor tamaño.

La solución a proponer no podía quedar sujeta a una única topología, ya que aún culminando el proyecto se corría el riesgo de que el tiempo empleado fuese desperdiciado si se cambiaban los requerimientos de forma tan abrupta. Es por eso que se añadió como objetivo de este trabajo el desarrollo de una herramienta capaz de generar automáticamente la solución electrónica de un sistema de enclavamiento ferroviario, a partir de una representación matemática única de cada topología. En la Figura 1.3 se puede visualizar el proceso.

De esta manera, la solución desarrollada parte de cualquier red ferroviaria, representada mediante un grafo y un analizador de redes ferroviarias (desarrollado también en este trabajo) detecta qué función cumplirá cada elemento de la red y determina cuántos semáforos, de cuantos aspectos, en qué orientación y en qué nodo deben situarse para que el sistema sea seguro. A continuación, en base a los

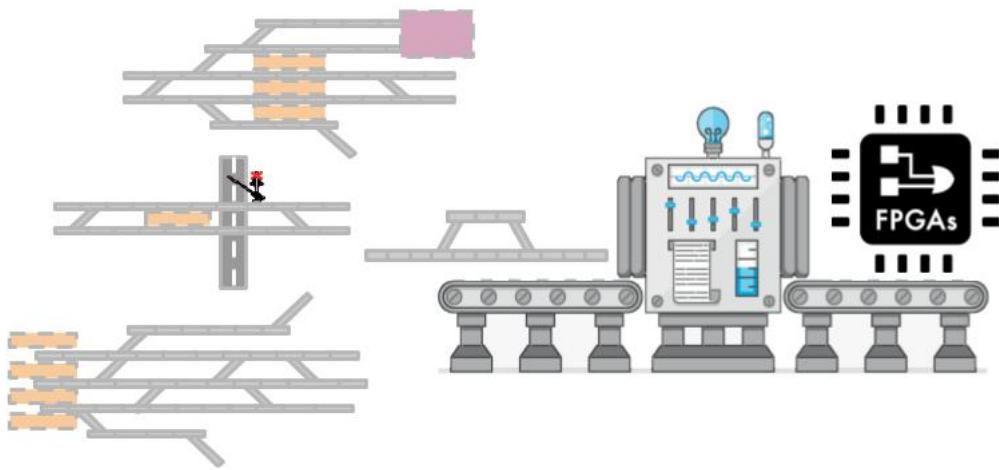


FIGURA 1.3: Proceso de generación automática de la solución electrónica

semáforos insertados el analizador calcula todas las rutas posibles que admite esa red.

Para poder entender mejor el funcionamiento del sistema es necesario introducir conceptos propios del sistema ferroviario y sus componentes involucrados, que se describirán en la sección siguiente.

### 1.3. Elementos del sistema ferroviario

Se denomina señalamiento ferroviario al sistema cuya función es evitar las colisiones entre trenes. A continuación se presentan distintos elementos del señalamiento ferroviario que fueron utilizados durante este trabajo.

#### 1.3.1. Vías

Las vías férreas (1.4) consisten en el elemento esencial de la infraestructura ferroviaria y conforman el sitio por el cual se desplazan los trenes. Las mismas se encuentran separadas una distancia fija, medida desde sus caras internas, denominada trocha.

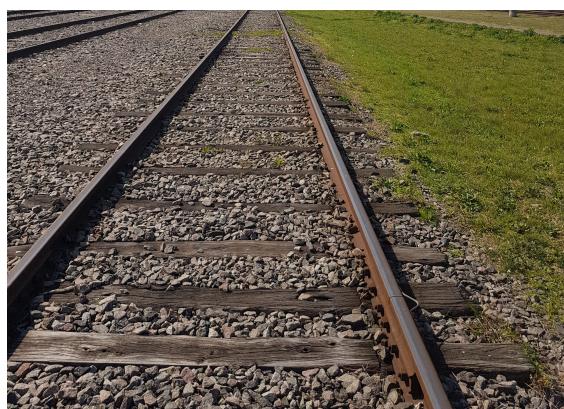


FIGURA 1.4: Tramo de vía ferroviaria.

Las vías no son un tramo continuo, sino que se encuentran separadas en tramos y por seguridad se establece que cada tramo de vías puede contener solo una formación por vez. Los mismos pueden tener largos variables en zonas urbanas de entre 500 a 1000 metros en zonas rurales.

Las vías se clasifican en ascendentes o descendentes. Las ascendentes son aquellas por las que los trenes circulan únicamente en la dirección del kilometraje en sentido creciente. Las descendentes son aquellas por la que los trenes circulan únicamente en la dirección del kilometraje en sentido decreciente [RITO]. El kilómetro 0 es la estación principal de la línea ferroviaria, como por ejemplo: Plaza Constitución (para la línea Roca), Once de septiembre (para la línea Sarmiento) o Retiro (para las líneas Mitre y San Martín).

Existen vías de maniobra que pueden ser tanto ascendentes como descendentes. Estas vinculan, mediante un cambio de vías, una sección ascendente con otra descendente, en la cual los trenes deben circular a una velocidad reducida.

### 1.3.2. Semáforos ferroviarios

El sistema de enclavamientos utiliza los semáforos ferroviarios para indicarle al conductor del tren si puede o no acceder al próximo tramo de vías y a qué velocidad se le permite circular por medio del color del semáforo, denominado aspecto. A diferencia de los semáforos vehiculares donde cada color es alternado por otro color de la secuencia rojo-amarillo-verde en función del tiempo, los semáforos ferroviarios cambian su aspecto en función de los eventos de los tramos siguientes.

En la Figura 1.5 se presenta un esquema de señales de tres aspectos, que es el tipo de semáforo que se utiliza en la gran mayoría de las líneas ferroviarias.



"Peligro".  
Obligación  
de detener  
la formación

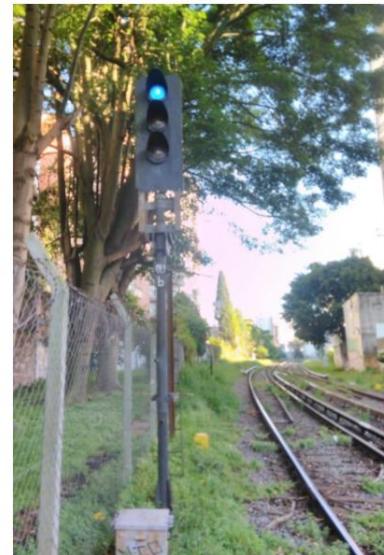


"Precaución". La  
próxima señal  
puede ser roja,  
velocidad menor a  
40 km/h



"Vía libre".  
Se autoriza a  
continuar la  
marcha hasta  
100 km/h

(a)



(b)

FIGURA 1.5: (a) Semáforo de 3 aspectos  
(b) Semáforo doble de 3 aspectos (Estación Olivos).

Otra diferencia fundamental es que no todos los semáforos ferroviarios poseen tres aspectos. Los semáforos de maniobras constan de solo dos aspectos: amarillo (precaución) y rojo (prohibido avanzar) y algunas líneas como la Línea Roca utilizan semáforos de cuatro aspectos.

En Figura 1.6 se visualizan Los semáforos de dos aspectos. Se utilizan en cambios de vías donde, por su peligrosidad, solo se podrían permitir aspectos rojos y amarillos.

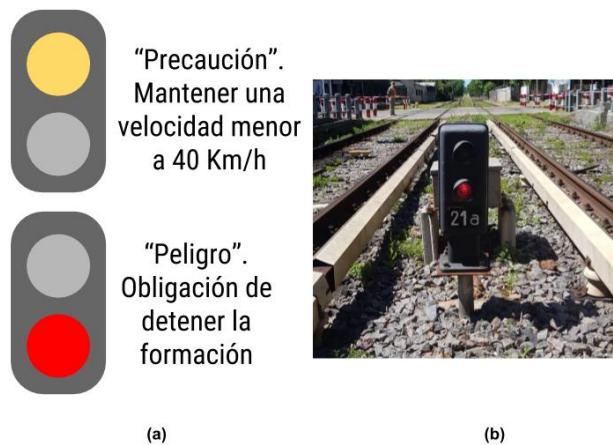


FIGURA 1.6: (a) Semáforo de 2 aspectos  
(b) Semáforos de cruce de vías (Estación Lavallol).

Los semáforos de cuatro aspectos son utilizados en la Línea Roca y poseen un doble amarillo antes del amarillo simple, para permitir así tramos de vías mas cortos en forma segura. Como no son objeto de estudio del presente trabajo, no serán explicados en esta memoria.

### 1.3.3. Circuito de vías

Para poder determinar si un tramo de la vía se encuentra ocupado o libre se utilizan los llamados circuitos de vías. Los mismos constituyen en componentes electrónicos que imponen una tensión conocida entre los rieles y cuando un tren se posiciona sobre esa sección provoca un cortocircuito que es detectado por el circuito. Se ejemplifica en la Figura 1.7, la ocupación de las secciones por una formación (modelada con un 0) y la ausencia de formación (modelada con un 1).

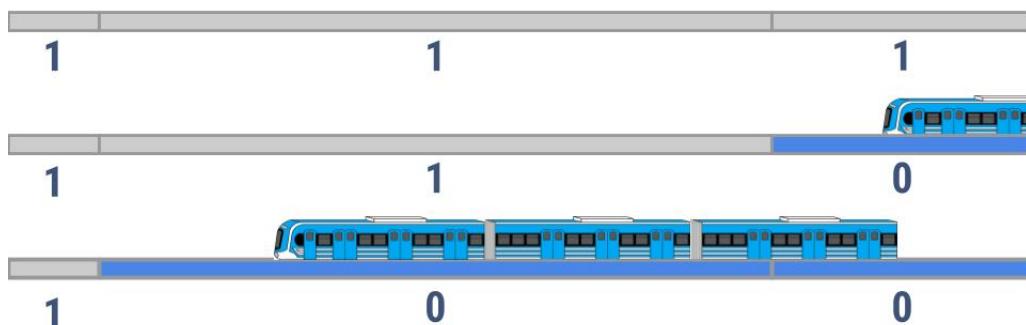


FIGURA 1.7: Ocupación de las secciones de vías.

Si el tramo de vía no tiene ninguna formación ocupándolo, el señalamiento indicará un aspecto verde o amarillo según el estado de ocupación del tramo siguiente. Si la formación ocupa la sección, el señalamiento cambiará su aspecto a rojo para indicar que no puede ingresar ninguna otra formación, a fin de evitar colisiones. Por seguridad también se establecerá a rojo el semáforo anterior y a amarillo el anterior a éste (doble recubrimiento), tal como se ilustra en la Figura 1.8.

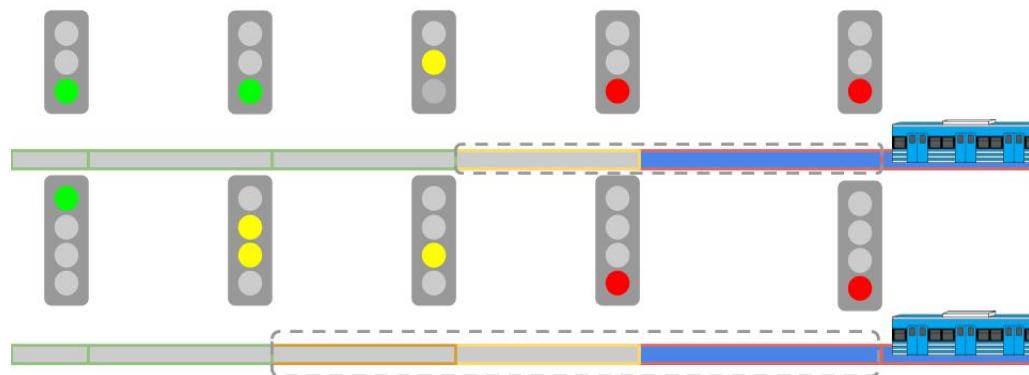


FIGURA 1.8: Estado de los aspectos ferroviarios según la ubicación del tren.

[Modificar](#)

Si la alimentación es interrumpida o si el cableado sufre alguna falla, entonces el sistema asumirá que hay un tren en las vías y los semáforos se pondrán en aspecto rojo para que las formaciones cercanas detengan su marcha y las barreras de los pasos a nivel desciendan. A este principio se le denomina fail-safe<sup>1</sup>. Es decir, si por alguna razón algo falla, el sistema adopta la condición más restrictiva, mitigando la posibilidad de una situación peligrosa.

#### 1.3.4. Pasos a nivel

La intersección de una ruta vehicular o peatonal con la vía férrea se denomina paso a nivel. El sistema de control de la barrera mantiene el brazo de la misma en alto para permitir la circulación vehicular, como se puede ver en la Figura 1.9. Si un tren ocupa las secciones amarillas de la Figura 1.9 se desenergiza la barrera y comienza a descender el brazo por efecto de la gravedad. Cuando se ocupen las secciones azules de la Figura 1.9 entonces se accionará la alarma sonora para alertar a los peatones que deben permanecer en el laberinto contiguo a la vía, cuya función es forzar a los peatones a mirar a ambos lados antes de cruzar el paso a nivel.

[Rehacer figura](#)

Solo cuando la barrera baja, el tren tiene permitido avanzar sobre el cruce, siendo el paso a nivel un sector de altísimo riesgo.

Al desocuparse las secciones amarillas, la barrera vuelve a energizarse y se sitúa en estado alto nuevamente, a la espera de otro tren para reiniciar el proceso descripto.

<sup>1</sup>fail-safe: Falla segura

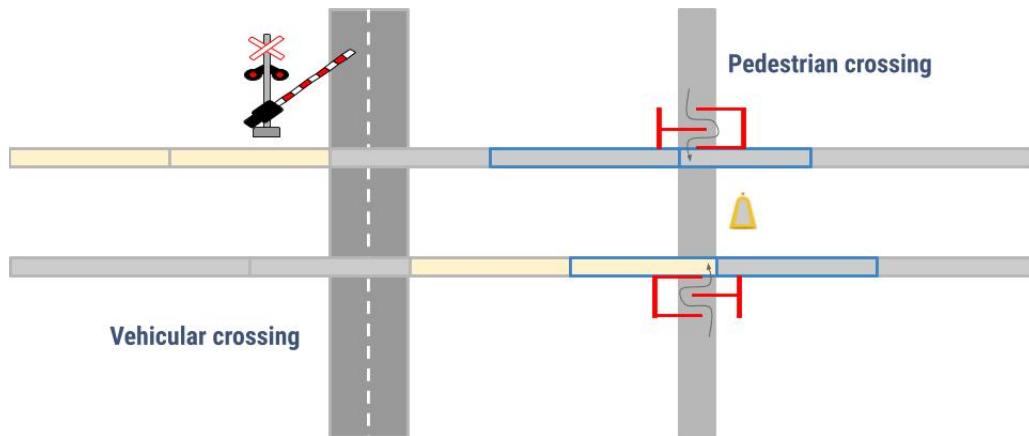


FIGURA 1.9: Pasos a nivel vehicular y peatonal sobre vía férrea.

Se debe destacar que el mismo proceso de descenso de la barrera ocurrirá si la misma se desenergiza por una falla eléctrica y/o pérdida de alimentación. Es decir, el sistema asumirá el estado más seguro ante cualquiera de los mencionados fallos, siguiendo el principio de falla segura.

### 1.3.5. Máquina de cambios

Una máquina de cambios (Figura 1.10) es un mecanismo utilizado para permitir el paso de las formaciones de una vía a una ramificación del recorrido principal mediante el movimiento de la aguja del cambio (riel móvil) hacia su respectiva contraaguja (riel fijo) hasta obtener un adecuado acoplamiento que permita la circulación de la formación.



FIGURA 1.10: Máquina de cambios de Lavallol (Línea Roca).

En la Figura 1.11 se muestra el cambio de vía de la estación Matheu de la Línea Mitre. Se observa que según sea la posición del cambio el tren puede continuar en la misma vía o hacer el cambio a la otra vía.



FIGURA 1.11: Cambio de vías de estación Matheu (Línea Mitre).

En la Figura 1.12 se muestran las posiciones que puede adoptar el cambio. En la posición normal los trenes pueden circular de forma directa, en paralelo, por la vía principal en sentidos opuestos. En la posición reversa, en cambio, se permite el intercambio de trenes de una rama principal a otra en sentido opuesto o a una ramificación secundaria de la red.

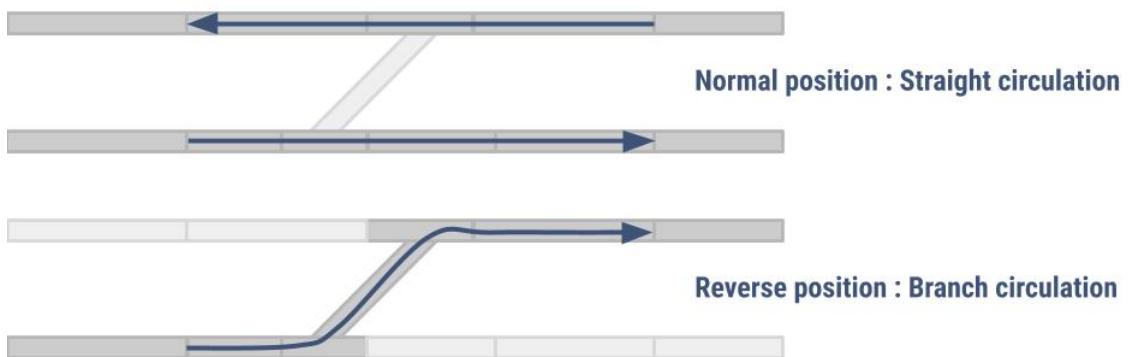


FIGURA 1.12: Posiciones normal e inversa del cambio.

## 1.4. Sistema de enclavamientos

A modo de ejemplo se ilustra en la Figura 2.1 un sistema de cambios en una vía simple con *bypass*. El mismo permite que dos formaciones puedan cruzarse en sentidos opuestos sin colisionar entre si.

[Rehacer figura](#)

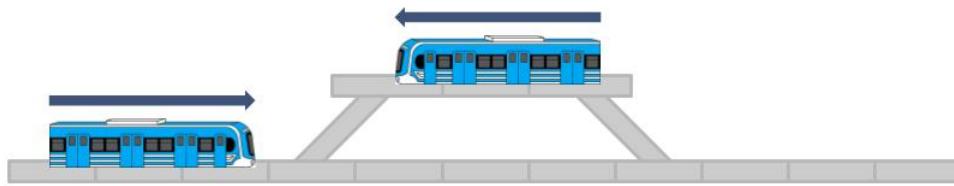


FIGURA 1.13: Vía simple con bypass

Para evitar la colisión se requiere un control seguro que evite que las formaciones avancen hacia secciones ya ocupadas por otras formaciones. También debe evitar que las formaciones avancen sobre los cambios cuando estos aún no han terminado de posicionarse en su lugar, provocando descarrillamientos. A este control se le denomina sistema de enclavamiento que impide que se produzcan las configuraciones no seguras y controla los semáforos que habilitan o no los itinerarios de las formaciones.

Una falla en un enclavamiento puede poner en peligro cientos de vidas humanas y generar gastos considerables. Por lo tanto, en el diseño del sistema de enclavamiento se deben cumplir estrictos parámetros de fiabilidad, disponibilidad, mantenibilidad y seguridad (RAMS).

Lamentablemente los sistemas de enclavamientos en Argentina son en su mayoría mecánicos, de comienzos del siglo XX y otra cantidad considerable son electromecánicos con más de 40 años de antigüedad. Muchos de ellos ya han agotado su vida útil y deben ser reemplazados. Otros en cambio, han estado en desuso por años y se necesita su reposición pero solo una docena de empresas en el mundo realizan el diseño del sistema y los costos para un bypass simple rondan las decenas de millones de dólares. Por esto, es importante contar con sistemas electrónicos de diseño y fabricación nacional.

Adicionalmente, existen diferentes lugares donde aún resta instalar este tipo de sistemas, por lo que su implementación constituye una necesidad real para el desarrollo de la infraestructura ferroviaria de señalamiento en Argentina.

## 1.5. Tipos de enclavamientos

A continuación se presentan distintas tecnologías de implementación de enclavamientos en orden cronológico de invención.

### 1.5.1. Enclavamientos mecánicos

A comienzos del siglo XX se implementaron los sistemas de enclavamientos mediante soluciones mecánicas. Utilizaban palancas como las que se visualizan en la Figura 1.14 para comandar los cambios de vías y semáforos.

Una vez que se constituye una configuración de posiciones de palancas que habilitan un trayecto, las mismas quedan ‘enclavadas’ mecánicamente. Es decir, la posición de las mismas se bloquea y no es físicamente posible cambiarla. A medida que se van moviendo ciertas palancas las demás palancas que pudieran representar situaciones no seguras quedan enclavadas, y sólo se pueden mover aquellas



FIGURA 1.14: Sistema mecánico de enclavamiento en la antigua estación de Chascomús, hoy convertida en museo.

cuyo accionamiento representa una situación segura. De esa manera se garantiza que no se generarán configuraciones tales que las formaciones colisionen entre sí.

Las tecnologías más modernas heredaron el término 'enclavamiento', aún cuando ya no se tengan palancas enclavadas en posiciones fijas.

### 1.5.2. Enclavamientos electromecánicos

A mediados de siglo XX se desarrolló el sistema de enclavamiento electromecánico. Su funcionamiento se basa en relés (Figura 1.15) y circuitos de vía, de forma tal de poder detectar la presencia de un tren y comandar tanto las señales como las barreras de los pasos a nivel.



FIGURA 1.15: Bastidor de relés de estación Lavallol (Línea Roca)

Los sistemas de enclavamiento electromecánicos son comandados por un operario mediante un panel de control (Figura 1.16). El operario solicita al sistema de enclavamiento las rutas que el conductor ferroviario necesita para circular. El sistema permitirá solo la operación de cambio de vías seguras. En caso contrario, se tendrán las salidas 'enclavadas' y el sistema de enclavamiento impedirá mediante los semáforos el avance de la formación hasta que pueda realizarse el cambio en forma segura.



FIGURA 1.16: Panel de control enclavamientos - Central Lavallol.

### 1.5.3. Enclavamientos electrónicos

El sistema de enclavamiento moderno es electrónico y debe incluir redundancia de hardware para lograr niveles RAMS adecuados. Pueden utilizarse, por ejemplo, estrategias de *2 en 2* o sistemas de votación *2 de 3* como se ve en la Figura 1.17 para tener siempre una salida sin importar los fallos que puedan producirse [REDUNDANCIA]. La diversidad de plataformas de hardware (representados en diferente color en la Figura 1.17), por ejemplo utilizando diferentes proveedores de un mismo sistema o plataforma, es otra técnica muy utilizada.

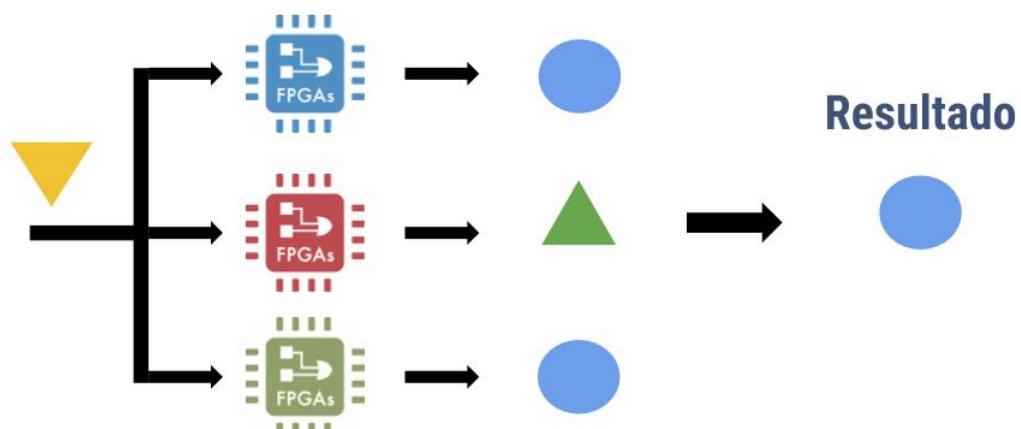


FIGURA 1.17: Redundancia por votación 2 de 3.

En este trabajo se implementó un sistema de enclavamiento electrónico, como se explicará en el Capítulo 3.

## **1.6. Objetivos**

El objetivo de este proyecto fue el diseño, implementación y realización de pruebas funcionales de un prototipo de sistema electrónico de enclavamiento, sobre un kit de desarrollo de FPGA.

Se procura además estudiar las tecnologías para implementar metodologías orientadas a mejorar los niveles RAMS del sistema, de acuerdo al estado del arte en sistemas ferroviarios altamente críticos.

Teniendo la experiencia acumulada del trabajo realizado en la Especialización de Sistemas Embebidos, se puso especial énfasis en la automatización del proceso, para poder satisfacer las necesidades de cualquiera sea la estación o zona elegida.



## Capítulo 2

# Introducción Específica

Es este capítulo se presentarán las topologías básicas del sistema ferroviario y los dos enfoques de resolución del proyecto, con sus ventajas y desventajas antes de abordar la implementación de la solución elegida.

### 2.1. Topologías típicas

El tendido ferroviario argentino dista de ser uniforme: en las zonas rurales predominan vías simples con bypass debido al alto costo de utilizar vías dobles, mientras que en las zonas urbanas son mayoría las estaciones y playas de maniobras a talleres de mantenimiento.

Es por eso que el trabajo realizado debe abocarse a muchos frentes y muy diversos unos de otros. La cantidad de elementos involucrados diverge conforme la complejidad de la topología se incrementa, pero los elementos y sus comportamientos no dejan de ser los mismos de los presentados en el Capítulo 1.

#### 2.1.1. Bypass

Para cubrir grandes distancias entre un punto estratégico como podría ser Vaca Muerta y un puerto para la exportación de los recursos es necesaria una línea ferroviaria con vagones de carga que puedan transportar el producto. Es obvio que es necesario un ida y vuelta entre trenes vacíos que van a ser llenados en el destino y trenes llenos que van a descargar al puerto la carga que lleven, pero el costo de utilizar dos vías en sentidos opuestos es muy elevado y utilizar solo un no tiene el menor sentido logístico.

Es por eso que se utiliza la topología de bypass cada cierta cantidad de kilómetros de vía simples para poder permitir que trenes en sentidos opuestos se crucen sin riesgo de colisión. Se presenta en la Figura 2.1 una representación de la topología bypass donde un tren que circula hacia la derecha por la vía principal podría entrar en colisión lateral con un tren que busca ingresar a la red desde una vía secundaria por medio del cambio de vías.

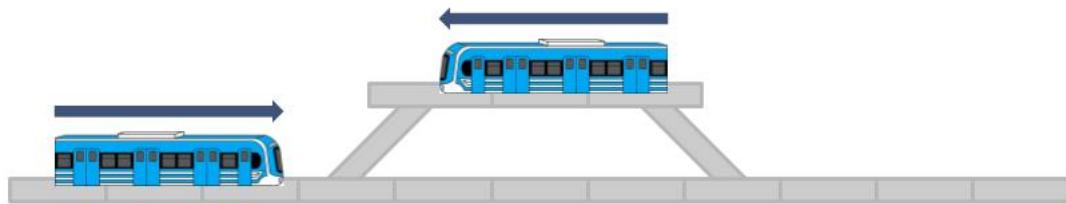


FIGURA 2.1: Topología bypass

### 2.1.2. Estación

Los lugares donde se habilita a los pasajeros a ingresar o salir del tren se denominan andenes y se encuentran en las estaciones ferroviarias situadas cada cierta cantidad de kilómetros, en diferentes localidades del país. En la Figura 2.2 se muestra una topología de estación simple con andén central. Es decir, el mismo andén permite utilizar trenes tanto de la vía ascendente como de la descendente. Se añadió un paso a nivel vehicular en las inmediaciones de la estación y dos cambios de vías en orientaciones opuestas para permitir a la hipotética estación realizar trayectos cortos entre terminales.

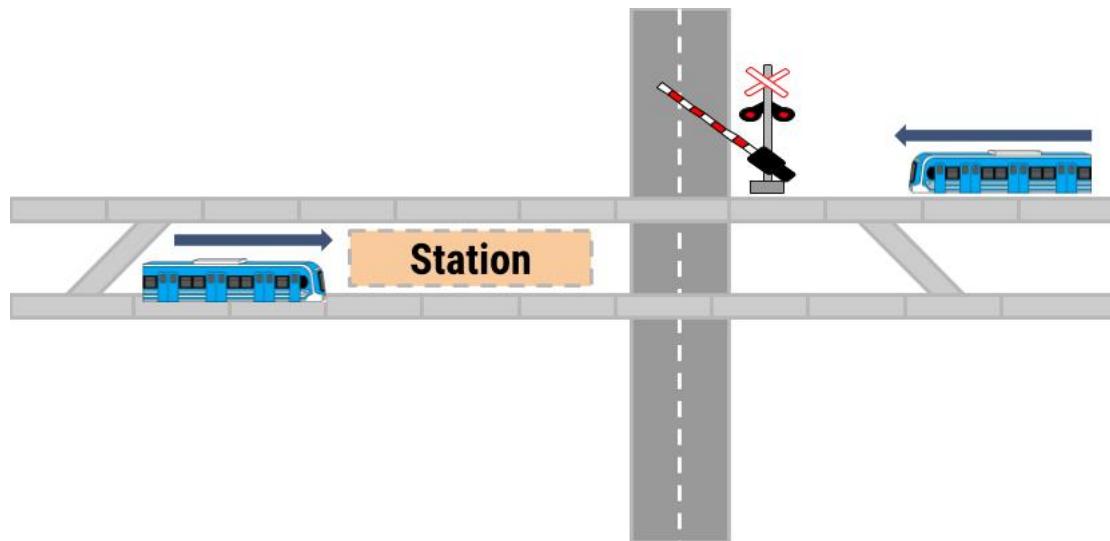


FIGURA 2.2: Topología estación con andén único

Aunque estaciones de andén único como la estación de Gerli de la Línea Roca son comunes, también existen estaciones con dos andenes: uno puramente para utilizar la vía ascendente y alejarse de la terminal y otro puramente descendente para viajar hacia la terminal. Tal es el caso de estaciones como Longchamps, Adrogué, Remedios de Escalada de la Línea Roca.

### 2.1.3. Hub

Otras topologías más complejas incluyen una cantidad extra de andenes como Lomas de Zamora o Temperley, que pueden recibir formaciones de varios ramales distintos (Glew/A.Korn, Ezeiza, Bosques, Quilmes, La Plata, etc) o tener incluso accesos a playas de maniobras o talleres de reparación para poder injectar o retirar formaciones de la red. Tal es el caso representado en la Figura 2.3 donde

se tiene una mayor cantidad de andenes, bifurcaciones a otros ramales o ingresos/egresos a talleres ferroviarios, además de la rama principal de circulación entre terminales.

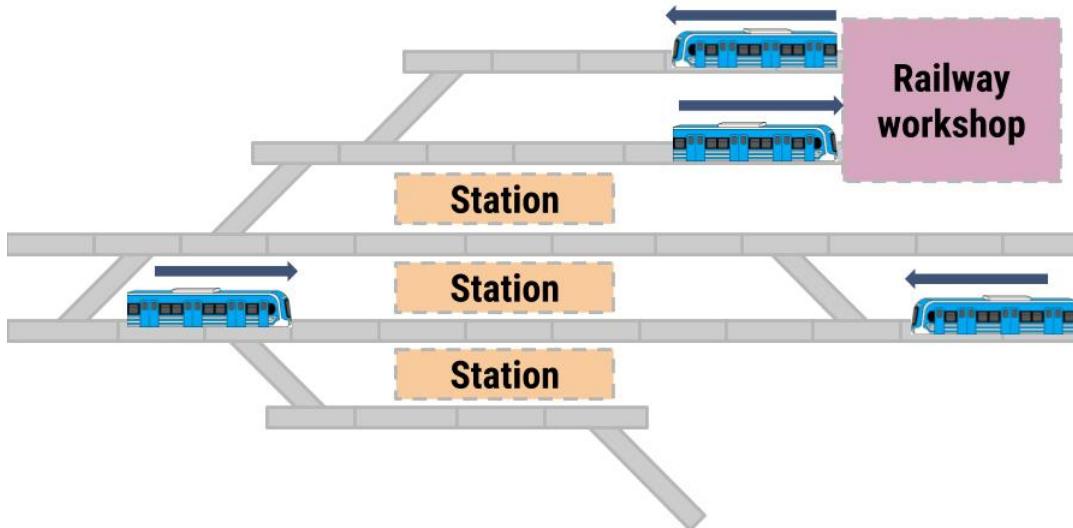


FIGURA 2.3: Topología hub

Un buen ejemplo de esta topología es la estación Llavallol de la Línea Roca. En la misma se tiene una extensa playa de maniobras como la comandada por el panel de control de la Figura 1.16 mostrada en la Sección 1.

#### 2.1.4. Terminal

Finalmente, la topología mas compleja de todas es la denominada terminal, tal como se representa en la Figura 2.4. En las mismas se encuentran numerosos andenes que pueden ser tanto de ingreso como de egreso indistintamente, presentan muchos cambios de vías para facilitar el intercambio de formaciones y permitir que las vías funcionen en ambos sentidos de circulación. Además de tener ramificaciones para diversos ramales que convergen en la terminal.

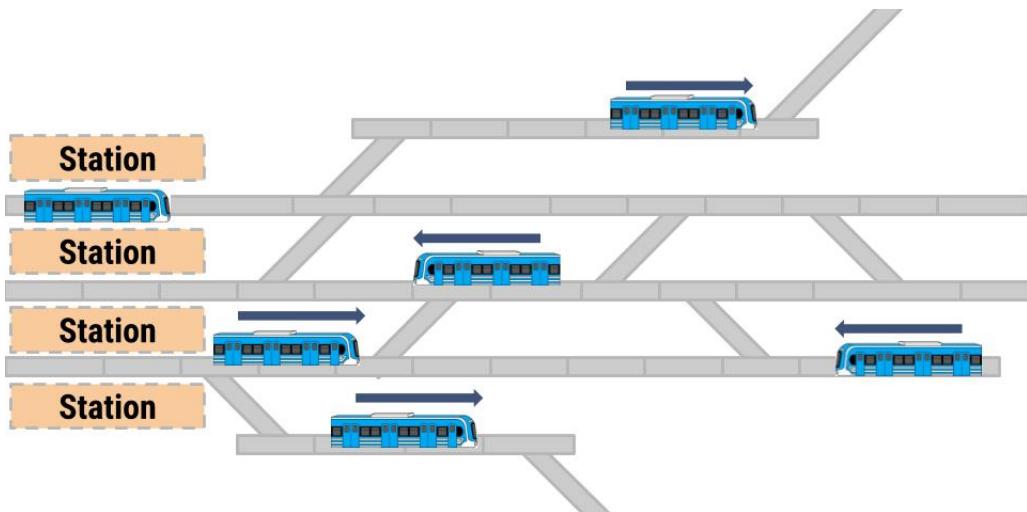


FIGURA 2.4: Topología terminal

Ejemplos de esta topología pueden ser las estaciones Once de septiembre(Línea Sarmiento), Alejandro Korn y Constitución (Línea Roca) o Retiro (Línea San Martín, Línea Mitre, Línea Belgrano Norte y Cargas). Incluso hay estaciones que aunque no son el final del recorrido, pueden funcionar como terminales de ramales mas cortos tales como Ezeiza, que extiende el ramal Constitución-Ezeiza hasta Cañuelas o Glew, que extiende el ramal Constitución Glew hasta Alejandro Korn.

## 2.2. Enfoque funcional

A la hora de definir itinerarios se utiliza el concepto de ruta, que es el camino definido entre dos semáforos consecutivos. Pero no siempre se suelen definir todas las rutas posibles, sino solo las necesarias para generar los itinerarios. Por ejemplo en la Figura 2.5 se pueden ver dos casos de definición de rutas para una misma topología de vía simple.

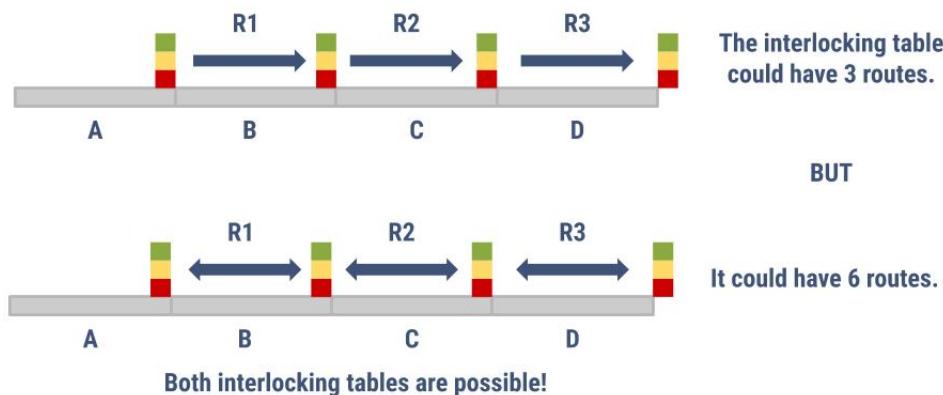


FIGURA 2.5: Ejemplo de elaboración de tabla de enclavamientos

En el primer caso se puede querer utilizar la vía en un solo sentido, para lo cual el semáforo A es el inicial de la ruta R<sub>1</sub> y el semáforo B es el final de la misma. Luego se definen las otras dos rutas y el itinerario para recorrer toda la topología es la concatenación de las rutas R<sub>1</sub>, R<sub>2</sub> y R<sub>3</sub> como se describen en la Tabla 2.1.

TABLA 2.1: Tabla de enclavamientos(caso unidireccional)

Ruta	Señal de entrada	Señal de salida
1	Semáforo <sub>A</sub>	Semáforo <sub>B</sub>
2	Semáforo <sub>B</sub>	Semáforo <sub>C</sub>
3	Semáforo <sub>C</sub>	Semáforo <sub>D</sub>

En el segundo caso de la Figura 2.5 el itinerario deberá contemplar un uso bidireccional de la vía, por lo que se añaden las rutas R<sub>4</sub>, R<sub>5</sub> y R<sub>6</sub> como se describen en la Tabla 2.2

TABLA 2.2: Tabla de enclavamientos(caso bidireccional)

Ruta	Señal de entrada	Señal de salida
1	Semáforo <sub>A</sub>	Semáforo <sub>B</sub>
2	Semáforo <sub>B</sub>	Semáforo <sub>C</sub>
3	Semáforo <sub>C</sub>	Semáforo <sub>D</sub>
4	Semáforo <sub>B</sub>	Semáforo <sub>A</sub>
5	Semáforo <sub>C</sub>	Semáforo <sub>B</sub>
6	Semáforo <sub>D</sub>	Semáforo <sub>C</sub>

Tanto la Tabla 2.1 como la 2.2 son una porción de la llamada tabla de enclavamientos, que se utiliza para diseñar los sistemas de enclavamientos tanto mecánicos como electromecánicos y define completamente el comportamiento del sistema. En la misma cada ruta constituye una fila y presenta diferentes columnas tales como:

- Semáforos de entrada y de salida.
- Circuitos de vías que deben estar desocupados para permitir la ruta.
- Pasos a nivel que deben tener la barrera baja para permitir la ruta.
- Posición del cambio requerida para permitir la ruta.
- Rutas conflictivas que inhiben la activación de la ruta.

Como se pudo ver en ambos ejemplos, la necesidad de tales o cuales itinerarios puede requerir distintas tablas de enclavamientos para la misma topologías. Algunas tablas serán mas completas que otras y eso puede repercutir en que al querer añadir nuevas rutas a futuro, la tabla deba ser modificada y por lo tanto el desarrollo del sistema deba cambiar a otro mas complejo.

### 2.2.1. Modelo del sistema

En el enfoque de desarrollo llamado funcional se utiliza la tabla de enclavamientos como elemento central de decisión para el diseño y funcionamiento del sistema. Es la ruta la que impone que acciones deben ser tomadas y cuales prohibidas y por lo tanto se abstrae de la topología una vez definida la tabla.

En la Figura 2.6 se presenta un modelo del sistema con enfoque funcional, donde cada bloque horizontal en diferentes colores representan máquinas de estados que modelan los elementos de entrada indicados. Todos ellos gobernados por una máquina de estados general representada en un bloque vertical verde que se diseña en base a la tabla de enclavamientos.

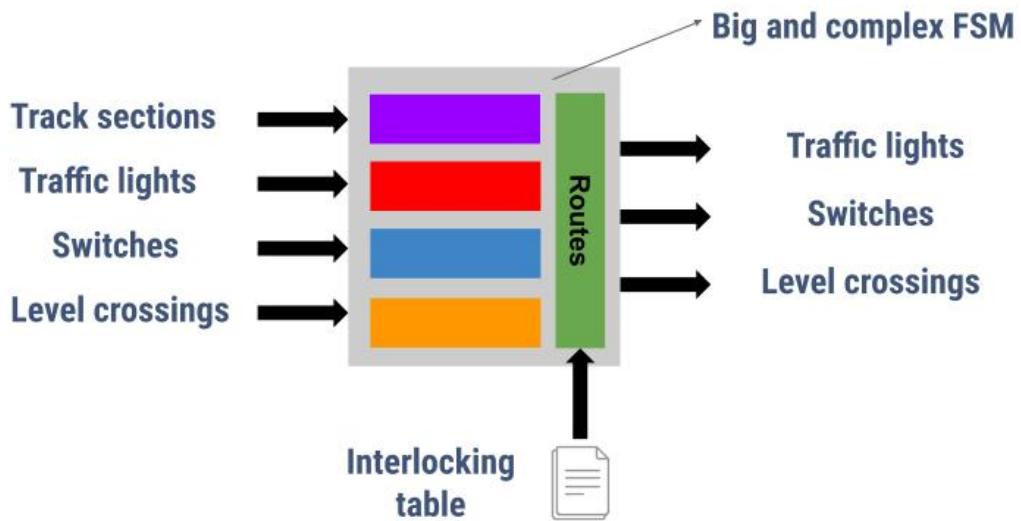


FIGURA 2.6: Enfoque funcional

La salida del sistema actúa sobre todo el señalamiento, menos la ocupación de los tramos de vías porque son elementos de solo lectura. Puede verse que conforme se añadan mas rutas a la tabla de enclavamientos, las máquinas de estados serán mas complejas y de mayor tamaño.

### 2.2.2. Flujo de trabajo

La tabla de enclavamientos es la piedra angular de todo el proceso, sin ella no se puede realizar ningún diseño. En la Figura ?? se ilustra el flujo de trabajo en el enfoque funcional.

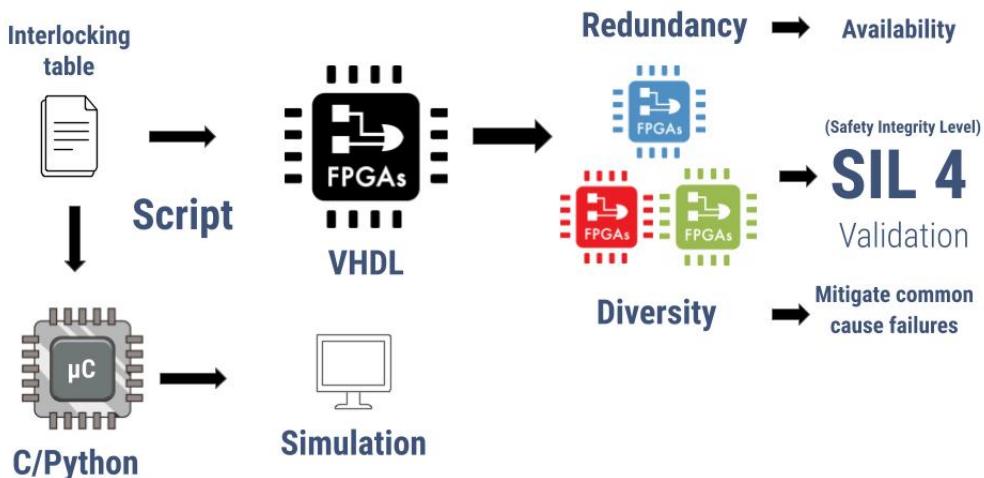


FIGURA 2.7: Esquema de trabajo en el enfoque funcional

Como bien se resaltó anteriormente, el diseño nace de la tabla de enclavamientos y para evitar que cualquier error en la misma se propague al sistema, la tabla es diseñada y revisada por varios profesionales ferroviarios. Pero si aún así no es

suficiente, en la UTN-Haedo se ha avanzado en el desarrollo de un script que busca errores en las tablas de enclavamientos.

El proceso culmina con la redundancia de los sistemas diseñados y la diversificación de plataformas, sin lo cual no se podría alcanzar estándares de calidad y seguridad altos como los demandados por industrias tan críticas como la nuclear, la aeronáutica, etc.

En el transcurso de la Especialización de Sistemas Embebidos se trabajó en un diseño con enfoque funcional de la estación Belgrano R de la Línea Mitre, pero sin automatización del proceso. En el cual la tabla de enclavamientos fue una pieza vital de todo el desarrollo.

Durante 2019 se avanzó en la automatización de este flujo de trabajo, que culminó con la presentación de un artículo en el Congreso Argentino de Sistemas Embebidos 2019 y en una edición especial de IEEE Latin American Transaction.

### 2.2.3. Escalabilidad de la estrategia

Al ir automatizando el sistema se fue llegando a la conclusión de que los bloques que contenían las máquinas de estados se crecían en tamaño hasta volverse inmanejables las conexiones. En la Figura 2.8 se representa el concepto del crecimiento del sistema conforme la topología se vuelve más compleja.

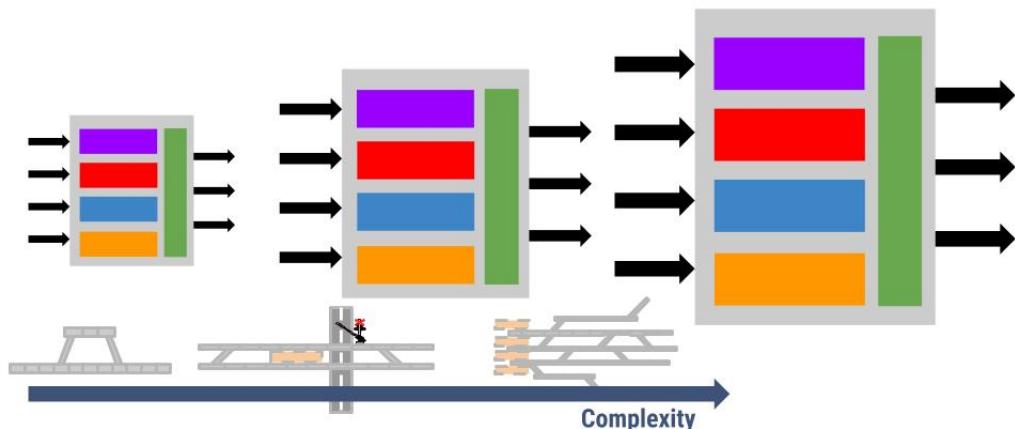


FIGURA 2.8: Escalabilidad del enfoque funcional

Es destacable que a medida que la topología se complejiza la cantidad de bloques para modelarla sigue siendo la misma. Lo que incrementa es la cantidad de estados en cada máquina de estados y la densidad de conexiones tanto entre los bloques como internamente.

El tener bloques monolíticos y de crecimiento exponencial perjudica el desarrollo de los tests que deben ser desechados y reescritos de cero cada vez que la topología cambie, por más mínimos que sean los cambios.

Otro problema encontrado es el de la incompletitud, que se detalló al inicio de la Sección 2.2. Si la red admite  $M$  rutas pero solo se definieron  $N$  como necesarias (donde  $N \leq M$ ) entonces se podrían tener  $N$  tests que las validen y el sistema se certifica para  $N$  rutas. Pero si en un futuro se necesitan  $N+1$  rutas se deberá hacer todo el proceso de validación desde cero, encareciendo todo el proyecto.

La ventaja central de este enfoque es que, teniendo la tabla de enclavamientos correctamente definida, es muy sencillo e inmediato pasar de la tabla a la implementación del sistema. Aunque el uso de memoria es excesivo y desde el punto de vista del testing y la validación es incompleto.

### 2.3. Enfoque geográfico

En el mundo de la electrónica el concepto de red circuital se usa ampliamente. El funcionamiento de la red a nivel macro es la consecuencia directa de los principios físicos de funcionamiento de pequeños elementos discretos (resistores, capacitores, inductores, etc) y su interconexión entre ellos. Sabiendo como funciona un componente es posible predecir y simular el comportamiento de una red entera llena de estos, sin importar que sean de diferente valor, solo basta con que sean regidos por el mismo principio físico.

Es entonces que removemos el concepto de ruta como elemento central del desarrollo y nos enfocamos a modelar los elementos discretos de la red ferroviaria (semáforos, barreras, cambios, circuitos de vía). Este enfoque se denomina geográfico, ya que el comportamiento macro de la red es consecuencia directa de la relación entre los elementos mencionados. En la Figura 2.9 se representa la idea central de este enfoque: la variedad de elementos es finita y puede ser modelada fácilmente, el foco del desarrollo debe estar centrado en el análisis de la red ferroviaria misma.

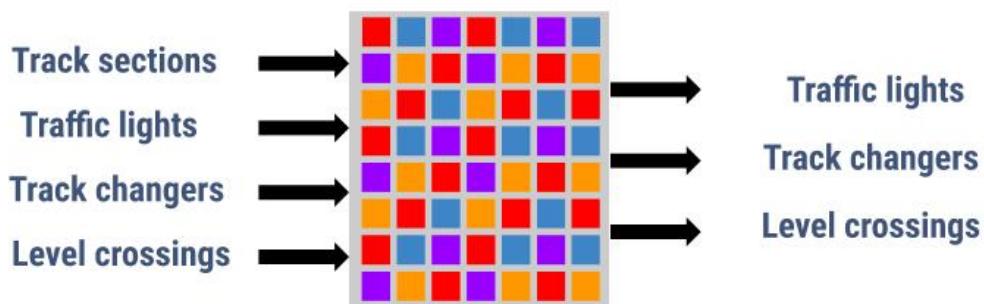


FIGURA 2.9: Enfoque geográfico

Se puede apreciar en la figura que la variedad de colores de los pequeños bloques es limitada. Esto se debe a que cada uno simboliza un elemento ferroviario, sin importar cual sea. El concepto a destacar es que una vez que se ha modelado un bloque rojo, todos los bloques rojos se comportarán igual y es su posición relativa a los otros bloques (sean o no rojos) lo que tendrá una funcionalidad a nivel general.

#### 2.3.1. Análisis de grafos

Un grafo es una representación matemática de las relaciones (aristas) entre componentes (nodos) de una red. Utilizado ampliamente en ciencias de la computación y matemática, es sencillo llegar a un modelo de grafos partiendo desde una topología como la de la Figura 2.10, donde a cada tramo de vía se le asignó un nodo y cada arista del grafo representa el vínculo que existe entre ese tramo y sus vecinos.

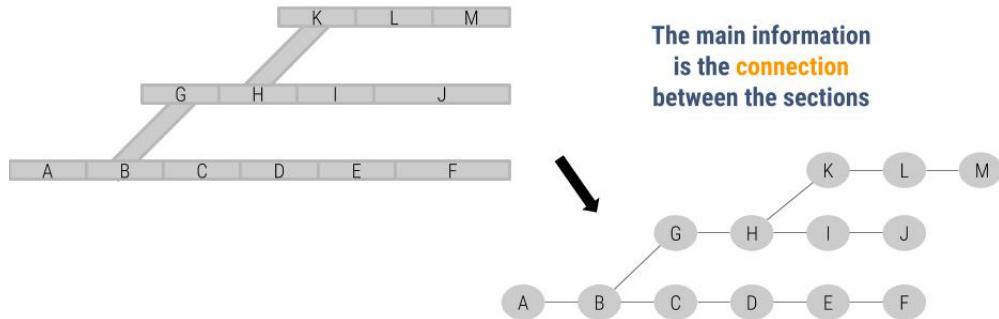


FIGURA 2.10: Pasaje de topología ferroviaria a grafo

Por ejemplo, el nodo B posee un cambio de vías que vincula los tramos A y C si el cambio se encuentra en posición normal y los tramos A y G si el cambio se encuentra en posición inversa. Por lo tanto en el grafo, el nodo B posee aristas que lo vinculan con los nodos A,C y G.

La misma topología de la Figura 2.10 puede ser analizada por el algoritmo creado para este trabajo utilizando como información únicamente el grafo que la modela. Todos los nodos que tengan un solo vecino son extremos de la red, mientras que los que tengan tres vecinos se asumirá que poseen un cambio de vías. Los nodos que tengan dos vecinos serán analizado según su posición relativa a cambios cercanos. El resultado de analizar esta topología se muestra en la Figura 2.11.

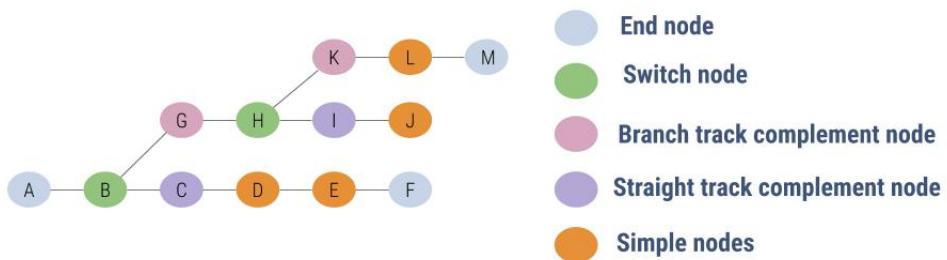


FIGURA 2.11: Análisis del grafo ferroviario

Nodos como el G y el K deben analizarse por su posición relativa a los nodos B y H que son la raíz del cambio. Al desprenderse de la rama principal de circulación son categorizados como complementos de rama. En cambio los nodos C e I al continuar el trayecto que tienen los nodos A-B y G-H son complementos directos de la rama, porque la extienden mas allá de los segmentos indicados.

Otros nodos como D,E y L no tienen ninguna característica especial en este ejemplo, pero bien podrían categorizarse de otra manera si por los tramos de vías que representan se tuviese un paso a nivel.

### 2.3.2. Flujo de trabajo

El procedimiento se puede repetir infinitamente para cualquier topología, ya que sin importar la cantidad de elementos o sus conexiones, todos los vínculos entre componentes pueden ser representados mediante un grafo. Se ilustra en la Figura 2.12 el esquema de trabajo seguido para el enfoque geográfico.

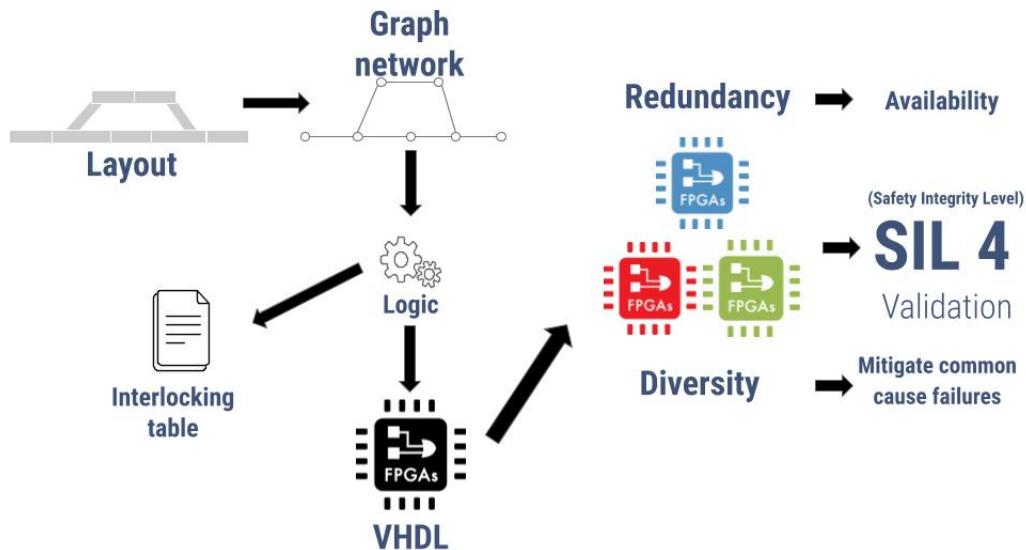


FIGURA 2.12: Esquema de trabajo en el enfoque geográfico

A diferencia del enfoque funcional, en el enfoque geográfico la tabla de enclavamientos ocupa un rol secundario al ser un historial del proceso de conversión entre el gráfico y la implementación electrónica del sistema. Obviamente la tabla de enclavamientos del enfoque funcional (al ser incompleta) debe estar contenida en la tabla de enclavamientos del enfoque geográfico (al considerar todas las rutas que admite la red). Ambos enfoques, aunque parten de conceptos distintos, deben converger en los mismos resultados y ser consistentes a la hora de comparar ambas tablas.

El proceso se inicia con el pasaje, de momento manual, del layout al grafo. El cual es analizado por el algoritmo que detecta cuantos semáforos, de cuantos aspectos, en que orientación y donde deben situarse para que el sistema sea seguro. Además de detectar la posición de todos los cambios y barreras, encontrando todas las rutas soportadas por la red y generando una tabla de enclavamientos completa.

El proceso culmina de forma idéntica al enfoque funcional, aplicando estrategias de redundancia y diversidad se buscará alcanzar un nivel de seguridad alto propio de la industria nuclear o aeroespacial.

### 2.3.3. Escalabilidad de la estrategia

Realizando el mismo análisis de escalabilidad se llega a una conclusión muy diferente respecto al otro enfoque. Al aumentar la complejidad, y por lo tanto el tamaño, de las topologías, el tamaño de los bloques se mantiene constante, pero aumenta la cantidad de bloques necesarios para implementar el sistema. Esto es ilustrado en la Figura 2.13.

Todos los tests unitarios, referidos a cada bloque del mismo color que modelan un mismo espacio físico (que puede o no contener una barrera, un cambio o varios semáforos) se elaboran una única vez, sin importar la cantidad de elementos idénticos presentes en la topología. Sumado a que, como en este enfoque se identifican todas las rutas y por lo tanto se pueden generar todos los tests necesarios, entonces la batería de ensayos que otorga este enfoque es completa. Es decir, siempre

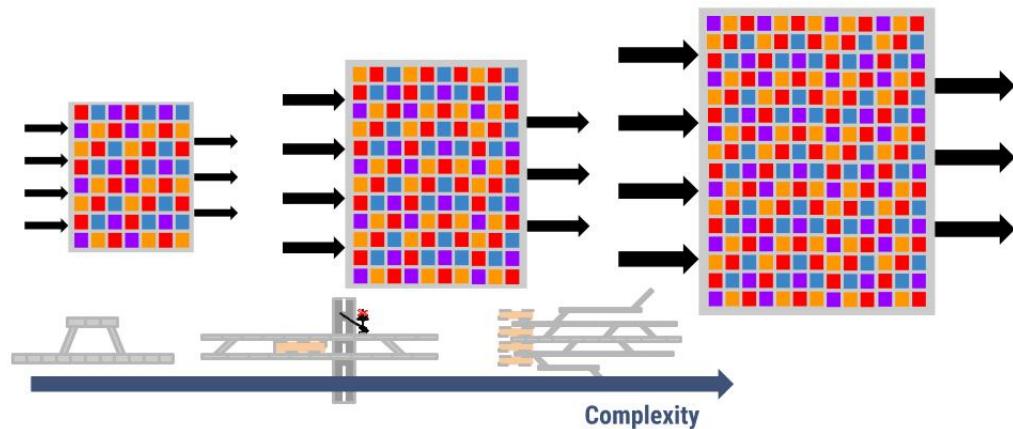


FIGURA 2.13: Escalabilidad del enfoque geográfico

se tendrán una cantidad de test mayor o igual que la necesaria para cualquier necesidad presente o futura.

Una desventaja de este enfoque es que se debe implementar el analizador de redes ferroviarias y un conversor que dado un grafo genere toda la estructura de archivos necesaria para implementar el circuito electrónico en una FPGA. Por lo tanto, la complejidad y en consecuencia el tiempo de desarrollo es mayor.



## Capítulo 3

# Diseño e Implementación

En este capítulo se presentarán las decisiones de diseño adoptadas para concretar el desarrollo del trabajo. Además de describir en forma genérica los módulos necesarios tanto del sistema de enclavamiento como de los bloques auxiliares para concretar una comunicación exitosa entre el sistema y el exterior.

### 3.1. Consideraciones generales

En el presente trabajo se optó por implementar el sistema bajo el enfoque funcional. Asumiendo que sus ventajas son mucho mas fuertes que sus desventajas y el análisis de los resultados obtenidos fueron mucho mas provechosos que los de su contraparte funcional.

Los módulos del sistema fueron implementados con máquinas de estado finitas con camino de datos (FSMD, del inglés *Finite State Machine with Data path*), que son máquinas de estado finitas (FSM, del inglés *Finite State Machine*) y circuitos secuenciales. La FSMD (Figura 3.1) posee dos partes diferenciadas: el camino de control y el camino de datos. El camino de control contiene una FSM que ,según las entradas de control y el estado interno que posee, genera señales de control internas que controlan los circuitos secuenciales del camino de datos que contienen los bloques que procesan las entradas y actúan sobre las salidas.

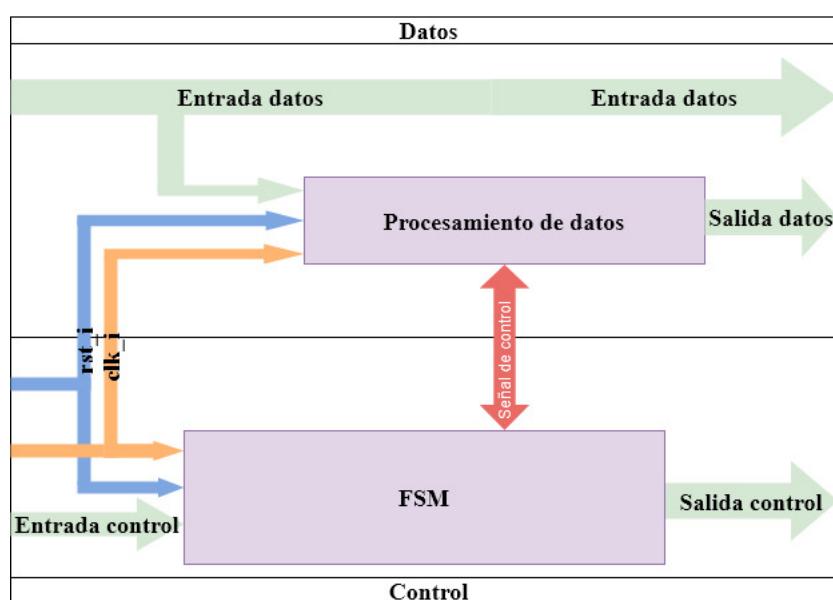


FIGURA 3.1: Diagrama en bloques genérico de una FSMD

Siguiendo los lineamientos recomendados, una FSMD debe ser diseñada, implementada y simulada siguiendo los siguientes pasos:

1. Definición del algoritmo a implementar.
2. Definición de entradas y salidas de la FSMD.
3. Diseño del camino de datos.
4. Diseño de interfaz entre camino de datos y camino de control.
5. Definición de los estados de la FSM.
6. Diseño de la FSM.
7. Implementar el diseño.
8. Diseñar e implementar los ensayos.

Esta metodología puede inferir mas tiempo de desarrollo que el habitual, pero ya ha demostrado ser exitosa en el proyecto realizado por el Mg. Ing. Facundo Larosa, codirector de este trabajo. Por lo que se aprovechó su experiencia y conocimiento para resolver esta etapa del desarrollo. Los beneficios son un mayor control del diseño a bajo nivel, una mayor portabilidad y un mas eficiente uso de los recursos de la plataforma electrónica.

### 3.2. Plataforma utilizada

Por razones de disponibilidad se utilizó el kit de desarrollo Arty Z7 (Figura 3.2), el cual posee 17600 LUT's, 35200 FF's, 32 BUFG's y 100 IOB's [cite28]. Se lo utilizó como base para sintetizar el diseño y extraer conclusiones que permitan dimensionar los recursos lógicos necesarios para un desarrollo de estas características.

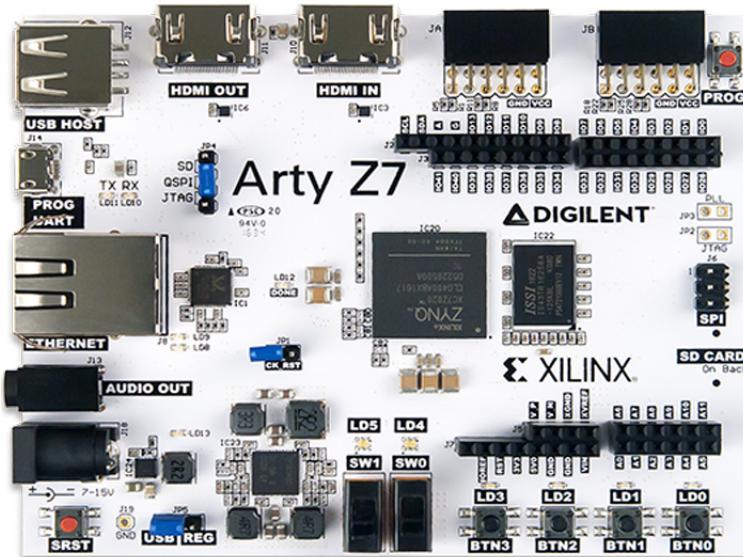


FIGURA 3.2: FPGA Arty Z7-10 de Digilent

### 3.3. Análisis de la red ferroviaria y generación automática del código

Todo grafo ferroviario necesita dos datos para estar definido. El primero es la una lista de relaciones entre nodo inicial y nodo final, el segundo es la posición absoluta del nodo en el grafo junto con datos adicionales como si posee un paso a nivel o si es bidireccional. Con esa información es posible realizar un análisis para obtener un resultado como el que se presenta en la Figura 3.3 al ingresar un grafo de una red ferroviaria bypass.

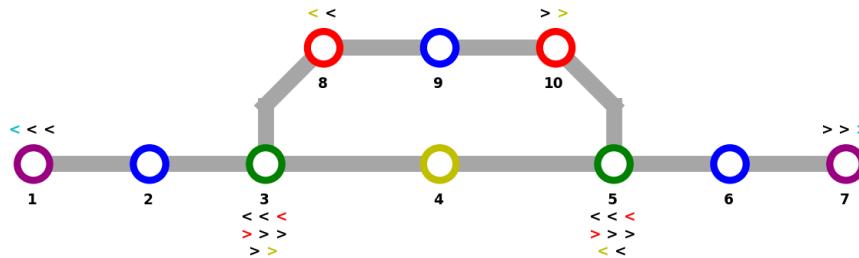


FIGURA 3.3: Grafo luego de ser analizado por el algoritmo

Los nodos 1 y 7 se encuentran pintados de violeta porque al tener un único vecino cada uno se consideran nodos extremos. Los nodos 2,6 y 9 no presentan nada en especial por lo que son nodos simples. Los que si tienen una importancia central en el análisis son los nodos que poseen tres vecinos: el nodo 3 y el nodo 5, que son pintados en verde y se consideran cambios raíz.

Luego el nodo 4 es categoriza como nodo cambio directo por ser la continuación de los segmentos 2-3 y 5-6 de tener el cambio de vía en posición normal, permitiendo la circulación directa. En este caso el nodo 4 es compartido por ambos cambios pero no siempre se da este caso.

Los nodos 8 y 10, siendo vecinos de los cambios 3 y 5 pero no compartiendo ninguna coordenada espacial con ellos, son nodos de cambios ramificados. Es decir, solo permitirán la secuencia de nodos 2-3-8 o 9-8-3 si la máquina de cambios se encuentra en posición inversa. Para el nodo 5 el análisis es análogo.

La asignación de semáforos se realiza solo sobre los nodos extremos, cambios raíz y cambios ramificados. Los extremos necesitan los semáforos para permitir la salida de las formaciones de la red, ya que la red ferroviaria continua mas allá del nodo 1 y del 7, de ser nodos extremos absolutos (fin de red) no corresponde que se les asigne un semáforo.

Los nodos de cambios son los que presentan mayor cantidad de semáforos. Necesitan dos semáforos de tres aspectos para permitir la circulación directa sobre el cambio cuando se encuentra en posición normal y un semáforo de dos aspectos para permitir la circulación en la ramificación del recorrido, pero con precaución por ser una zona crítica. Finalmente los nodos de cambios ramificados solo presentan un semáforo de doble aspectos como complemento al otro semáforo de maniobras, para permitir utilizar la ramificación para volver al recorrido principal a una velocidad moderada.

### 3.4. Módulo de nodos

FIGURA 3.4: HOLA



### 3.5. Módulo de cambios

FIGURA 3.5: HOLA



### 3.6. Módulo de red

FIGURA 3.6: HOLA



### 3.7. Módulos de adaptación a enclavamiento

El módulo de enclavamientos espera como entradas un vector de elementos booleanos de tamaño N y su salida será el mismo vector pero reducido a un tamaño M. Es por eso que es necesario el introducir dos módulos de adaptación. El primero debe separar el vector de N elementos booleanos (Tabla 3.1) en las señales que el enclavamiento necesita y el segundo debe recibir las señales de salida del sistema de enclavamiento (Tabla 3.2) y volver a generar el vector de elementos booleanos, que al no tener el estado de ocupación ahora tendrá un tamaño M menor que el N original.

TABLA 3.1: Trama de datos a recibir

Trama de entrada [N]			
Ocupacion	Semaforos	Barreras	Cambios

TABLA 3.2: Trama de datos a enviar

Trama de salida [M]			
	Semaforos	Barreras	Cambios

La información de la ocupación tendrá tantos elementos como circuitos de vía a modelar, donde cada tramo libre se modelará con un 1 y cada ocupado con un 0. De igual forma para barreras y cambios.

La única diferencia es en el caso de los semáforos donde la información de cada semáforo no ocupará un bit sino dos bits, de forma tal de tener cuatro posibles aspectos: rojo (00), amarillo (01), doble amarillo (10) y verde (11).

#### 3.7.1. Módulo separador

En la Figura 3.7 se puede ver la FSMD del módulo separador. El mismo debe recibir el vector de elementos booleanos de tamaño N (paquete[N]) y la orden de que debe procesarlo(procesar).

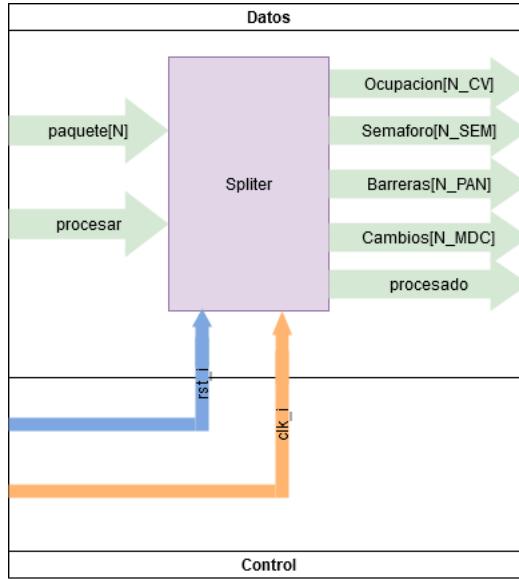


FIGURA 3.7: FSMD del módulo separador

A continuación, como el generador de código sabe previamente la cantidad de cada uno de los elementos ferroviarios separa el paquete, puede descomponer de forma sencilla los elementos del vector paquete[N] en vectores (o variables) mas pequeñas según corresponda.

### 3.7.2. Módulo mediador

El bloque mediador que se puede visualizar en la Figura 3.8 tiene como función volver a generar el vector de elementos booleanos que ya han sido procesados por el enclavamiento.

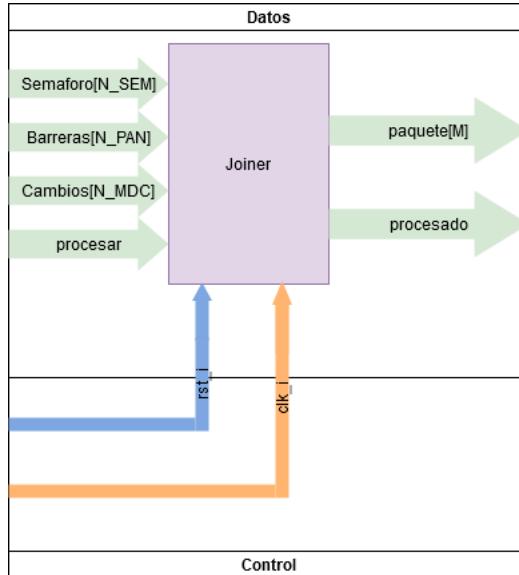


FIGURA 3.8: FSMD del módulo mediador

Recibe la salida del enclavamiento y la orden de generar el paquete (procesar). Una vez que el vector (paquete[M]) ha sido creado se envía una variable de control (procesado) a la siguiente etapa para poder coordinar todo el sistema con un

solo reloj.

### 3.8. Módulos de procesamiento de tramas

Durante el desarrollo del trabajo de la Especialización en Sistemas Embebidos se había considerado la estrategia de obtener las señales de forma paralela, es decir, para cada elemento se tenía asignado un pin que monitoreaba su estado. Esto resultó ser un problema a la hora de implementar topologías mas grandes, necesitando hasta 5 veces la cantidad de entradas digitales que la plataforma tenía. Por lo tanto se decidió cambiar a una lectura y escritura en serie.

Pero el utilizar una lectura serie implica que debe indicarse cual es el inicio y el final de cada mensaje, además de un criterio para determinar si el mensaje recibido es fiable.

#### 3.8.1. Módulo detector

El módulo detector tiene como función el recibir una secuencia de caracteres y armar una salida con un vector de elementos booleanos. Un diagrama en bloques del funcionamiento del módulo se muestra en la Figura 3.9

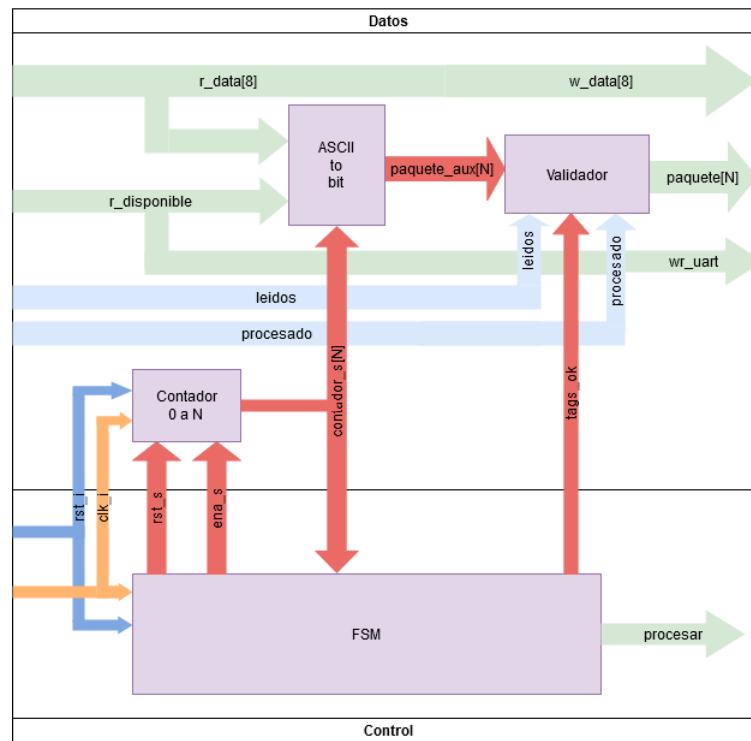


FIGURA 3.9: FSMD del módulo detector

La Uart envía secuencialmente un carácter por medio de la señal `r_data` (8 bytes) y un pulso (r\_disponible) para informar que un nuevo dato ha sido enviado, además de indicar por medio de la señal `N` la cantidad de caracteres que serán enviados.

El proceso de detección es ilustrado en la Figura 3.10.

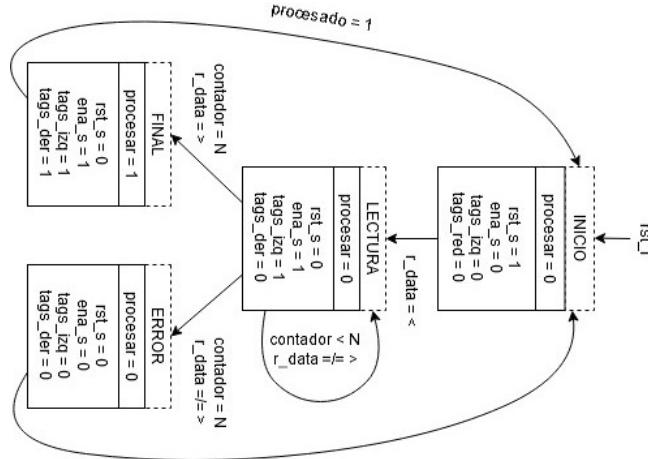


FIGURA 3.10: Estados del módulo detector

Se tiene un estado inicial en el cual se espera el carácter de inicio de la trama ("<") que provoca una transición al estado de lectura. En dicho estado se recibirán hasta `N` caracteres mientras se actualiza un contador interno. Cuando el contador interno iguale la cantidad `N` se verifica si el próximo carácter es el de fin de trama (">").

Si el carácter leído es el de final de trama se pasa al estado final donde el paquete es considerado válido y enviado a la próxima etapa junto con su pulso de validación del dato. Si el carácter leído es distinto, entonces se descarta toda la trama

y se vuelve al inicio a la espera de otro carácter de inicio de trama, reiniciando todas las variables auxiliares.

Internamente se tienen varias variables auxiliares para controlar si se han recibido los delimitadores y si la cantidad recibida es correcta. Eso cobra gran importancia al realizar los ensayos porque se puede diferenciar rápidamente la fuente de posibles errores.

### 3.8.2. Módulo registro

Así como el módulo de detección realizaba una conversión de caracteres (1 byte) a booleanos (1 bit), el módulo de registro (Figura 3.11) hace la operación inversa. Dado un vector de elementos booleanos, el módulo debe generar  $M$  caracteres '0' o '1' según corresponda en base al vector y enviarlos a la Uart para su posterior impresión.

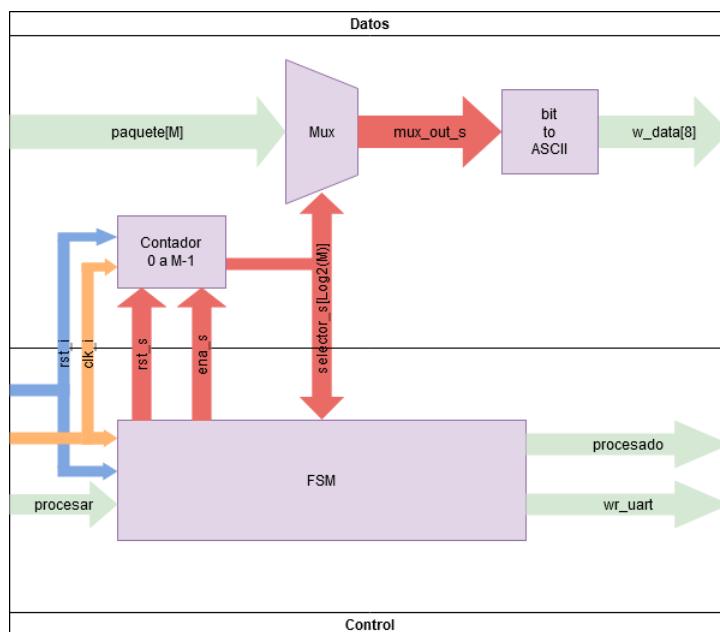


FIGURA 3.11: FSMD del módulo registro

La máquina de estados (FSM) se ocupa de generar cada dos ciclos de reloj un pulso para poder enviar secuencialmente los caracteres detectados. A la vez que el multiplexor va seleccionando cada elemento del vector paquete[M] según el valor del contador vigente, que se incrementa cada pulso del reloj interno generado.

Finalmente se envía un carácter ASCII "1" si el elemento i-ésimo del paquete es '1' lógico y un "0" si lo recibido es un '0' lógico. Junto con el carácter se envía la señal wr\_uart para indicarle a la Uart que ese dato debe ser guardado en la FIFO de salida y la señal procesado para indicarle al módulo de detección que ya puede recibir nuevas tramas.

La máquina de estados es ilustrada en la Figura 3.12. Se añadieron dos estados para generar el pulso de reloj necesario para mantener sincronizadas las tramas y el estado de reinicio se accede al sobreponer el tamaño máximo del contador interno que es igual a M, la cantidad de elementos esperados.

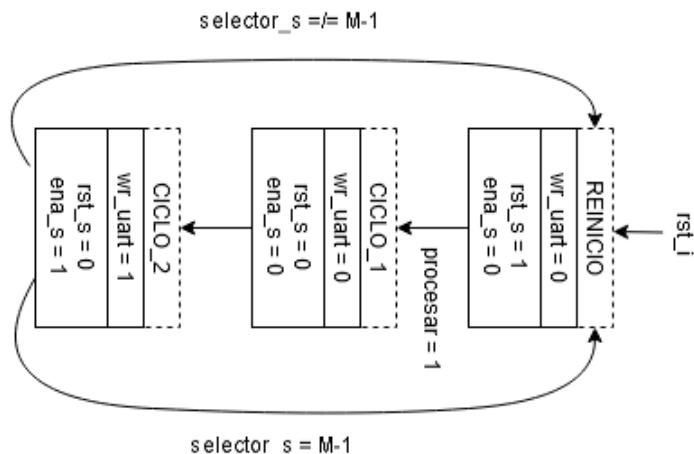


FIGURA 3.12: Estados del módulo registro

La señal procesar es recibida de las etapas anteriores, si la trama ingresada es incorrecta o si ya fue impresa entonces esa señal será '0' y el registro deja de enviar datos a la UART. En caso afirmativo (procesar = '1') el proceso continuará hasta que la UART indique que no pueda recibir mas datos o que alguna etapa previa informe de algún error en el proceso.

### 3.8.3. Módulo selector

Para facilitar el proceso de desarrollo se añadió la posibilidad de elegir con uno de los switchs del kit de desarrollo el puntear completamente el enclavamiento. Es decir, con una posición del switch la salida era una copia exacta de la entrada, permitiendo diseñar todo el proceso de detección, lectura y escritura en la UART de forma independiente al enclavamiento. Mientras que con la otra posición del switch se enviaba la señal de entrada el sistema de enclavamiento y la salida era la consecuencia de haber pasado por este proceso.

En la Figura ?? se ilustra brevemente este módulo.

FIGURA 3.13: Diagrama de estados finitos digitales del módulo selector

La implementación es por demás sencilla: un selector que decide enviar la entrada a una salida u otra según la posición del switch, de forma asincrónica. Aunque no solo envía el dato sino también la ráfaga de pulsos asociada para su correcta escritura en la UART.

### 3.9. Módulo de comunicación UART

Para el diseño de los módulos para la interface UART con el exterior se utilizó un modelo básico aportado por los docentes, pero fueron necesarias varias premisas para modificarlo y poder automatizarlo:

- Se deben tener dos FIFOs distintas, una de entrada y la otra de salida.
- El tamaño de las FIFOs debe adaptarse a la topología: redes mas grandes necesitarán FIFOs mas grandes y redes mas pequeñas requerirán FIFOs mas pequeñas.
- Ambas FIFOs no pueden tener tamaño idéntico.
- Se deben incluir señales que indiquen al sistema si se tienen nuevos datos del exterior o si es posible recibir nuevos datos procesados para su posterior impresión.
- Cada cierto tiempo ambas FIFOs deberán vaciarse en su totalidad.

Se presenta en la Figura 3.14 un diagrama en bloques de la UART.

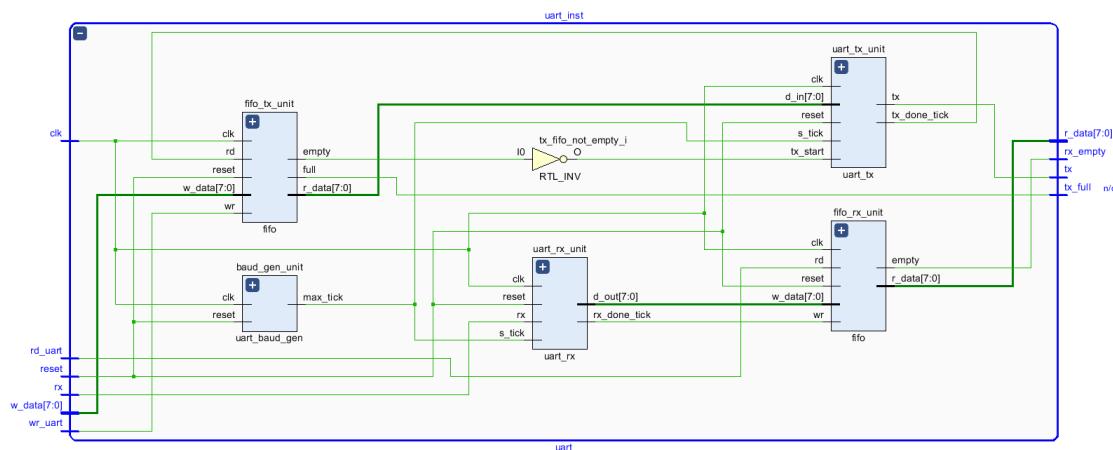


FIGURA 3.14: Diagrama en bloques de la UART

Los bloques de las FIFOs internamente son el mismo bloque, pero son instanciados de forma diferente para que adopten tamaños distintos y sean conectados a señales distintas, ya que su rol no es el mismo. La FIFO de entrada es la encargada de almacenar los valores ingresados en la plataforma con un baud-rate definido y envía su contenido al sistema junto con una serie de pulsos para indicar cuando deben ser leídos. La FIFO de salida, en cambio, debe almacenar los resultados del sistema según una serie de pulsos generada por el mismo sistema. Para luego imprimir el resultado por el puerto serie con el baud-rate definido.

La FIFO de entrada se utiliza para almacenar una trama de la forma «Mensaje de largo N» por lo que espera al menos N+2 bytes, mientras que la FIFO de salida

espera mensajes de la forma "Mensaje de largo M" que mide M bytes. Ya que  $N > M$  es claro que  $N + 2 > M$  en la mayoría de los casos. Aunque también puede ocurrir que la diferencia entre ambos no sea tanta y al implementar el tamaño de las FIFOs en potencias de 2 terminen ambas FIFOs con el mismo tamaño.

Con este criterio de diseño, en todos los demás casos, la FIFO de salida deberá ser 50 % menor que la de entrada, representando un ahorro de 25 % de los recursos estimados.

### 3.10. Interfaz de comunicación Python

El algoritmo analizador de redes finaliza ejecutando la conexión de la consola utilizada con la plataforma FPGA. Presentando al usuario un menú de opciones para ocupar/desocupar ciertos tramos de la vía, cambiar el aspecto de ciertos semáforos, pedir que una barrera suba o baje o incluso el modificar la posición de una máquina de cambios.

PRESENTAR EJEMPLO.

Todos los cambios repercuten en el grafo mostrado en pantalla que cambiará los colores de los semáforos y los colores de los nodos para representar la ocupación del tren. Así como también el color de las aristas para indicar la posición de los cambios.



## Capítulo 4

# Ensayos y Resultados

### 4.1. Validación de grafos

**Topología bypass**

**Topología playa de maniobras**

**Topología estación**

### 4.2. Validación del nodo

La generación automática de código instancia diferentes tipos de nodos con mas o menos salidas. A la hora de realizar los ensayos se utilizó como bloque de prueba el nodo mas completo: el nodo perteneciente al tramo de vía que incluye la máquina de cambios. De esta forma se tenía la mayor cantidad de semáforos, interacciones, vecinos y comportamientos posibles.

#### 4.2.1. Testbench del módulo nodo

Se generó el Algoritmo 4.1 para evaluar todas las posibles combinaciones de estados, definidas en la Tabla 4.1.

TABLA 4.1: Combinaciones posibles

Tramo propia	Tramo vecino	Aspecto vecino
Ocupado	Ocupado	Rojo
Ocupado	Ocupado	Amarillo
Ocupado	Ocupado	Verde
Ocupado	Libre	Rojo
Ocupado	Libre	Amarillo
Ocupado	Libre	Verde
Libre	Ocupado	Rojo
Libre	Ocupado	Amarillo
Libre	Ocupado	Verde
Libre	Libre	Rojo
Libre	Libre	Amarillo
Libre	Libre	Verde

```

1
2 library ieee;
3 use ieee.std_logic_1164.all;
4 use IEEE.numeric_std.all;
5 —Declare the package
6 use work.my_package.all;
7
8 entity tb_nodo is
9 end tb_nodo;
10
11 architecture tb of tb_nodo is
12
13 component nodo_1 is
14 generic(
15     N : natural := 21;
16     N_SEM : natural := 7;
17     N_MDC : natural := 1;
18     N_CVS : natural := 6
19 );
20 port(
21     Clock : in std_logic;
22     Reset : in std_logic;
23     Estado_i : in std_logic;
24     Estado_post : in std_logic;
25     Semaforo_propio_i_1 : in sem_type;
26     Semaforo_propio_o_1 : out sem_type;
27     Semaforo_cercano : out sem_type;
28     Semaforo_lejano : out sem_type;
29     Estado_o : out std_logic
30 );
31 end component;
32
33 Signal Clock : std_logic;
34 Signal Reset : std_logic;
35 Signal Estado_i : std_logic;
36 Signal Estado_post : std_logic;
37 Signal Semaforo_propio_i_1 : sem_type;
38 Signal Semaforo_propio_o_1 : sem_type;
39 Signal Semaforo_cercano : sem_type;
40 Signal Semaforo_lejano : sem_type;
41 Signal Estado_o : std_logic;
42
43 constant TbPeriod : time := 8 ns; — EDIT Put right period here
44 signal TbClock : std_logic := '0';
45 signal TbSimEnded : std_logic := '0';
46
47 begin
48
49     dut : nodo_1
50     port map (
51         Clock      => Clock,
52         Reset      => Reset,
53         Estado_i   => Estado_i,
54         Estado_post => Estado_post,
55         Semaforo_propio_i_1 => Semaforo_propio_i_1,
56         Semaforo_propio_o_1 => Semaforo_propio_o_1,
57         Semaforo_cercano => Semaforo_cercano,
58         Semaforo_lejano => Semaforo_lejano,
59         Estado_o    => Estado_o
60     );
61
62     — Clock generation

```

```

63    TbClock <= not TbClock after TbPeriod/2 when TbSimEnded /= '1' else
64      '0';
65
66  — EDIT: Check that clk_i is really your main clock signal
67  Clock <= TbClock;
68
69  datos : process
70  begin
71    Reset <= '0';
72    wait for 1 * TbPeriod;
73    Reset <= '1';
74
75  — (0,0,0,0):
76    Estado_i <= '0';
77    Estado_post <= '0';
78    Semaforo_propio_i_1.lsb <= '0';
79    Semaforo_propio_i_1.msb <= '0';
80    wait for 20 * TbPeriod;
81  — (0,0,0,1):
82    Estado_i <= '0';
83    Estado_post <= '0';
84    Semaforo_propio_i_1.lsb <= '0';
85    Semaforo_propio_i_1.msb <= '1';
86    wait for 20 * TbPeriod;
87  — (0,0,1,1):
88    Estado_i <= '0';
89    Estado_post <= '0';
90    Semaforo_propio_i_1.lsb <= '1';
91    Semaforo_propio_i_1.msb <= '1';
92    wait for 20 * TbPeriod;
93  — (0,1,0,0):
94    Estado_i <= '0';
95    Estado_post <= '1';
96    Semaforo_propio_i_1.lsb <= '0';
97    Semaforo_propio_i_1.msb <= '0';
98    wait for 20 * TbPeriod;
99  — (0,1,0,1):
100   Estado_i <= '0';
101   Estado_post <= '1';
102   Semaforo_propio_i_1.lsb <= '0';
103   Semaforo_propio_i_1.msb <= '1';
104   wait for 20 * TbPeriod;
105  — (0,1,1,1):
106   Estado_i <= '0';
107   Estado_post <= '1';
108   Semaforo_propio_i_1.lsb <= '1';
109   Semaforo_propio_i_1.msb <= '1';
110   wait for 20 * TbPeriod;
111  — (1,0,0,0):
112   Estado_i <= '1';
113   Estado_post <= '0';
114   Semaforo_propio_i_1.lsb <= '0';
115   Semaforo_propio_i_1.msb <= '0';
116   wait for 20 * TbPeriod;
117  — (1,0,0,1):
118   Estado_i <= '1';
119   Estado_post <= '0';
120   Semaforo_propio_i_1.lsb <= '0';
121   Semaforo_propio_i_1.msb <= '1';
122   wait for 20 * TbPeriod;
123  — (1,0,1,1):
124   Estado_i <= '1';

```

```

125     Semaforo_propio_i_1.lsb <= '1';
126     Semaforo_propio_i_1.msb <= '1';
127     wait for 20 * TbPeriod;
128     — (1,1,0,0):
129     Estado_i <= '1';
130     Estado_post <= '1';
131     Semaforo_propio_i_1.lsb <= '0';
132     Semaforo_propio_i_1.msb <= '0';
133     wait for 20 * TbPeriod;
134     — (1,1,0,1):
135     Estado_i <= '1';
136     Estado_post <= '1';
137     Semaforo_propio_i_1.lsb <= '0';
138     Semaforo_propio_i_1.msb <= '1';
139     wait for 20 * TbPeriod;
140     — (1,1,1,1):
141     Estado_i <= '1';
142     Estado_post <= '1';
143     Semaforo_propio_i_1.lsb <= '1';
144     Semaforo_propio_i_1.msb <= '1';
145     wait for 20 * TbPeriod;
146
147     wait for 500 * TbPeriod;
148 —TbSimEnded <= '1';
149 end process;
150
151 end tb;
152
153 — Configuration block below is required by some simulators. Usually no
   need to edit.
154
155 configuration cfg_tb_nodo of tb_nodo is
156   for tb
157   end for;
158 end cfg_tb_nodo;
159

```

ALGORITMO 4.1: Testbench del módulo nodo

#### 4.2.2. Resultados obtenidos

En la Figura 4.1 se muestra el resultado obtenido. Siempre que el tramo está ocupado el semáforo cambia su aspecto a rojo. Si el tramo analizado está desocupado se desprenden varios casos:

- Si el vecino esta ocupado: el semáforo analizado estará en aspecto rojo.
- Si el vecino está desocupado:
  - Si el semáforo vecino está en rojo: el semáforo analizado estará en aspecto amarillo.
  - Si el semáforo vecino está en amarillo: el semáforo analizado estará en aspecto verde.

El haber validado el nodo genérico que incluye todos los posibles estados que los nodos menos complejos heredarán, se consideró que el ensayo fue un éxito.

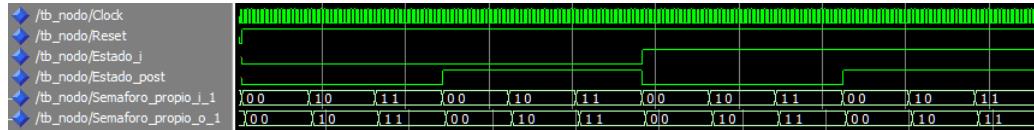


FIGURA 4.1: Simulación de un nodo

### 4.3. Validación de la máquina de cambios

El módulo de la máquina de cambios tiene como función el conectar al estado anterior con el estado posterior o al estado anterior con el estado desvío según la posición del cambio de vías, como se indica en la Tabla 4.2.

TABLA 4.2: Combinaciones posibles

Posición del cambio	Estado anterior	Estado posterior	Estado desvío
Normal	Ocupado	Ocupado	Ocupado
Normal	Ocupado	Ocupado	Libre
Normal	Ocupado	Libre	Ocupado
Normal	Ocupado	Libre	Libre
Normal	Libre	Ocupado	Ocupado
Normal	Libre	Ocupado	Libre
Normal	Libre	Libre	Ocupado
Normal	Libre	Libre	Libre
Inversa	Ocupado	Ocupado	Ocupado
Inversa	Ocupado	Ocupado	Libre
Inversa	Ocupado	Libre	Ocupado
Inversa	Ocupado	Libre	Libre
Inversa	Libre	Ocupado	Ocupado
Inversa	Libre	Ocupado	Libre
Inversa	Libre	Libre	Ocupado
Inversa	Libre	Libre	Libre

#### 4.3.1. Testbench del módulo de la máquina de cambios

Se generó el Algoritmo 4.2 donde se ensayan todas las combinaciones definidas en la Tabla 4.2.

```

1
2 library ieee;
3 use ieee.std_logic_1164.all;
4 use IEEE.numeric_std.all;
5 --Declare the package
6 use work.my_package.all;
7
8 entity tb_cambio is
9 end tb_cambio;
10
11 architecture tb of tb_cambio is
12

```

```

13  component cambio_1 is
14    generic(
15      N : natural := 21;
16      N_SEM : natural := 7;
17      N_MDC : natural := 1;
18      N_CVS : natural := 6
19    );
20    port(
21      Clock : in std_logic;
22      Reset : in std_logic;
23      Estado_ante_i : in std_logic;
24      Estado_post_i : in std_logic;
25      Estado_desv_i : in std_logic;
26      Estado_ante_o : out std_logic;
27      Estado_post_o : out std_logic;
28      Estado_desv_o : out std_logic;
29      Cambio_i : in std_logic;
30      Cambio_o : out std_logic
31    );
32  end component;
33
34  Signal Clock : std_logic;
35  Signal Reset : std_logic;
36  Signal Estado_ante_i : std_logic;
37  Signal Estado_post_i : std_logic;
38  Signal Estado_desv_i : std_logic;
39  Signal Estado_ante_o : std_logic;
40  Signal Estado_post_o : std_logic;
41  Signal Estado_desv_o : std_logic;
42  Signal Cambio_i : std_logic;
43  Signal Cambio_o : std_logic;
44
45  constant TbPeriod : time := 8 ns; — EDIT Put right period here
46  signal TbClock : std_logic := '0';
47  signal TbSimEnded : std_logic := '0';
48
49 begin
50
51  dut : cambio_1
52  port map (
53    Clock      => Clock,
54    Reset      => Reset,
55    Estado_ante_i  => Estado_ante_i,
56    Estado_post_i  => Estado_post_i,
57    Estado_desv_i  => Estado_desv_i,
58    Estado_ante_o  => Estado_ante_o,
59    Estado_post_o  => Estado_post_o,
60    Estado_desv_o  => Estado_desv_o,
61    Cambio_i      => Cambio_i,
62    Cambio_o      => Cambio_o
63  );
64
65  — Clock generation
66  TbClock <= not TbClock after TbPeriod/2 when TbSimEnded /= '1' else
67  '0';
68
69  — EDIT: Check that clk_i is really your main clock signal
70  Clock <= TbClock;
71
72  datos : process
73  begin
74    Reset <= '0';
75    wait for 1 * TbPeriod;

```

```
75     Reset <= '1';
76
77     — (0,0,0,0):
78     Cambio_i <= '0';
79     Estado_ante_i <= '0';
80     Estado_post_i <= '0';
81     Estado_desv_i <= '0';
82     wait for 20 * TbPeriod;
83     — (0,0,0,1):
84     Cambio_i <= '0';
85     Estado_ante_i <= '0';
86     Estado_post_i <= '0';
87     Estado_desv_i <= '1';
88     wait for 20 * TbPeriod;
89     — (0,0,1,0):
90     Cambio_i <= '0';
91     Estado_ante_i <= '0';
92     Estado_post_i <= '1';
93     Estado_desv_i <= '0';
94     wait for 20 * TbPeriod;
95     — (0,0,1,1):
96     Cambio_i <= '0';
97     Estado_ante_i <= '0';
98     Estado_post_i <= '1';
99     Estado_desv_i <= '1';
100    wait for 20 * TbPeriod;
101   — (0,1,0,0):
102   Cambio_i <= '0';
103   Estado_ante_i <= '1';
104   Estado_post_i <= '0';
105   Estado_desv_i <= '0';
106   wait for 20 * TbPeriod;
107   — (0,1,0,1):
108   Cambio_i <= '0';
109   Estado_ante_i <= '1';
110   Estado_post_i <= '0';
111   Estado_desv_i <= '1';
112   wait for 20 * TbPeriod;
113   — (0,1,1,0):
114   Cambio_i <= '0';
115   Estado_ante_i <= '1';
116   Estado_post_i <= '1';
117   Estado_desv_i <= '0';
118   wait for 20 * TbPeriod;
119   — (0,1,1,1):
120   Cambio_i <= '0';
121   Estado_ante_i <= '1';
122   Estado_post_i <= '1';
123   Estado_desv_i <= '1';
124   wait for 20 * TbPeriod;
125   — (1,0,0,0):
126   Cambio_i <= '1';
127   Estado_ante_i <= '0';
128   Estado_post_i <= '0';
129   Estado_desv_i <= '0';
130   wait for 20 * TbPeriod;
131   — (1,0,0,1):
132   Cambio_i <= '1';
133   Estado_ante_i <= '0';
134   Estado_post_i <= '0';
135   Estado_desv_i <= '1';
136   wait for 20 * TbPeriod;
137   — (1,0,1,0):
```

```

138 Cambio_i <= '1';
139 Estado_ante_i <= '0';
140 Estado_post_i <= '1';
141 Estado_desv_i <= '0';
142 wait for 20 * TbPeriod;
143 — (1,0,1,1):
144 Cambio_i <= '1';
145 Estado_ante_i <= '0';
146 Estado_post_i <= '1';
147 Estado_desv_i <= '1';
148 wait for 20 * TbPeriod;
149 — (1,1,0,0):
150 Cambio_i <= '1';
151 Estado_ante_i <= '1';
152 Estado_post_i <= '0';
153 Estado_desv_i <= '0';
154 wait for 20 * TbPeriod;
155 — (1,1,0,1):
156 Cambio_i <= '1';
157 Estado_ante_i <= '1';
158 Estado_post_i <= '0';
159 Estado_desv_i <= '1';
160 wait for 20 * TbPeriod;
161 — (1,1,1,0):
162 Cambio_i <= '1';
163 Estado_ante_i <= '1';
164 Estado_post_i <= '1';
165 Estado_desv_i <= '0';
166 wait for 20 * TbPeriod;
167 — (1,1,1,1):
168 Cambio_i <= '1';
169 Estado_ante_i <= '1';
170 Estado_post_i <= '1';
171 Estado_desv_i <= '1';
172 wait for 20 * TbPeriod;
173
174 wait for 500 * TbPeriod;
175 —TbSimEnded <= '1';
176 end process;
177
178 end tb;
179
180 — Configuration block below is required by some simulators. Usually no
   need to edit.
181 configuration cfg_tb_cambio of tb_cambio is
182   for tb
183   end for;
184 end cfg_tb_cambio;
185
186

```

ALGORITMO 4.2: Testbench del módulo de la máquina de cambios

### 4.3.2. Resultados obtenidos

En la Figura 4.2 se visualizan los resultados del ensayo. Cuando la posición de la máquina de cambios es normal entonces el estado anterior y el posterior están comunicados y cada uno puede ver tanto la ocupación como los semáforos del otro. Cuando la posición de la máquina de cambios es inversa entonces los estados vinculados son el anterior y el estado del nodo perteneciente al desvío.

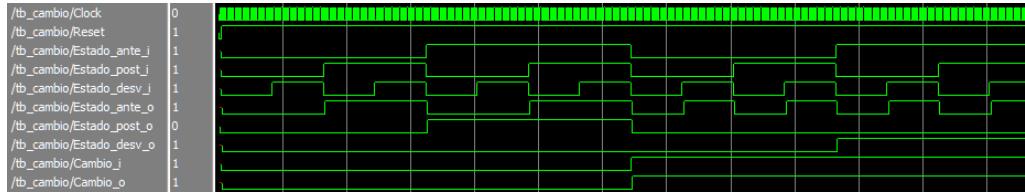


FIGURA 4.2: Simulación de la máquina de cambios

El nodo de cambios funciona de manera sincrónica y vincula correctamente los estados de los nodos involucrados. A diferencia de los bloques de nodos donde todos los nodos implementados tienen la misma cantidad de funciones que el ensayado o menor, todos los cambios tienen las mismas funcionalidades sin ninguna limitación, por lo que este ensayo unitario es suficiente para validar su correcto funcionamiento.

## 4.4. Validación de la UART

En el diseño del sistema se contempló utilizar uno de los switches de la placa de desarrollo para poder puentear todo el enclavamiento y probar fácilmente el funcionamiento de la UART sin el efecto del enclavamiento. En esta sección se realizó el ensayo con el switch en la posición en la cual la salida recibe el mensaje de la entrada directamente, sin pasar por ningun otro bloque.

### 4.4.1. Testbench del módulo UART

Se generó el Algoritmo 4.3 en el cual se inyecta la entrada de la UART directamente a la salida de la UART, teniendo una prueba echo. Todos los mensajes ingresados, siempre que sean válidos, pasarán a la salida para ser publicados en la terminal desde donde se originaron.

```

1 library ieee;
2 use ieee.std_logic_1164.all;
3
4 entity tb_sistema is
5 end tb_sistema;
6
7 architecture tb of tb_sistema is
8
9     component sistema
10        port(
11            Clock: in std_logic;
12            Reset: in std_logic;
13            r_data: in std_logic_vector(8-1 downto 0);
14            r_disponible : in std_logic;
15            leer : out std_logic;
16            escribir : out std_logic;
17            switch1 : in std_logic;
18            switch2 : in std_logic;
19            reset_uart : out std_logic;
20            N : in integer;
21            leds : out std_logic_vector(4-1 downto 0);
22            led_rgb_1 : out std_logic_vector(3-1 downto 0);
23            led_rgb_2 : out std_logic_vector(3-1 downto 0);
24            w_data: out std_logic_vector(8-1 downto 0)
25        );
26    end component;

```

```

27
28
29 signal Clock      : std_logic;
30 signal Reset       : std_logic;
31 signal r_data      : std_logic_vector (8-1 downto 0);
32 signal r_disponible : std_logic;
33 signal leer        : std_logic;
34 signal escribir    : std_logic;
35 signal switch1     : std_logic;
36 signal switch2     : std_logic;
37 signal reset_uart  : std_logic;
38 signal N           : integer;
39 signal leds         : std_logic_vector(4-1 downto 0);
40 signal led_rgb_1   : std_logic_vector (3-1 downto 0);
41 signal led_rgb_2   : std_logic_vector (3-1 downto 0);
42
43 signal w_data      : std_logic_vector (8-1 downto 0);
44
45 constant TbPeriod : time := 8 ns; — EDIT Put right period here
46 signal TbClock : std_logic := '0';
47 signal TbSimEnded : std_logic := '0';
48
49 constant periodo : integer := 100;
50
51 — Low-level byte-write
52 procedure Enviar_char (
53     data      : in  std_logic_vector(8-1 downto 0);
54     signal r_data : out std_logic_vector(8-1 downto 0);
55     signal r_disponible : out std_logic) is
56 begin
57
58     r_disponible <= '0';
59     wait for TbPeriod;
60     r_data <= data;
61     wait for TbPeriod;
62     r_disponible <= '1';
63     wait for TbPeriod;
64     r_disponible <= '0';
65
66 end Enviar_char;
67
68 begin
69
70     dut : sistema
71     port map (Clock      => Clock,
72                Reset       => Reset,
73                r_data      => r_data,
74                r_disponible => r_disponible,
75                leer        => leer,
76                escribir    => escribir,
77                switch1     => switch1,
78                switch2     => switch2,
79                reset_uart  => reset_uart,
80                N           => N,
81                leds         => leds,
82                led_rgb_1   => led_rgb_1,
83                led_rgb_2   => led_rgb_2,
84                w_data      => w_data);
85
86 — Clock generation
87 TbClock <= not TbClock after TbPeriod/2 when TbSimEnded /= '1' else
88 '0';

```

```

89      — EDIT: Check that clk_i is really your main clock signal
90      Clock <= TbClock;
91
92      stimuli : process
93      begin
94          — EDIT Adapt initialization as needed
95          —r_data <= (others => '0');
96
97          — Reset generation
98          — EDIT: Check that rst_i is really your reset signal
99          switch1 <= '1';
100         switch2 <= '0';
101         Reset <= '1';
102         wait for 100 ns;
103         Reset <= '0';
104         switch1 <= '1';
105         switch2 <= '0';
106         wait for 250000 * TbPeriod;
107
108         — Stop the clock and hence terminate the simulation
109         TbSimEnded <= '1';
110         wait;
111     end process;
112
113     datos : process
114     begin
115
116        r_data <= "00000000";
117        r_disponible <= '0';
118
119        wait for 100 ns;
120
121        — 21 – 21 – todos 1
122        N <= 23;
123        Enviar_char("00111100",r_data,r_disponible); — <
124        Enviar_char("00110001",r_data,r_disponible); — 1
125        Enviar_char("00110001",r_data,r_disponible); — 1
126        Enviar_char("00110001",r_data,r_disponible); — 1
127        Enviar_char("00110001",r_data,r_disponible); — 1
128        Enviar_char("00110001",r_data,r_disponible); — 1
129        Enviar_char("00110001",r_data,r_disponible); — 1
130        Enviar_char("00110001",r_data,r_disponible); — 1
131        Enviar_char("00110001",r_data,r_disponible); — 1
132        Enviar_char("00110001",r_data,r_disponible); — 1
133        Enviar_char("00110001",r_data,r_disponible); — 1
134        Enviar_char("00110001",r_data,r_disponible); — 1
135        Enviar_char("00110001",r_data,r_disponible); — 1
136        Enviar_char("00110001",r_data,r_disponible); — 1
137        Enviar_char("00110001",r_data,r_disponible); — 1
138        Enviar_char("00110001",r_data,r_disponible); — 1
139        Enviar_char("00110001",r_data,r_disponible); — 1
140        Enviar_char("00110001",r_data,r_disponible); — 1
141        Enviar_char("00110001",r_data,r_disponible); — 1
142        Enviar_char("00110001",r_data,r_disponible); — 1
143        Enviar_char("00110001",r_data,r_disponible); — 1
144        Enviar_char("00110001",r_data,r_disponible); — 1
145        Enviar_char("00111110",r_data,r_disponible); — >
146
147        wait for periodo * TbPeriod;
148
149        — 21 – 1
150        N <= 23;
151        Enviar_char("00111100",r_data,r_disponible); — <
```

```

152 Enviar_char("00110000",r_data,r_disponible); — 0
153 Enviar_char("00110000",r_data,r_disponible); — 0
154 Enviar_char("00110000",r_data,r_disponible); — 0
155 Enviar_char("00110000",r_data,r_disponible); — 0
156 Enviar_char("00110000",r_data,r_disponible); — 0
157 Enviar_char("00110000",r_data,r_disponible); — 0
158 Enviar_char("00110000",r_data,r_disponible); — 0
159 Enviar_char("00110000",r_data,r_disponible); — 0
160 Enviar_char("00110000",r_data,r_disponible); — 0
161 Enviar_char("00110000",r_data,r_disponible); — 0
162 Enviar_char("00110000",r_data,r_disponible); — 0
163 Enviar_char("00110000",r_data,r_disponible); — 0
164 Enviar_char("00110000",r_data,r_disponible); — 0
165 Enviar_char("00110000",r_data,r_disponible); — 0
166 Enviar_char("00110000",r_data,r_disponible); — 0
167 Enviar_char("00110000",r_data,r_disponible); — 0
168 Enviar_char("00110000",r_data,r_disponible); — 0
169 Enviar_char("00110000",r_data,r_disponible); — 0
170 Enviar_char("00110000",r_data,r_disponible); — 0
171 Enviar_char("00110000",r_data,r_disponible); — 0
172 Enviar_char("00110001",r_data,r_disponible); — 1
173 Enviar_char("00111110",r_data,r_disponible); — >
174
175 wait for periodo * TbPeriod;
176
177 — 21 — 2
178 N <= 23;
179 Enviar_char("00111100",r_data,r_disponible); — <
180 Enviar_char("00110000",r_data,r_disponible); — 0
181 Enviar_char("00110000",r_data,r_disponible); — 0
182 Enviar_char("00110000",r_data,r_disponible); — 0
183 Enviar_char("00110000",r_data,r_disponible); — 0
184 Enviar_char("00110000",r_data,r_disponible); — 0
185 Enviar_char("00110000",r_data,r_disponible); — 0
186 Enviar_char("00110000",r_data,r_disponible); — 0
187 Enviar_char("00110000",r_data,r_disponible); — 0
188 Enviar_char("00110000",r_data,r_disponible); — 0
189 Enviar_char("00110000",r_data,r_disponible); — 0
190 Enviar_char("00110000",r_data,r_disponible); — 0
191 Enviar_char("00110000",r_data,r_disponible); — 0
192 Enviar_char("00110000",r_data,r_disponible); — 0
193 Enviar_char("00110000",r_data,r_disponible); — 0
194 Enviar_char("00110000",r_data,r_disponible); — 0
195 Enviar_char("00110000",r_data,r_disponible); — 0
196 Enviar_char("00110000",r_data,r_disponible); — 0
197 Enviar_char("00110000",r_data,r_disponible); — 0
198 Enviar_char("00110000",r_data,r_disponible); — 0
199 Enviar_char("00110001",r_data,r_disponible); — 1
200 Enviar_char("00110000",r_data,r_disponible); — 0
201 Enviar_char("00111110",r_data,r_disponible); — >
202
203 wait for periodo * TbPeriod;
204
205 — Moviendo el "1" en todas las posiciones —
206
207 — Borrado para la memoria para resumir —
208
209 — Moviendo el "1" en todas las posiciones —
210
211 — 21 — 20
212 N <= 23;
213 Enviar_char("00111100",r_data,r_disponible); — <
214 Enviar_char("00110000",r_data,r_disponible); — 0

```

```
215 Enviar_char("00110001",r_data,r_disponible); — 1
216 Enviar_char("00110000",r_data,r_disponible); — 0
217 Enviar_char("00110000",r_data,r_disponible); — 0
218 Enviar_char("00110000",r_data,r_disponible); — 0
219 Enviar_char("00110000",r_data,r_disponible); — 0
220 Enviar_char("00110000",r_data,r_disponible); — 0
221 Enviar_char("00110000",r_data,r_disponible); — 0
222 Enviar_char("00110000",r_data,r_disponible); — 0
223 Enviar_char("00110000",r_data,r_disponible); — 0
224 Enviar_char("00110000",r_data,r_disponible); — 0
225 Enviar_char("00110000",r_data,r_disponible); — 0
226 Enviar_char("00110000",r_data,r_disponible); — 0
227 Enviar_char("00110000",r_data,r_disponible); — 0
228 Enviar_char("00110000",r_data,r_disponible); — 0
229 Enviar_char("00110000",r_data,r_disponible); — 0
230 Enviar_char("00110000",r_data,r_disponible); — 0
231 Enviar_char("00110000",r_data,r_disponible); — 0
232 Enviar_char("00110000",r_data,r_disponible); — 0
233 Enviar_char("00110000",r_data,r_disponible); — 0
234 Enviar_char("00110000",r_data,r_disponible); — 0
235 Enviar_char("00111110",r_data,r_disponible); — >
236
237 wait for periodo * TbPeriod;
238
239 — 21 — 21
240 N <= 23;
241 Enviar_char("00111100",r_data,r_disponible); — <
242 Enviar_char("00110001",r_data,r_disponible); — 1
243 Enviar_char("00110000",r_data,r_disponible); — 0
244 Enviar_char("00110000",r_data,r_disponible); — 0
245 Enviar_char("00110000",r_data,r_disponible); — 0
246 Enviar_char("00110000",r_data,r_disponible); — 0
247 Enviar_char("00110000",r_data,r_disponible); — 0
248 Enviar_char("00110000",r_data,r_disponible); — 0
249 Enviar_char("00110000",r_data,r_disponible); — 0
250 Enviar_char("00110000",r_data,r_disponible); — 0
251 Enviar_char("00110000",r_data,r_disponible); — 0
252 Enviar_char("00110000",r_data,r_disponible); — 0
253 Enviar_char("00110000",r_data,r_disponible); — 0
254 Enviar_char("00110000",r_data,r_disponible); — 0
255 Enviar_char("00110000",r_data,r_disponible); — 0
256 Enviar_char("00110000",r_data,r_disponible); — 0
257 Enviar_char("00110000",r_data,r_disponible); — 0
258 Enviar_char("00110000",r_data,r_disponible); — 0
259 Enviar_char("00110000",r_data,r_disponible); — 0
260 Enviar_char("00110000",r_data,r_disponible); — 0
261 Enviar_char("00110000",r_data,r_disponible); — 0
262 Enviar_char("00110000",r_data,r_disponible); — 0
263 Enviar_char("00111110",r_data,r_disponible); — >
264
265 wait for periodo * TbPeriod;
266
267 — 22
268 N <= 24;
269 Enviar_char("00111100",r_data,r_disponible); — <
270 Enviar_char("00110001",r_data,r_disponible); — 1
271 Enviar_char("00110000",r_data,r_disponible); — 0
272 Enviar_char("00110001",r_data,r_disponible); — 1
273 Enviar_char("00110000",r_data,r_disponible); — 0
274 Enviar_char("00110001",r_data,r_disponible); — 1
275 Enviar_char("00110000",r_data,r_disponible); — 0
276 Enviar_char("00110001",r_data,r_disponible); — 1
277 Enviar_char("00110000",r_data,r_disponible); — 0
```

```

278 Enviar_char("00110001",r_data,r_disponible); — 1
279 Enviar_char("00110000",r_data,r_disponible); — 0
280 Enviar_char("00110001",r_data,r_disponible); — 1
281 Enviar_char("00110000",r_data,r_disponible); — 0
282 Enviar_char("00110001",r_data,r_disponible); — 1
283 Enviar_char("00110000",r_data,r_disponible); — 0
284 Enviar_char("00110001",r_data,r_disponible); — 1
285 Enviar_char("00110000",r_data,r_disponible); — 0
286 Enviar_char("00110001",r_data,r_disponible); — 1
287 Enviar_char("00110000",r_data,r_disponible); — 0
288 Enviar_char("00110001",r_data,r_disponible); — 1
289 Enviar_char("00110000",r_data,r_disponible); — 0
290 Enviar_char("00110001",r_data,r_disponible); — 1
291 Enviar_char("00110000",r_data,r_disponible); — 0
292 Enviar_char("00111110",r_data,r_disponible); — >
293
294     wait for periodo * TbPeriod;
295 TbSimEnded <= '1';
296   end process;
297
298 end tb;
299
300

```

ALGORITMO 4.3: Testbench del módulo UART

#### 4.4.2. Resultados obtenidos

En la Figura ?? se presentan los datos del ensayo. Se puede ver que las tramas inyectadas son presentadas idénticamente en la salida, con un pequeño delay temporal. Además de poder apreciar el tren de pulsos que envía la UART de un extremo al otro del módulo, primero para indicar la lectura de la FIFO de recepción y luego para indicar la escritura de la FIFO de transmisión.

FIGURA 4.3: Simulación de la UART

Solo después de superado este ensayo se pudo avanzar con la inclusión de los demás módulos. No tenía ningún sentido implementar sistemas complejos sin la certeza de que la transmisión y recepción de datos de la computadora a la plataforma era fiable. Este proceso de desarrollo requirió varias iteraciones por la dificultad que implicó depurar cada uno de los elementos involucrados.

### 4.5. Validación del detector

#### 4.5.1. Testbench del módulo detector

Se generó el Algoritmo 4.4 para ...

```

1
2      library ieee;
3 use ieee.std_logic_1164.all;
4
5 entity tb_detector is
6 end tb_detector;
7
8 architecture tb of tb_detector is
9

```

```

10   component detector
11     port(
12       clk_i: in std_logic;
13       rst_i: in std_logic;
14       r_data: in std_logic_vector(8-1 downto 0);
15       r_disponible : in std_logic;
16       led_rgb_1 : out std_logic_vector(3-1 downto 0);
17       led_rgb_2 : out std_logic_vector(3-1 downto 0);
18       paquete: out std_logic_vector(21-1 downto 0);
19       procesar : in std_logic;
20       procesado : out std_logic;
21       N : in integer;
22       N_1 : out integer;
23       N_2 : out integer;
24       wr_uart : out std_logic;
25       w_data: out std_logic_vector(8-1 downto 0)
26 );
27 end component;
28
29 signal clk_i      : std_logic;
30 signal rst_i      : std_logic;
31 signal r_data      : std_logic_vector (8-1 downto 0);
32 signal r_disponible : std_logic;
33 signal led_rgb_1 : std_logic_vector (3-1 downto 0);
34 signal led_rgb_2 : std_logic_vector (3-1 downto 0);
35 signal paquete    : std_logic_vector (21-1 downto 0);
36 signal procesar   : std_logic;
37 signal procesado   : std_logic;
38 signal N,N_1,N_2 : integer;
39 signal wr_uart : std_logic;
40 signal w_data      : std_logic_vector (8-1 downto 0);
41
42 constant TbPeriod : time := 8 ns; — EDIT Put right period here
43 signal TbClock : std_logic := '0';
44 signal TbSimEnded : std_logic := '0';
45
46 — Low-level byte-write
47 procedure Enviar_char (
48   data      : in std_logic_vector(8-1 downto 0);
49   signal r_data : out std_logic_vector(8-1 downto 0);
50   signal r_disponible : out std_logic) is
51 begin
52
53   r_disponible <= '0';
54   wait for TbPeriod;
55   r_data <= data;
56   wait for TbPeriod;
57   r_disponible <= '1';
58   wait for TbPeriod;
59   r_disponible <= '0';
60
61 end Enviar_char;
62
63 begin
64
65   dut : detector
66   port map (clk_i      => clk_i ,
67             rst_i      => rst_i ,
68             r_data      => r_data ,
69             r_disponible => r_disponible ,
70             led_rgb_1  => led_rgb_1 ,
71             led_rgb_2  => led_rgb_2 ,
72             paquete     => paquete ,

```

```

73      procesar    => procesar ,
74          procesado   => procesado ,
75      N        => N,
76          N_1       => N_1,
77      N_2       => N_2,
78      wr_uart   => wr_uart ,
79      w_data     => w_data );
80
81  — Clock generation
82 TbClock <= not TbClock after TbPeriod/2 when TbSimEnded /= '1' else
83      '0';
84
85  — EDIT: Check that clk_i is really your main clock signal
86  clk_i <= TbClock;
87
88  stimuli : process
89 begin
90     — EDIT Adapt initialization as needed
91     —r_data <= (others => '0');
92
93     — Reset generation
94     — EDIT: Check that rst_i is really your reset signal
95     rst_i <= '1';
96     wait for 100 ns;
97     rst_i <= '0';
98
99     wait for 1000 * TbPeriod;
100
101    — Stop the clock and hence terminate the simulation
102 TbSimEnded <= '1';
103    wait;
104 end process;
105
106  datos : process
107 begin
108
109    r_data <= "00000000";
110    r_disponible <= '0';
111
112    wait for 100 ns;
113
114    — 21
115    N <= 23;
116    Enviar_char("00111100",r_data,r_disponible); — <
117    Enviar_char("00110001",r_data,r_disponible); — 1
118    Enviar_char("00110001",r_data,r_disponible); — 1
119    Enviar_char("00110001",r_data,r_disponible); — 1
120    Enviar_char("00110000",r_data,r_disponible); — 0
121    Enviar_char("00110001",r_data,r_disponible); — 1
122    Enviar_char("00110000",r_data,r_disponible); — 0
123    Enviar_char("00110001",r_data,r_disponible); — 1
124    Enviar_char("00110000",r_data,r_disponible); — 0
125    Enviar_char("00110001",r_data,r_disponible); — 1
126    Enviar_char("00110000",r_data,r_disponible); — 0
127    Enviar_char("00110001",r_data,r_disponible); — 1
128    Enviar_char("00110000",r_data,r_disponible); — 0
129    Enviar_char("00110001",r_data,r_disponible); — 1
130    Enviar_char("00110000",r_data,r_disponible); — 0
131    Enviar_char("00110001",r_data,r_disponible); — 1
132    Enviar_char("00110000",r_data,r_disponible); — 0
133    Enviar_char("00110001",r_data,r_disponible); — 1
134    Enviar_char("00110000",r_data,r_disponible); — 0

```

```
135 Enviar_char("00110000",r_data,r_disponible); — 0
136 Enviar_char("00110001",r_data,r_disponible); — 1
137 Enviar_char("00110001",r_data,r_disponible); — 1
138 Enviar_char("00111110",r_data,r_disponible); — >
139
140 wait for 100 * TbPeriod;
141
142 — 21
143 N <= 23;
144 Enviar_char("00111100",r_data,r_disponible); — <
145 Enviar_char("00110001",r_data,r_disponible); — 1
146 Enviar_char("00110001",r_data,r_disponible); — 1
147 Enviar_char("00110001",r_data,r_disponible); — 1
148 Enviar_char("00110000",r_data,r_disponible); — 0
149 Enviar_char("00110001",r_data,r_disponible); — 1
150 Enviar_char("00110000",r_data,r_disponible); — 0
151 Enviar_char("00110001",r_data,r_disponible); — 1
152 Enviar_char("00110000",r_data,r_disponible); — 0
153 Enviar_char("00110001",r_data,r_disponible); — 1
154 Enviar_char("00110000",r_data,r_disponible); — 0
155 Enviar_char("00110001",r_data,r_disponible); — 1
156 Enviar_char("00110000",r_data,r_disponible); — 0
157 Enviar_char("00110001",r_data,r_disponible); — 1
158 Enviar_char("00110000",r_data,r_disponible); — 0
159 Enviar_char("00110001",r_data,r_disponible); — 1
160 Enviar_char("00110000",r_data,r_disponible); — 0
161 Enviar_char("00110001",r_data,r_disponible); — 1
162 Enviar_char("00110000",r_data,r_disponible); — 0
163 Enviar_char("00110000",r_data,r_disponible); — 0
164 Enviar_char("00110001",r_data,r_disponible); — 1
165 Enviar_char("00110001",r_data,r_disponible); — 1
166 Enviar_char("00111110",r_data,r_disponible); — >
167
168 wait for 100 * TbPeriod;
169
170 — 22
171 N <= 24;
172 Enviar_char("00111100",r_data,r_disponible); — <
173 Enviar_char("00110001",r_data,r_disponible); — 1
174 Enviar_char("00110000",r_data,r_disponible); — 0
175 Enviar_char("00110001",r_data,r_disponible); — 1
176 Enviar_char("00110000",r_data,r_disponible); — 0
177 Enviar_char("00110001",r_data,r_disponible); — 1
178 Enviar_char("00110000",r_data,r_disponible); — 0
179 Enviar_char("00110001",r_data,r_disponible); — 1
180 Enviar_char("00110000",r_data,r_disponible); — 0
181 Enviar_char("00110001",r_data,r_disponible); — 1
182 Enviar_char("00110000",r_data,r_disponible); — 0
183 Enviar_char("00110001",r_data,r_disponible); — 1
184 Enviar_char("00110000",r_data,r_disponible); — 0
185 Enviar_char("00110001",r_data,r_disponible); — 1
186 Enviar_char("00110000",r_data,r_disponible); — 0
187 Enviar_char("00110001",r_data,r_disponible); — 1
188 Enviar_char("00110000",r_data,r_disponible); — 0
189 Enviar_char("00110001",r_data,r_disponible); — 1
190 Enviar_char("00110000",r_data,r_disponible); — 0
191 Enviar_char("00110001",r_data,r_disponible); — 1
192 Enviar_char("00110000",r_data,r_disponible); — 0
193 Enviar_char("00110001",r_data,r_disponible); — 1
194 Enviar_char("00110000",r_data,r_disponible); — 0
195 Enviar_char("00111110",r_data,r_disponible); — >
196
197 wait for 100 * TbPeriod;
```

```

198
199 — 21
200 N <= 23;
201 Enviar_char("00111100",r_data,r_disponible); — <
202 Enviar_char("00110001",r_data,r_disponible); — 1
203 Enviar_char("00110001",r_data,r_disponible); — 1
204 Enviar_char("00110001",r_data,r_disponible); — 1
205 Enviar_char("00110000",r_data,r_disponible); — 0
206 Enviar_char("00110001",r_data,r_disponible); — 1
207 Enviar_char("00110000",r_data,r_disponible); — 0
208 Enviar_char("00110001",r_data,r_disponible); — 1
209 Enviar_char("00110000",r_data,r_disponible); — 0
210 Enviar_char("00110001",r_data,r_disponible); — 1
211 Enviar_char("00110000",r_data,r_disponible); — 0
212 Enviar_char("00110001",r_data,r_disponible); — 1
213 Enviar_char("00110000",r_data,r_disponible); — 0
214 Enviar_char("00110001",r_data,r_disponible); — 1
215 Enviar_char("00110000",r_data,r_disponible); — 0
216 Enviar_char("00110001",r_data,r_disponible); — 1
217 Enviar_char("00110000",r_data,r_disponible); — 0
218 Enviar_char("00110001",r_data,r_disponible); — 1
219 Enviar_char("00110000",r_data,r_disponible); — 0
220 Enviar_char("00110000",r_data,r_disponible); — 0
221 Enviar_char("00110001",r_data,r_disponible); — 1
222 Enviar_char("00110001",r_data,r_disponible); — 1
223 Enviar_char("00111110",r_data,r_disponible); — >

224
225
226      wait for 100 * TbPeriod;
227 TbSimEnded <= '1';
228   end process;
229
230 end tb;
231

```

ALGORITMO 4.4: Testbench del módulo detector

#### 4.5.2. Resultados obtenidos

Figura 4.4 ...



FIGURA 4.4: Simulación del detector

## 4.6. Validación del enclavamiento

### 4.6.1. Testbench del módulo enclavamiento

Se generó el Algoritmo ?? para ...

```

1      library ieee;
2 use ieee.std_logic_1164.all;
3
4
5 entity tb_sistema is
6 end tb_sistema;
7
8 architecture tb of tb_sistema is
9
10 component sistema
11   port(
12     Clock: in std_logic;
13     Reset: in std_logic;
14     r_data: in std_logic_vector(8-1 downto 0);
15     r_disponible : in std_logic;
16     leer : out std_logic;
17     escribir : out std_logic;
18     switch1 : in std_logic;
19     switch2 : in std_logic;
20     reset_uart : out std_logic;
21     N : in integer;
22     —leds : out std_logic_vector(2-1 downto 0);
23     leds : out std_logic_vector(4-1 downto 0);
24     led_rgb_1 : out std_logic_vector(3-1 downto 0);
25     led_rgb_2 : out std_logic_vector(3-1 downto 0);
26     w_data: out std_logic_vector(8-1 downto 0)
27 );
28 end component;
29
30
31 signal Clock      : std_logic;
32 signal Reset       : std_logic;
33 signal r_data      : std_logic_vector (8-1 downto 0);
34 signal r_disponible : std_logic;
35 signal leer : std_logic;
36 signal escribir : std_logic;
37 signal switch1    : std_logic;
38 signal switch2    : std_logic;
39 signal reset_uart : std_logic;
40 signal N : integer;
41 signal leds        : std_logic_vector(4-1 downto 0);
42 signal led_rgb_1  : std_logic_vector (3-1 downto 0);
43 signal led_rgb_2  : std_logic_vector (3-1 downto 0);
44
45 signal w_data      : std_logic_vector (8-1 downto 0);
46
47 constant TbPeriod : time := 8 ns; — EDIT Put right period here
48 signal TbClock : std_logic := '0';
49 signal TbSimEnded : std_logic := '0';
50
51 constant periodo : integer := 100;
52
53 — Low-level byte-write
54 procedure Enviar_char (
55   data      : in std_logic_vector(8-1 downto 0);
56   signal r_data : out std_logic_vector(8-1 downto 0);
57   signal r_disponible : out std_logic) is
58 begin
59
60   r_disponible <= '0';
61   wait for TbPeriod;
62   r_data <= data;
63   wait for TbPeriod;

```

```

64      r_disponible <= '1';
65      wait for TbPeriod;
66      r_disponible <= '0';
67
68      end Enviar_char;
69
70 begin
71
72     dut : sistema
73     port map (Clock      => Clock,
74                 Reset       => Reset,
75                 r_data      => r_data,
76                 r_disponible => r_disponible,
77                 leer        => leer,
78                 escribir    => escribir,
79                 switch1     => switch1,
80                 switch2     => switch2,
81                 reset_uart  => reset_uart,
82                 N           => N,
83                 leds         => leds,
84                 led_rgb_1   => led_rgb_1,
85                 led_rgb_2   => led_rgb_2,
86                 w_data      => w_data);
87
88     — Clock generation
89     TbClock <= not TbClock after TbPeriod/2 when TbSimEnded /= '1' else
90     '0';
91
92     — EDIT: Check that clk_i is really your main clock signal
93     Clock <= TbClock;
94
95     stimuli : process
96     begin
97         — EDIT Adapt initialization as needed
98         —r_data <= (others => '0');
99
100        — Reset generation
101        — EDIT: Check that rst_i is really your reset signal
102        switch1 <= '1';
103        switch2 <= '1';
104            Reset <= '1';
105            wait for 100 ns;
106            Reset <= '0';
107        switch1 <= '1';
108        switch2 <= '1';
109            wait for 250000 * TbPeriod;
110
111        — Stop the clock and hence terminate the simulation
112        TbSimEnded <= '1';
113        wait;
114    end process;
115
116    datos : process
117    begin
118        r_data <= "00000000";
119        r_disponible <= '0';
120
121        wait for 100 ns;
122
123        — 21 – 21 – todos 1
124        N <= 23;
125        Enviar_char("00111100",r_data,r_disponible); — <

```

```
126 Enviar_char("00110001",r_data,r_disponible); — 1
127 Enviar_char("00110001",r_data,r_disponible); — 1
128 Enviar_char("00110001",r_data,r_disponible); — 1
129 Enviar_char("00110001",r_data,r_disponible); — 1
130 Enviar_char("00110001",r_data,r_disponible); — 1
131 Enviar_char("00110001",r_data,r_disponible); — 1
132 Enviar_char("00110001",r_data,r_disponible); — 1
133 Enviar_char("00110001",r_data,r_disponible); — 1
134 Enviar_char("00110001",r_data,r_disponible); — 1
135 Enviar_char("00110001",r_data,r_disponible); — 1
136 Enviar_char("00110001",r_data,r_disponible); — 1
137 Enviar_char("00110001",r_data,r_disponible); — 1
138 Enviar_char("00110001",r_data,r_disponible); — 1
139 Enviar_char("00110001",r_data,r_disponible); — 1
140 Enviar_char("00110001",r_data,r_disponible); — 1
141 Enviar_char("00110001",r_data,r_disponible); — 1
142 Enviar_char("00110001",r_data,r_disponible); — 1
143 Enviar_char("00110001",r_data,r_disponible); — 1
144 Enviar_char("00110001",r_data,r_disponible); — 1
145 Enviar_char("00110001",r_data,r_disponible); — 1
146 Enviar_char("00110001",r_data,r_disponible); — 1
147 Enviar_char("00111110",r_data,r_disponible); — >
148
149 wait for periodo * TbPeriod;
150
151 — 21 — 1
152 N <= 23;
153 Enviar_char("00111100",r_data,r_disponible); — <
154 Enviar_char("00110000",r_data,r_disponible); — 0
155 Enviar_char("00110000",r_data,r_disponible); — 0
156 Enviar_char("00110000",r_data,r_disponible); — 0
157 Enviar_char("00110000",r_data,r_disponible); — 0
158 Enviar_char("00110000",r_data,r_disponible); — 0
159 Enviar_char("00110000",r_data,r_disponible); — 0
160 Enviar_char("00110000",r_data,r_disponible); — 0
161 Enviar_char("00110000",r_data,r_disponible); — 0
162 Enviar_char("00110000",r_data,r_disponible); — 0
163 Enviar_char("00110000",r_data,r_disponible); — 0
164 Enviar_char("00110000",r_data,r_disponible); — 0
165 Enviar_char("00110000",r_data,r_disponible); — 0
166 Enviar_char("00110000",r_data,r_disponible); — 0
167 Enviar_char("00110000",r_data,r_disponible); — 0
168 Enviar_char("00110000",r_data,r_disponible); — 0
169 Enviar_char("00110000",r_data,r_disponible); — 0
170 Enviar_char("00110000",r_data,r_disponible); — 0
171 Enviar_char("00110000",r_data,r_disponible); — 0
172 Enviar_char("00110000",r_data,r_disponible); — 0
173 Enviar_char("00110000",r_data,r_disponible); — 0
174 Enviar_char("00110001",r_data,r_disponible); — 1
175 Enviar_char("00111110",r_data,r_disponible); — >
176
177 wait for periodo * TbPeriod;
178
179 — 21 — 2
180 N <= 23;
181 Enviar_char("00111100",r_data,r_disponible); — <
182 Enviar_char("00110000",r_data,r_disponible); — 0
183 Enviar_char("00110000",r_data,r_disponible); — 0
184 Enviar_char("00110000",r_data,r_disponible); — 0
185 Enviar_char("00110000",r_data,r_disponible); — 0
186 Enviar_char("00110000",r_data,r_disponible); — 0
187 Enviar_char("00110000",r_data,r_disponible); — 0
188 Enviar_char("00110000",r_data,r_disponible); — 0
```

```

189 Enviar_char("00110000",r_data,r_disponible); — 0
190 Enviar_char("00110000",r_data,r_disponible); — 0
191 Enviar_char("00110000",r_data,r_disponible); — 0
192 Enviar_char("00110000",r_data,r_disponible); — 0
193 Enviar_char("00110000",r_data,r_disponible); — 0
194 Enviar_char("00110000",r_data,r_disponible); — 0
195 Enviar_char("00110000",r_data,r_disponible); — 0
196 Enviar_char("00110000",r_data,r_disponible); — 0
197 Enviar_char("00110000",r_data,r_disponible); — 0
198 Enviar_char("00110000",r_data,r_disponible); — 0
199 Enviar_char("00110000",r_data,r_disponible); — 0
200 Enviar_char("00110000",r_data,r_disponible); — 0
201 Enviar_char("00110001",r_data,r_disponible); — 1
202 Enviar_char("00110000",r_data,r_disponible); — 0
203 Enviar_char("00111110",r_data,r_disponible); — >
204
205 wait for periodo * TbPeriod;
206
207 — REMOVIDO PARA RESUMIR LA MEMORIA —
208
209 N <= 23;
210 Enviar_char("00111100",r_data,r_disponible); — <
211 Enviar_char("00110001",r_data,r_disponible); — 1
212 Enviar_char("00110000",r_data,r_disponible); — 0
213 Enviar_char("00110000",r_data,r_disponible); — 0
214 Enviar_char("00110000",r_data,r_disponible); — 0
215 Enviar_char("00110000",r_data,r_disponible); — 0
216 Enviar_char("00110000",r_data,r_disponible); — 0
217 Enviar_char("00110000",r_data,r_disponible); — 0
218 Enviar_char("00110000",r_data,r_disponible); — 0
219 Enviar_char("00110000",r_data,r_disponible); — 0
220 Enviar_char("00110000",r_data,r_disponible); — 0
221 Enviar_char("00110000",r_data,r_disponible); — 0
222 Enviar_char("00110000",r_data,r_disponible); — 0
223 Enviar_char("00110000",r_data,r_disponible); — 0
224 Enviar_char("00110000",r_data,r_disponible); — 0
225 Enviar_char("00110000",r_data,r_disponible); — 0
226 Enviar_char("00110000",r_data,r_disponible); — 0
227 Enviar_char("00110000",r_data,r_disponible); — 0
228 Enviar_char("00110000",r_data,r_disponible); — 0
229 Enviar_char("00110000",r_data,r_disponible); — 0
230 Enviar_char("00110000",r_data,r_disponible); — 0
231 Enviar_char("00110000",r_data,r_disponible); — 0
232 Enviar_char("00111110",r_data,r_disponible); — >
233
234 wait for periodo * TbPeriod;
235
236 — 22
237 N <= 24;
238 Enviar_char("00111100",r_data,r_disponible); — <
239 Enviar_char("00110001",r_data,r_disponible); — 1
240 Enviar_char("00110000",r_data,r_disponible); — 0
241 Enviar_char("00110001",r_data,r_disponible); — 1
242 Enviar_char("00110000",r_data,r_disponible); — 0
243 Enviar_char("00110001",r_data,r_disponible); — 1
244 Enviar_char("00110000",r_data,r_disponible); — 0
245 Enviar_char("00110001",r_data,r_disponible); — 1
246 Enviar_char("00110000",r_data,r_disponible); — 0
247 Enviar_char("00110001",r_data,r_disponible); — 1
248 Enviar_char("00110000",r_data,r_disponible); — 0
249 Enviar_char("00110001",r_data,r_disponible); — 1
250 Enviar_char("00110000",r_data,r_disponible); — 0
251 Enviar_char("00110001",r_data,r_disponible); — 1

```

```

252 Enviar_char("00110000",r_data,r_disponible); — 0
253 Enviar_char("00110001",r_data,r_disponible); — 1
254 Enviar_char("00110000",r_data,r_disponible); — 0
255 Enviar_char("00110001",r_data,r_disponible); — 1
256 Enviar_char("00110000",r_data,r_disponible); — 0
257 Enviar_char("00110001",r_data,r_disponible); — 1
258 Enviar_char("00110000",r_data,r_disponible); — 0
259 Enviar_char("00110001",r_data,r_disponible); — 1
260 Enviar_char("00110000",r_data,r_disponible); — 0
261 Enviar_char("00111110",r_data,r_disponible); — >
262
263     wait for periodo * TbPeriod;
264 TbSimEnded <= '1';
265 end process;
266
267 end tb;
268

```

ALGORITMO 4.5: Testbench del módulo enclavamiento

#### 4.6.2. Resultados obtenidos

Figura 4.5 ...

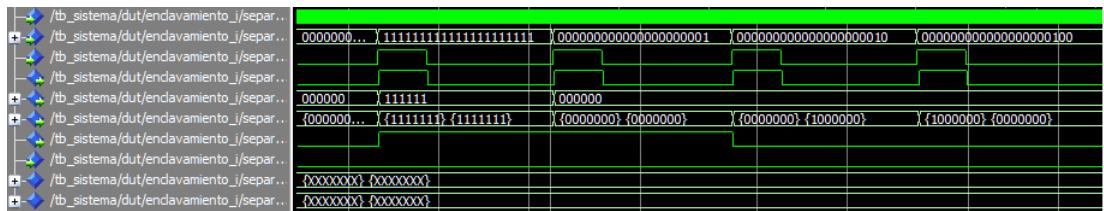


FIGURA 4.5: Simulación del separador

Figura 4.6 ...

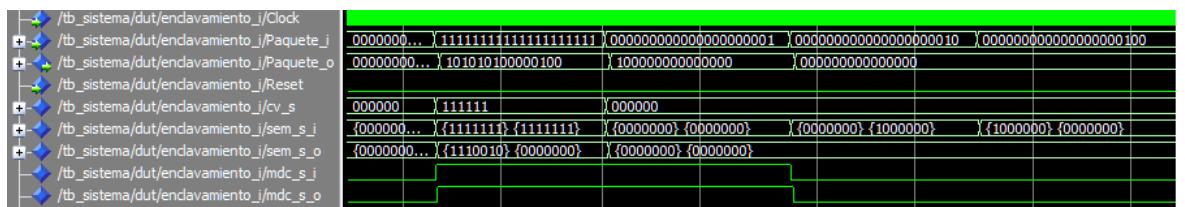


FIGURA 4.6: Simulación del enclavamiento

Figura 4.7 ...

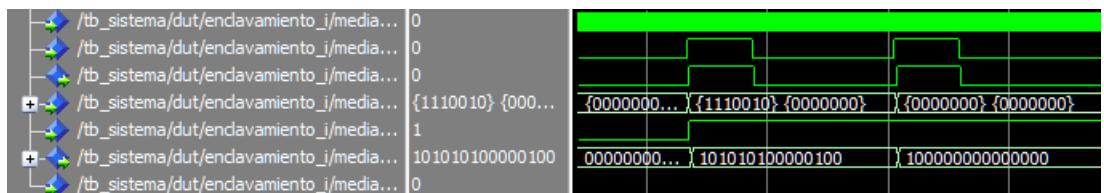


FIGURA 4.7: Simulación del mediador

## 4.7. Validación del registro

### 4.7.1. Testbench del módulo registro

Se generó el Algoritmo 4.6 para ...

```

1      library ieee;
2  use ieee.std_logic_1164.all;
3
4
5  entity tb_registro is
6  end tb_registro;
7
8  architecture tb of tb_registro is
9
10    component registro is
11    port(
12      clk_i: in std_logic;
13      rst_i: in std_logic;
14      paquete_ok : in std_logic;
15      paquete_i: in std_logic_vector(15-1 downto 0);
16      w_data: out std_logic_vector(8-1 downto 0);
17      wr_uart : out std_logic — "char_disp"
18    );
19    end component;
20
21    signal clk_i      : std_logic;
22    signal rst_i      : std_logic;
23    signal paquete_ok : std_logic;
24    signal paquete_i  : std_logic_vector (15-1 downto 0);
25    signal w_data     : std_logic_vector (8-1 downto 0);
26    signal wr_uart   : std_logic;
27
28    constant TbPeriod : time := 8 ns; — EDIT Put right period here
29    signal TbClock : std_logic := '0';
30    signal TbSimEnded : std_logic := '0';
31
32 begin
33
34    dut : registro
35    port map (clk_i      => clk_i ,
36               rst_i      => rst_i ,
37               paquete_i  => paquete_i ,
38               paquete_ok => paquete_ok ,
39               w_data     => w_data ,
40               wr_uart    => wr_uart );
41
42    — Clock generation
43    TbClock <= not TbClock after TbPeriod/2 when TbSimEnded /= '1' else
44    '0';
45
46    — EDIT: Check that clk_i is really your main clock signal
47    clk_i <= TbClock;
48
49
50    stimuli : process
51    begin
52      — EDIT Adapt initialization as needed
53      —r_data <= (others => '0');
54
55      — Reset generation
56      — EDIT: Check that rst_i is really your reset signal

```

```

57      rst_i <= '1';
58      wait for 20 ns;
59      rst_i <= '0';
60  wait for 1 ns;
61
62      wait for 1000000 * TbPeriod;
63
64      — Stop the clock and hence terminate the simulation
65      —TbSimEnded <= '1';
66      —wait;
67  end process;
68
69  datos : process
70  begin
71
72      paquete_i <= "101010101010101";
73      paquete_ok <= '1';
74      wait for 1000 * TbPeriod;
75      paquete_ok <= '0';
76
77      wait for 1000 * TbPeriod;
78
79      paquete_i <= "110110110110110";
80      paquete_ok <= '1';
81      wait for 1000 * TbPeriod;
82      paquete_ok <= '0';
83
84
85
86      —wait for 100 * TbPeriod;
87      —TbSimEnded <= '1';
88  end process;
89
90 end tb;
91
92

```

ALGORITMO 4.6: Testbench del módulo registro

#### 4.7.2. Resultados obtenidos

Figura 4.8 ...



FIGURA 4.8: Simulación del registro

## 4.8. Validación del selector

### 4.8.1. Testbench del módulo selector

Se generó el Algoritmo 4.7 para ...

```

1      library ieee;
2 use ieee.std_logic_1164.all;
3
4
5 entity tb_conector_test is
6 end tb_conector_test;
7
8 architecture tb of tb_conector_test is
9
10 component conector_test
11   port(
12     clk_i: in std_logic;
13     rst_i: in std_logic;
14     switch : in std_logic;
15     leds : out std_logic_vector(2-1 downto 0);
16     wr_uart_3 : out std_logic;
17     N_1 : in integer;
18     N_2 : in integer;
19     r_disponible : in std_logic;
20     w_data_1: in std_logic_vector(8-1 downto 0);
21     w_data_2: in std_logic_vector(8-1 downto 0);
22     w_data_3: out std_logic_vector(8-1 downto 0)
23 );
24 end component;
25
26 signal clk_i ,rst_i ,switch ,wr_uart_3 ,r_disponible      : std_logic;
27 signal leds      : std_logic_vector(2-1 downto 0);
28 signal N_1,N_2   : integer;
29 signal w_data_1,w_data_2,w_data_3 : std_logic_vector(8-1 downto 0);
30
31 constant TbPeriod : time := 8 ns; — EDIT Put right period here
32 signal TbClock : std_logic := '0';
33 signal TbSimEnded : std_logic := '0';
34
35 — Low-level byte-write
36 procedure Enviar_char (
37   data      : in std_logic_vector(8-1 downto 0);
38   signal r_data : out std_logic_vector(8-1 downto 0);
39   signal r_disponible : out std_logic) is
40 begin
41
42   r_disponible <= '0';
43   wait for TbPeriod;
44   r_data <= data;
45   wait for 407 * TbPeriod;
46   r_disponible <= '1';
47   wait for TbPeriod;
48   r_disponible <= '0';
49
50 end Enviar_char;
51
52 begin
53
54   dut : conector_test
55   port map (clk_i      => clk_i ,
56             rst_i      => rst_i ,
57             switch     => switch ,
58             leds       => leds ,
59             wr_uart_3  => wr_uart_3 ,
60             N_1        => N_1,
61             N_2        => N_2,
62             r_disponible => r_disponible ,
63             w_data_1   => w_data_1 ,

```

```

64      w_data_2    => w_data_2 ,
65      w_data_3    => w_data_3 );
66
67      — Clock generation
68      TbClock <= not TbClock after TbPeriod/2 when TbSimEnded /= '1' else
69      '0';
70
71      — EDIT: Check that clk_i is really your main clock signal
72      clk_i <= TbClock;
73
74      stimuli : process
75      begin
76          — EDIT Adapt initialization as needed
77          —r_data <= (others => '0');
78
79          — Reset generation
80          — EDIT: Check that rst_i is really your reset signal
81          rst_i <= '1';
82          wait for 100 ns;
83          rst_i <= '0';
84
85          wait for 1000000 * TbPeriod;
86
87          — Stop the clock and hence terminate the simulation
88          TbSimEnded <= '1';
89          wait;
90      end process;
91
92      datos : process
93      begin
94
95      w_data_2 <= "00000000";
96      N_2 <= 0;
97      switch <= '0';
98
99      wait for 200 ns;
100
101     — 21
102     N_1 <= 23;
103     r_disponible <= '1';
104     —wait for 5 * TbPeriod ;
105     Enviar_char("00111100",w_data_1,r_disponible); — <
106     Enviar_char("00110001",w_data_1,r_disponible); — 1
107     Enviar_char("00110001",w_data_1,r_disponible); — 1
108     Enviar_char("00110001",w_data_1,r_disponible); — 1
109     Enviar_char("00110000",w_data_1,r_disponible); — 0
110     Enviar_char("00110001",w_data_1,r_disponible); — 1
111     Enviar_char("00110000",w_data_1,r_disponible); — 0
112     Enviar_char("00110001",w_data_1,r_disponible); — 1
113     Enviar_char("00110000",w_data_1,r_disponible); — 0
114     Enviar_char("00110001",w_data_1,r_disponible); — 1
115     Enviar_char("00110000",w_data_1,r_disponible); — 0
116     Enviar_char("00110001",w_data_1,r_disponible); — 1
117     Enviar_char("00110000",w_data_1,r_disponible); — 0
118     Enviar_char("00110001",w_data_1,r_disponible); — 1
119     Enviar_char("00110000",w_data_1,r_disponible); — 0
120     Enviar_char("00110001",w_data_1,r_disponible); — 1
121     Enviar_char("00110000",w_data_1,r_disponible); — 0
122     Enviar_char("00110001",w_data_1,r_disponible); — 1
123     Enviar_char("00110000",w_data_1,r_disponible); — 0
124     Enviar_char("00110000",w_data_1,r_disponible); — 0
125     Enviar_char("00110001",w_data_1,r_disponible); — 1

```

```

126 Enviar_char("00110001",w_data_1,r_disponible); — 1
127 Enviar_char("00111110",w_data_1,r_disponible); — >
—wait for 5 * TbPeriod;
129 r_disponible <= '0';
130 wait for 1000 * TbPeriod;
131
132 —wait for 100 * TbPeriod;
133 —TbSimEnded <= '1';
134 end process;
135
136 end tb;
137

```

#### ALGORITMO 4.7: Testbench del módulo selector

#### **4.8.2. Resultados obtenidos**

Figura 4.9 ...

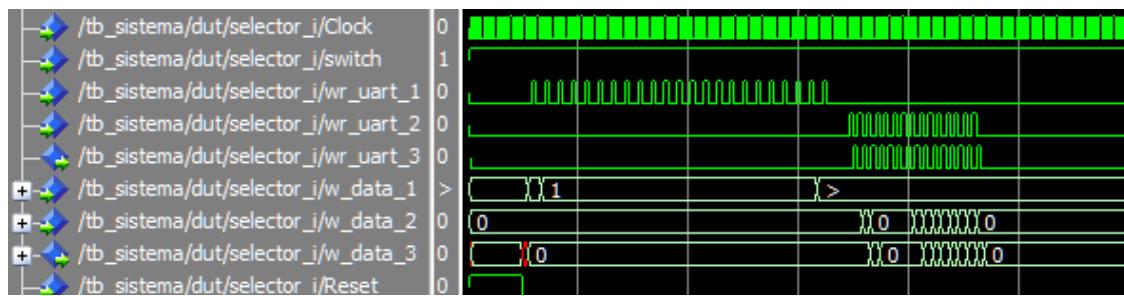


FIGURA 4.9: Simulación del selector

## Capítulo 5

# Conclusiones

En este capítulo se presentan las conclusiones obtenidas, los logros alcanzados y las dificultades encontradas. Además de un resumen de los elementos del proyecto que no se incluyeron en la memoria y se dejaron para la etapa de doctorado.

### 5.1. Resultados obtenidos

A lo largo de todo el proyecto se han visitado una gran cantidad de lugares claves del ámbito ferroviario (estaciones, talleres, oficinas, áreas de pruebas, etc), se ha conocido a decenas de profesionales del área que con sus diversos grados de conocimientos y experiencias en el área han sabido aportar cada uno su pieza para éste rompecabezas, que sumado al conocimiento adquirido a lo largo de tanto la Especialización como la Maestría en Sistemas Embebidos se construyó con el esfuerzo propio y la ayuda de los integrantes del CONICET-GICSAFe.

El proyecto inicialmente comenzó como una idea abstracta y ambiciosa que fue evolucionando y adquiriendo mayor definición conforme avanzaban las entrevistas con los diversos actores que en el día a día comandan las instalaciones ferroviarias. Al ir investigando, se iban encontrando nuevas ramificaciones para el proyecto y nuevos enfoques para abordarlo, lo cual elevó su complejidad a tal punto de calificar para una beca de doctorado que iniciará el corriente año.

Durante la especialización, los cambios de metas y alcances fueron una constante, al igual que los cambios de locación. Por lo tanto el haber encarado el la segunda etapa del proyecto en la maestría con un enfoque general, en vistas de automatizar la totalidad del proceso, fue un enorme esfuerzo extra que no estaba contemplado pero cuya necesidad surgió del contexto adverso en el que se desarrolló el sistema. Al final del trabajo todos esas horas dedicadas a la automatización tuvieron su impacto en cada una de las demás aristas del proyecto.

Los conocimientos en el área de las FPGAs sirvieron enormemente para materializar los diseños planteados, aunque fueron necesarias muchas horas de ensayos y práctica hasta tener no solo un sistema seguro y funcional, sino también uno escalable al automatizar la generación del código.

El haber trabajado en conjunto en otros proyectos de CONICET-GICSAFe a la par del desarrollo del sistema de enclavamientos permitió tomar conciencia de la importancia real del mismo como sistema crítico y abre las puertas a una tercera etapa próxima a iniciarse durante el 2020 en el Doctorado en Ingeniería de la Universidad de Buenos Aires. Partiendo de una base sólida de conocimientos, vínculos humanos y profesionales, con expectativas mucho mas altas, pero con

la confianza y el respaldo que otorgan los avances concretados en esta etapa del proyecto que llega a su fin.

En el transcurso del proyecto se han alcanzado los siguientes logros:

- Diseño e implementación de un algoritmo analizador de redes ferroviarias. Por lo que pueden analizarse la mayoría de las topologías de las redes ferroviarias argentinas.
- Diseño e implementación de un generador de código en VHDL basado en un grafo ferroviario. Por lo que pueden implementarse enclavamientos electrónicos de cualquiera sea la locación.
- Diseño e implementación de un generador de tramas de prueba para comandar la plataforma FPGA desde Python. Facilitando el testeo de los sistemas generados.
- Publicación de artículos en IEEE Latin America y el Congreso Argentino de Sistemas Embebidos 2019.
- Beca de doctorado en desarrollo estratégico de CONICET 2020-2025.
- Desarrollo del primer sistema ferroviario crítico en el marco del CONICET-GICSAFe.

## 5.2. Próximos pasos

La planificación del proyecto contempló desde un inicio que sería un trabajo de dos años a ser realizado en conjunto entre la Especialización y la Maestría de Sistemas Embebidos. Pero el mencionado incremento en la complejidad del sistema abrió las puertas a continuar el proyecto durante el doctorado. Por lo tanto se mencionan a continuación los pasos a seguir para el próximo tramo del proyecto.

- Optimización del analizador de grafos ferroviarios.
- Integración con la interfaz gráfica desarrollada en UTN-Haedo.
- Realización de pruebas en paralelo con la estación Olivos, gracias al desarrollo del sistema modular del Mg. Ing. Lucas Dórdolo.
- Culminación del generador de test para COCOTB.
- Culminación del generador de tablas de enclavamiento.
- Corrección del funcionamiento de las barreras.
- Elaboración de un análisis formal del sistema de enclavamientos para redes ferroviarias arbitrarias.
- Aplicación de técnicas de redundancia por votación para aumentar la seguridad del sistema.
- Obtención de los parámetros RAMS alcanzados para obtener el grado SIL necesario.