



Fakultät für Ingenieurwissenschaften

Studiengang Mechatronik

Aufbau- und Verbindungstechnik

Bericht

von

Martin Brandl

Datum der Abgabe: 13.01.2025

Verfasser: Martin Brandl

Matrikelnummer: 1014079

Inhaltsverzeichnis

1	Herstellung der ersten Platine	3
1.1	Entwurf einer Leiterplatte	3
1.2	Herstellung der Platine	4
1.2.1	Belichten	5
1.2.2	Entwickeln	5
1.2.3	Ätzen	5
1.2.4	Nachbearbeitung	6
2	KiCad Workshop	7
2.1	Libraries	7
2.2	Bauteile	7
2.3	Footprints	7
3	Endmontage Radio und Taschenlampe	8
3.1	Bestücken und Löten der Taschenlampe	8
3.2	Bestücken und Löten des Radios	8
4	Fazit	9

Einleitung

Die Entscheidung für das FWPM Aufbau- und Verbindungstechnik resultierte aus dem Wunsch, mein technisches Verständnis im Bereich der Elektronik und deren Herstellung zu vertiefen.

Das Praktikum war eine interessante Möglichkeit, die Entwicklung einer Leiterplatte von der ursprünglichen Idee bis zur endgültigen Realisierung zu verfolgen. Insbesondere die Inhalte aus den Präsentationen konnte im Praktikum gut ergänzt werden.

Durch diese Erkenntnis konnte ich meine Kompetenzen im Bereich der Leiterplattentechnik und im Umgang mit den Maschinen bei der Herstellung dieser deutlich ausbauen.

1 Herstellung der ersten Platine

1.1 Entwurf einer Leiterplatte

Zum Entwurf einer funktionsfähigen Platine sind ein Schaltplan, ein PCB-Layout und die passenden Bauteile mit zugehörigen Footprints erforderlich. Für die erste Platine werden nur Testpunkte erstellt, weshalb die Erstellung eigener Bauteile und Footprints in sogenannten Libraries nicht im Fokus stand. Der Schwerpunkt liegt vielmehr auf der Herstellung einer spezifischen Leiterbahn mit auf der Platine.

Eine besondere Anforderung bestand darin, eine Leiterbahn mit einem definierten Widerstand von genau $200\text{ m}\Omega$ zu realisieren. Um dies zu erreichen wird eine feste Breite für die Leiterbahn vorgegeben, anhand derer die erforderliche Länge der Bahn berechnet werden muss.

Berechnung:

Gegeben: $b = 0,275\text{ mm}$, $R = 0,2\ \Omega$, $\rho = 0,01721\ \Omega \cdot \text{mm}^2/\text{m}$, $h = 0,035\text{ mm}$

Gesucht: l

$$R = \frac{\rho \cdot l}{A} \Rightarrow l = \frac{R \cdot b \cdot h}{\rho}$$
$$l = \frac{0,2\ \Omega \cdot 0,275\text{ mm} \cdot 0,035\text{ mm}}{0,01721\ \Omega \cdot \text{mm}^2/\text{m}} = 111,85\text{ mm}$$

Die berechnete Länge wird anschließend in das Platinenlayout erstellt. Da die Gesamtlänge der Leiterbahn durch das Layout die berechneten Länge überschreiten könnte, wird die Leiterbahn in einem wellenartigen Muster umgesetzt, um die geforderte Gesamtlänge einzuhalten.

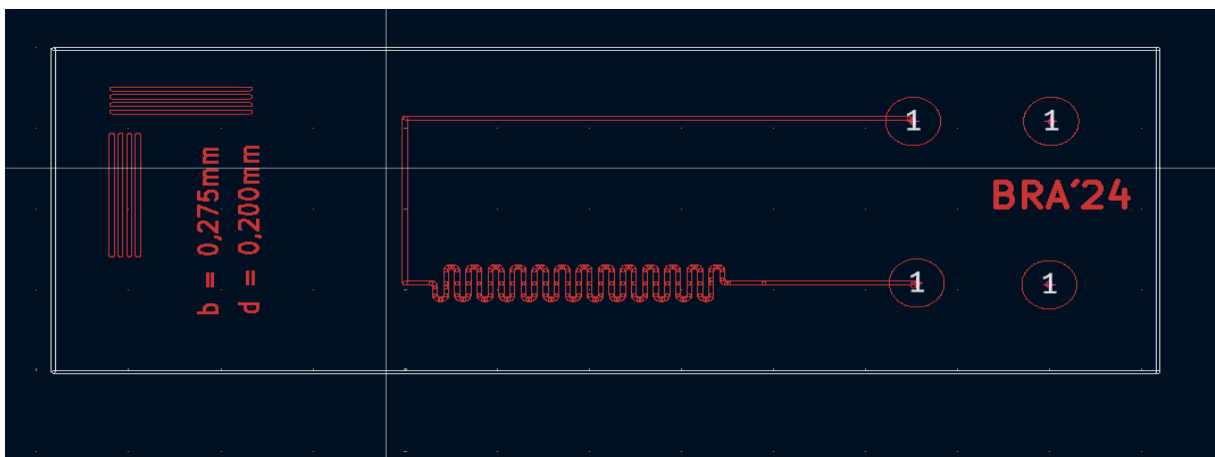


Abbildung 1: PCB Layout der Platine mit Leiterbahn = $0,275\text{ mm}$

Außerdem wird der Name des Studierenden zusammen mit der Jahreszahl auch als Kupferbahn ausgeführt. Bei der herkömmlichen Fertigung von Leiterplatten wird ein Bestückungsdruck für Bezeichnung der Komponenten und zusätzlichen Informationen zu den Bauteilen verwendet. Da hier allerdings nur eine Kupferschicht vorgesehen ist, wird darauf verzichtet.

Für die nachfolgende Messung bzw. Überprüfung unter dem Mikroskop werden vier Linien horizontal und vertikal in festem Abstand auf der Leiterplatte definiert.

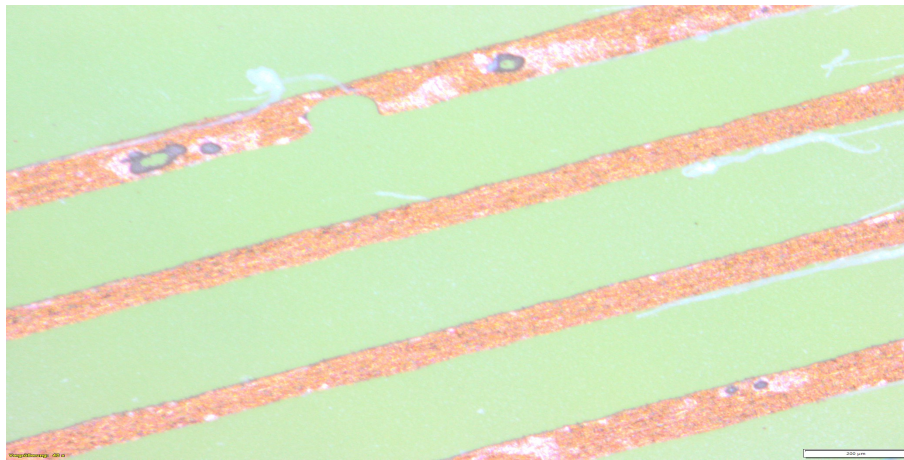


Abbildung 2: parallele Leiterbahnen unter Mikroskop

Die Ursachen für Fehler auf den geätzten Leiterbahnen sind vielschichtig. So können beispielsweise Ungenauigkeiten beim Belichten oder Staub auf der Maske zu unpräzisen Strukturen führen. Während des Entwicklungsprozesses können ungleichmäßige Ergebnisse durch unvollständige oder fehlerhafte Prozesse entstehen. Im Ätzprozess selbst können Probleme wie unzureichende Ätzlösung, Luft einschüsse, Überätzung oder ungleichmäßiger Materialabtrag auftreten. Um derartige Fehler zu vermeiden, bedarf es einer sauberen Arbeitsumgebung sowie optimierter Prozessparameter.

1.2 Herstellung der Platine

Für die Herstellung von Leiterplatten existieren diverse Verfahren. An der Hochschule wird das Ätzverfahren eingesetzt. Dieses besteht aus den drei Hauptschritten Belichten, Entwickeln und Ätzen. Darüber hinaus sind mehrere Vor- und Nachbearbeitungsschritte erforderlich, um eine optimale Verarbeitung zu gewährleisten.

Um das Material effizient zu nutzen und Produktionsabfälle zu minimieren, werden mehrere Leiterplatten zu einer Einheit zusammengefasst, die als Nutzen bezeichnet wird. Ein solcher Nutzen entspricht der Größe einer Europlatine, was eine standardisierte und platzsparende Anordnung ermöglicht.

Die Belichtungsmaske für den Nutzen wird durch Bedrucken einer transparenten Folie mit einem Laserdrucker erstellt. Um eine gleichmäßige Lichtundurchlässigkeit sicherzustellen, werden zwei identische Folien exakt übereinander geklebt. Dies gewährleistet eine hohe Präzision beim Belichten und damit eine gute Qualität der späteren Leiterplatten.

Nach dem Ätzen sind die Platinen noch als Teil des Europlatinen-Nutzens verbunden und müssen im Anschluss voneinander getrennt werden. Der Trennvorgang erfolgt mithilfe einer Hebelschere. Die Verwendung dieses Werkzeugs ermöglicht ein sauberes und präzises Zuschneiden der einzelnen Platinen.

1.2.1 Belichten

Beim Ätzverfahren wird die Platine mit einem Ätzresistlack versehen, der an bestimmten Stellen durch Belichtung seine Schutzfunktion verliert. Um dies zu ermöglichen, wird die auf dem Rohling befindliche Schutzfolie der Ätzresistschicht entfernt. Danach wird die Belichtungsmaske exakt auf dem Rohling positioniert.

Damit die Belichtungsmaske während des Belichtungsvorgangs nicht verrutscht, verfügt das Belichtungsgerät über eine Vakuumfolie, die die Maske sicher auf dem Rohling fixiert. Für eine Standardleiterplatte beträgt die Belichtungsdauer etwa 2 Minuten. Während dieser Zeit bleibt der UV-Belichtungsapparat geschlossen, um eine gleichmäßige Belichtung zu gewährleisten.

Nach der Belichtung sollte der Rohling mit der Maske etwas abkühlen, bevor die Belichtungsmaske entfernt wird. Es ist jedoch wichtig, den nächsten Schritt so schnell wie möglich durchzuführen, da das Ätzresist bei Tageslicht weiter belichtet werden kann. Dies könnte dazu führen, dass ungewollte Bereiche ihre Schutzwirkung verlieren und Fehler im weiteren Herstellungsprozess auftreten.

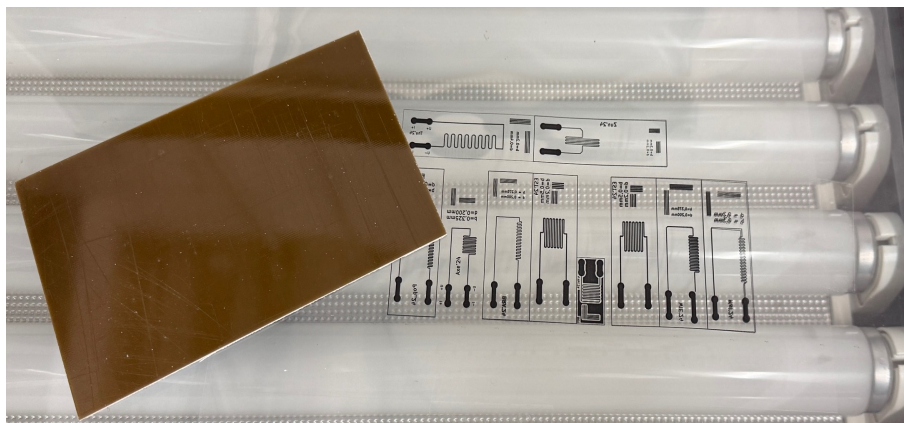


Abbildung 3: Belichtungsmaske und Gerät

1.2.2 Entwickeln

Im Rahmen des Entwicklungsprozesses der Platine wird diese zunächst in einen Rahmen eingespannt und in eine Kammer gebracht, in der sie mit einer Lösung von Natriumhydroxid besprüht wird. Das Besprühen ist auf etwa eine Minute zu beschränken, wobei bereits nach 15 bis 20 Sekunden erste Ergebnisse sichtbar sein sollten.

Nach Ablauf der Minute wird der Entwicklungsprozess durch Erhitzen in einem Wasserbad gestoppt. Im Anschluss werden die verbliebenen Rückstände unter fließendem Wasser abgespült, um eine vollständige Reinigung der Oberfläche zu gewährleisten.

Nach diesem Schritt sollten die ungeschützten Kupferflächen sichtbar werden, die im darauffolgenden Prozess durch Ätzen entfernt werden.

Für ein fehlerfreies Ergebnis ist es entscheidend, dass die Natronlauge frisch, leicht erhitzt und im korrekten Mischverhältnis verwendet wird.



Abbildung 4: Leiterbahn nach Entwickeln

1.2.3 Ätzen

Für den Ätzbvorgang wird die Platine erneut in einen Rahmen eingespannt und in einer Kammer mit Eisen-III-Chlorid-Lösung besprüht. Die Ätzdauer beträgt ca. 3 Minuten, wobei die ungeschützten Kupferbereiche gezielt vom Ätzmittel entfernt werden. Im Anschluss wird die Platine in einem Wasserbad vorgereinigt, um verbleibende Rückstände des verwendeten Ätzmittels zu entfernen. Abschließend wird die Platine unter fließendem Wasser gründlich abgespült. Abschließend wird die Leiterplatte getrocknet und für die weitere Verarbeitung vorbereitet.

Während des Ätzbvorgangs können jedoch Fehler aus dem Entwicklungsprozess sichtbar werden. Ein unzureichend entwickeltes Ätzresist zeigt sich daran, dass die Kupferschichten nach den ersten 30 Sekunden nicht die typische hellrosa Verfärbung aufweisen. Dies kann auf eine unzureichende Auftragung oder eine fehlerhafte Entwicklung des Resists zurückzuführen sein, was wiederum ungewollten Materialabtrag und fehlerhafte Leiterbahnen zur Folge haben kann.

1.2.4 Nachbearbeitung

Nach dem Ätzen erfolgt das Bohren der Löcher in die Platine. Dabei entsteht Epoxidharzstaub, der als gesundheitsschädlich und potenziell krebserregend einzustufen ist. Um die Belastung durch diesen Staub zu vermeiden, ist der Einsatz einer effektiven Absaugung zwingend erforderlich. In diesem Praktikum wurde dieser Bearbeitungsschritt ausgelassen, da keine funktionalen Leiterplatten hergestellt wurden.

Nach Abschluss dieses Prozesses kann die Leiterplatte mit Bauteilen bestückt und verlötet werden. Für die erste Platine werden hierbei lediglich Testpunkte aufgelötet, um die Funktionsfähigkeit zu überprüfen. Abschließend wird die Leiterplatte durch das Auftragen eines Schutzlacks vor Korrosion geschützt. Auch diese Schritte wurden im Rahmen des Praktikums nicht durchgeführt.

2 KiCad Workshop

2.1 Libraries

Um Leiterplatten zu entwerfen, sind Bauteile und zugehörige Footprints unverzichtbar. Bauteile und Footprints werden in Libraries oder auch Bibliotheken angelegt und eingepflegt. Man kann zu jedem Projekt eine eigene Library anlegen oder eine allgemeine Library verwenden, dies bleibt dem Entwickler selbst überlassen.

In der freien Wirtschaft jedoch wird von Firmen häufig vorgeschrieben, wie und unter welchen Bedingungen Bauteile in das System einzupflegen sind. Das Anlegen einer eigenen Bauteilbibliothek hat den Vorteil, dass sich der Anwender schneller zurechtfindet. Oft wird auch nur ein gewisses Kontingent an Bauteilen verwendet, da der jeweilige Hersteller der Leiterplatte nur ein definiertes Sortiment nutzt.

2.2 Bauteile

Um eine Leiterplatte fertigen zu können, braucht man einen Schaltplan, nach welchem man vorgeht. Ohne Schaltung braucht man auch keine Leiterplatte. Um wiederum einen Schaltplan erstellen zu können, benötigt man Bauteile. Diese Bauteile sind zum Teil in KiCad-Standardbibliotheken bereits vorhanden.

Im Falle des Taschenlampenprojekts wurden jedoch alle Bauteile extra in einer eigenen Library angelegt. Die Bauteile erfüllen primär die Rolle, den Schaltplan richtig zu zeichnen und auf Funktion zu prüfen. Bauteile werden im Bauteileditor gezeichnet und dann in einer Library gespeichert. In den Symboleigenschaften können zusätzlich Artikelnummern, Datenblätter und 3D-Modelle hinterlegt werden.

Bauteile können im Bauteileditor von Grund auf neu gezeichnet werden, oder man kopiert bereits vorhandene Bauteile und ändert diese entsprechend den Anforderungen ab.

2.3 Footprints

Um von den Bauteilen eine Verbindung zur Leiterplatte herstellen zu können, müssen sogenannte Footprints erstellt werden. Der Footprint oder auch Fußabdruck der Leiterplatte wird je nach Bauteilstruktur so aufgebaut, dass alle Kontaktierungen auf die Leiterplatte passen.

Die Kontaktherstellung zur Leiterplatte erfolgt über sogenannte Löt pads. Diese sind kleine Kupferfelder auf der Leiterplatte, auf welche die Kontakte der Bauteile in der Bestückung aufgelötet werden. Beim Zeichnen der Löt pads sind einige Aspekte zu beachten, wie etwa, ob das Bauteil per Hand oder in einem automatischen Prozess gelötet wird.

Beim Löten per Hand sollten die Pads etwas größer ausgeführt werden, da man per Hand nicht so genau löten kann. Bei automatischen Prozessen sollten die Pads kleiner gehalten werden, um Platz zu sparen und Fehler wie den sogenannten Gravestone-Effekt zu vermeiden, bei dem sich Bauteile aufstellen wie Grabsteine.

3 Endmontage Radio und Taschenlampe

3.1 Bestücken und Löten der Taschenlampe

Die Taschenlampe wurde extra so entworfen, dass auch die SMD-Bauteile per Hand aufgelötet werden können. ...

3.2 Bestücken und Löten des Radios

Die Radioplatine wurde mit verschiedenen Verfahren bestückt. ...

4 Fazit

Das Praktikum in der Aufbau- und Verbindungstechnik ist eine spannende und lehrreiche Erfahrung, die mir einen tiefen Einblick in die Herstellung und das Design von Leiterplatten gegeben hat.

Von den ersten Schritten des Entwurfs einer einfachen Leiterplatte bis hin zur komplexen Schaltplan- und Layouterstellung in KiCad werden alle wesentlichen Aspekte detailliert vermittelt. Auch wenn der Prozess der Leiterplattenherstellung an der Hochschule nicht immer reibungslos verläuft, haben mir gerade diese Herausforderungen gezeigt, wie viele Faktoren in der Aufbau- und Verbindungstechnik zu berücksichtigen sind.

Die Bestellung von Leiterplatten bei einem externen Hersteller ist von besonderem Interesse. Dadurch ist es möglich, wertvolle Einblicke in die Materialbestellung und -auswahl zu erlangen.

Der KiCad-Workshop ist ein zentraler Bestandteil des Praktikums und gibt Einblicke in die Bedeutung und den Umgang mit Bibliotheken, Bauteilen und Footprints. Präzises Arbeiten beim Layout und die sorgfältige Platzierung der Bauteile sind entscheidend für die Anforderungen an eine funktionsfähige Leiterplatte.

Auch die praktischen Übungen beim Bestücken und Löten verdeutlichten die Komplexität und die Notwendigkeit präzisen Arbeitens in der Fertigung. Insbesondere die Herausforderungen im Umgang mit der Lötpaste und Bestückungsautomaten sind sehr lehrreich.

Insgesamt vermittelte das Praktikum einen umfassenden Einblick in den Entwurf und die Fertigung einer Leiterplatte. Die gewonnenen Erkenntnisse und Erfahrungen bilden eine solide Grundlage für zukünftige Projekte und Arbeiten im Bereich der Leiterplattentechnik.

Abbildungsverzeichnis

1	PCB Layout der Platine mit Leiterbahn = 0,275 mm	3
2	parallele Leiterbahnen unter Mikroskop	4
3	Belichtungsmaske und Gerät	5
4	Leiterbahn nach Entwickeln	6

Quellenverzeichnis

- Quelle 1: https://www.pcbway.com/blog/PCB_Manufacturing_Information/What_is_PCB_Tombstone_.html
- Quelle 2: <https://learning-campus.th-rosenheim.de/course/view.php?id=5012>