



Fakultät für Ingenieurwissenschaften

Studiengang Mechatronik

Aufbau- und Verbindungstechnik

Bericht

von

Martin Brandl

Datum der Abgabe: 13.01.2025

Verfasser: Martin Brandl

Matrikelnummer: 1014079

Inhaltsverzeichnis

1	Herstellung der ersten Platine	3
1.1	Entwurf einer Leiterplatte	3
1.2	Herstellung der Platine	4
1.2.1	Belichten	5
1.2.2	Entwickeln	5
1.2.3	Ätzen	6
1.2.4	Nachbearbeitung	6
2	KiCad Workshop	7
2.1	Bibliotheken	7
2.1.1	Bauteile	7
2.1.2	Footprints	8
2.2	Erstellen des Schaltplans	9
2.3	Erstellen des Platinenlayouts	10
3	Endmontage Radio und Taschenlampe	11
3.1	Bestücken und Löten der Taschenlampe	11
3.2	Bestücken und Löten des Radios	11
4	Fazit	13

Einleitung

Die Entscheidung für das FWPM Aufbau- und Verbindungstechnik resultierte aus dem Wunsch, mein technisches Verständnis im Bereich der Elektronik und deren Herstellung zu vertiefen.

Das Praktikum war eine interessante Möglichkeit, die Entwicklung einer Leiterplatte von der ursprünglichen Idee bis zur endgültigen Realisierung zu verfolgen. Insbesondere die Inhalte aus den Präsentationen konnte im Praktikum gut ergänzt werden.

Durch diese Erkenntnis konnte ich meine Kompetenzen im Bereich der Leiterplattentechnik und im Umgang mit den Maschinen bei der Herstellung dieser deutlich ausbauen.

1 Herstellung der ersten Platine

1.1 Entwurf einer Leiterplatte

Zum Entwurf einer funktionsfähigen Platine sind ein Schaltplan, ein PCB-Layout und die passenden Bauteile mit zugehörigen Footprints erforderlich. Für die erste Platine werden nur Testpunkte erstellt, weshalb die Erstellung eigener Bauteile und Footprints in sogenannten Libraries nicht im Fokus stand. Der Schwerpunkt liegt vielmehr auf der Herstellung einer spezifischen Leiterbahn mit auf der Platine.

Eine besondere Anforderung bestand darin, eine Leiterbahn mit einem definierten Widerstand von genau $200\,\text{m}\Omega$ zu realisieren. Um dies zu erreichen wird eine feste Breite für die Leiterbahn vorgegeben, anhand derer die erforderliche Länge der Bahn berechnet werden muss.

Berechnung:

Gegeben: $b = 0,275\,\text{mm}$, $R = 0,2\,\Omega$, $\rho = 0,01721\,\Omega \cdot \text{mm}^2/\text{m}$, $h = 0,035\,\text{mm}$

Gesucht: l

$$R = \frac{\rho \cdot l}{A} \Rightarrow l = \frac{R \cdot b \cdot h}{\rho}$$
$$l = \frac{0,2\,\Omega \cdot 0,275\,\text{mm} \cdot 0,035\,\text{mm}}{0,01721\,\Omega \cdot \text{mm}^2/\text{m}} = 111,85\,\text{mm}$$

Die berechnete Länge wird anschließend in das Platinenlayout erstellt. Da die Gesamtlänge der Leiterbahn durch das Layout die berechneten Länge überschreiten könnte, wird die Leiterbahn in einem wellenartigen Muster umgesetzt, um die geforderte Gesamtlänge einzuhalten.

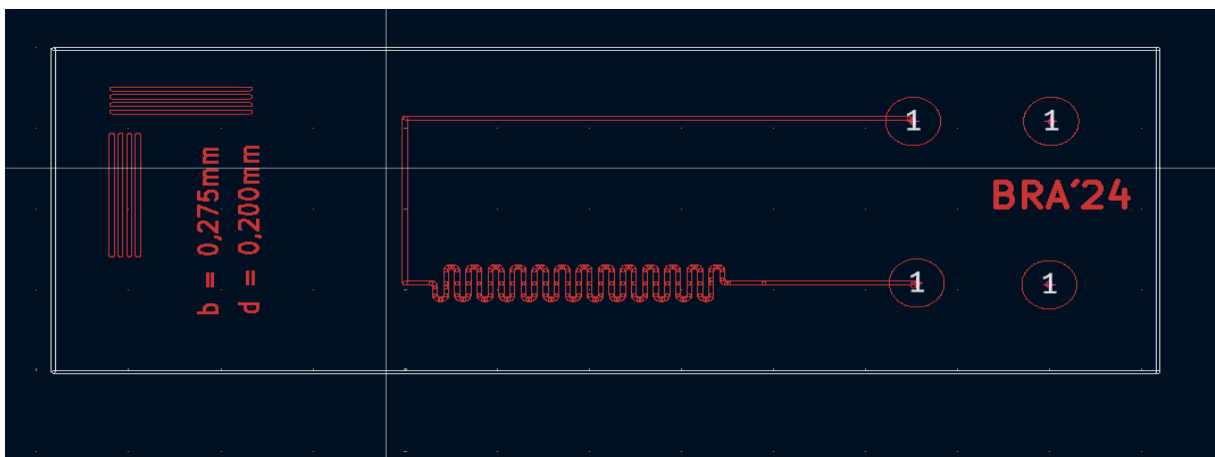


Abbildung 1: PCB Layout der Platine mit Leiterbahn = $0,275\,\text{mm}$

Außerdem wird der Name des Studierenden zusammen mit der Jahreszahl auch als Kupferbahn ausgeführt. Bei der herkömmlichen Fertigung von Leiterplatten wird ein Bestückungsdruck für Bezeichnung der Komponenten und zusätzlichen Informationen zu den Bauteilen verwendet. Da hier allerdings nur eine Kupferschicht vorgesehen ist, wird darauf verzichtet.

Für die nachfolgende Messung bzw. Überprüfung unter dem Mikroskop werden vier Linien horizontal und vertikal in festem Abstand auf der Leiterplatte definiert.

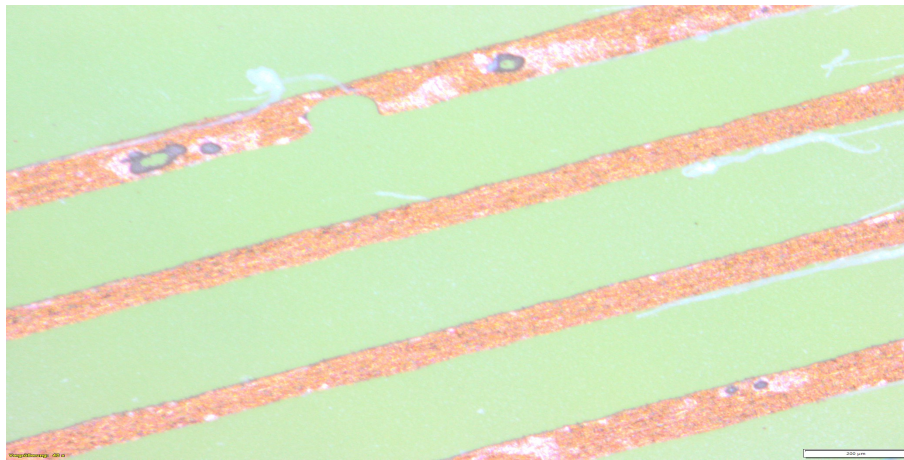


Abbildung 2: parallele Leiterbahnen unter Mikroskop

Die Ursachen für Fehler auf den geätzten Leiterbahnen sind vielschichtig. So können beispielsweise Ungenauigkeiten beim Belichten oder Staub auf der Maske zu unpräzisen Strukturen führen. Während des Entwicklungsprozesses können ungleichmäßige Ergebnisse durch unvollständige oder fehlerhafte Prozesse entstehen. Im Ätzprozess selbst können Probleme wie unzureichende Ätzlösung, Luft einschüsse, Überätzung oder ungleichmäßiger Materialabtrag auftreten. Um derartige Fehler zu vermeiden, bedarf es einer sauberen Arbeitsumgebung sowie optimierter Prozessparameter.

1.2 Herstellung der Platine

Für die Herstellung von Leiterplatten existieren diverse Verfahren. An der Hochschule wird das Ätzverfahren eingesetzt. Dieses besteht aus den drei Hauptschritten Belichten, Entwickeln und Ätzen. Darüber hinaus sind mehrere Vor- und Nachbearbeitungsschritte erforderlich, um eine optimale Verarbeitung zu gewährleisten.

Um das Material effizient zu nutzen und Produktionsabfälle zu minimieren, werden mehrere Leiterplatten zu einer Einheit zusammengefasst, die als Nutzen bezeichnet wird. Ein solcher Nutzen entspricht der Größe einer Europlatine, was eine standardisierte und platzsparende Anordnung ermöglicht.

Die Belichtungsmaske für den Nutzen wird durch Bedrucken einer transparenten Folie mit einem Laserdrucker erstellt. Um eine gleichmäßige Lichtundurchlässigkeit sicherzustellen, werden zwei identische Folien exakt übereinander geklebt. Dies gewährleistet eine hohe Präzision beim Belichten und damit eine gute Qualität der späteren Leiterplatten.

Nach dem Ätzen sind die Platinen noch als Teil des Europlatinen-Nutzens verbunden und müssen im Anschluss voneinander getrennt werden. Der Trennvorgang erfolgt mithilfe einer Hebelschere. Die Verwendung dieses Werkzeugs ermöglicht ein sauberes und präzises Zuschneiden der einzelnen Platinen.

1.2.1 Belichten

Beim Ätzverfahren wird die Platine mit einem Ätzresistlack versehen, der an bestimmten Stellen durch Belichtung seine Schutzfunktion verliert. Um dies zu ermöglichen, wird die auf dem Rohling befindliche Schutzfolie der Ätzresistschicht entfernt. Danach wird die Belichtungsmaske exakt auf dem Rohling positioniert.

Damit die Belichtungsmaske während des Belichtungsvorgangs nicht verrutscht, verfügt das Belichtungsgerät über eine Vakuumfolie, die die Maske sicher auf dem Rohling fixiert. Für eine Standardleiterplatte beträgt die Belichtungsdauer etwa 2 Minuten. Während dieser Zeit bleibt der UV-Belichtungsapparat geschlossen, um eine gleichmäßige Belichtung zu gewährleisten.

Nach der Belichtung sollte der Rohling mit der Maske etwas abkühlen, bevor die Belichtungsmaske entfernt wird. Es ist jedoch wichtig, den nächsten Schritt so schnell wie möglich durchzuführen, da das Ätzresist bei Tageslicht weiter belichtet werden kann. Dies könnte dazu führen, dass ungewollte Bereiche ihre Schutzwirkung verlieren und Fehler im weiteren Herstellungsprozess auftreten.

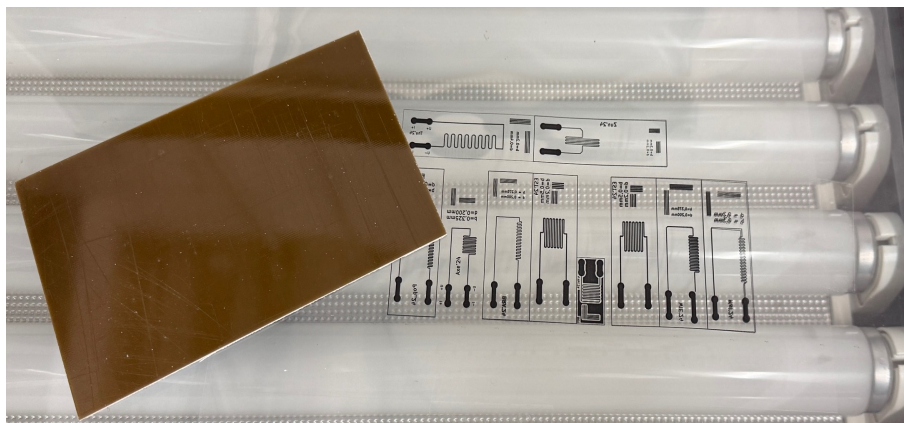


Abbildung 3: Belichtungsmaske und Gerät

1.2.2 Entwickeln

Im Rahmen des Entwicklungsprozesses der Platine wird diese zunächst in einen Rahmen eingespannt und in eine Kammer gebracht, in der sie mit einer Lösung von Natriumhydroxid besprüht wird. Das Besprühen ist auf etwa eine Minute zu beschränken, wobei bereits nach 15 bis 20 Sekunden erste Ergebnisse sichtbar sein sollten.

Nach Ablauf der Minute wird der Entwicklungsprozess durch Erhitzen in einem Wasserbad gestoppt. Im Anschluss werden die verbliebenen Rückstände unter fließendem Wasser abgespült, um eine vollständige Reinigung der Oberfläche zu gewährleisten.

Nach diesem Schritt sollten die ungeschützten Kupferflächen sichtbar werden, die im darauffolgenden Prozess durch Ätzen entfernt werden.

Für ein fehlerfreies Ergebnis ist es entscheidend, dass die Natronlauge frisch, leicht erhitzt und im korrekten Mischverhältnis verwendet wird.



Abbildung 4: Leiterbahn nach Entwickeln

1.2.3 Ätzen

Für den Ätzbvorgang wird die Platine erneut in einen Rahmen eingespannt und in einer Kammer mit Eisen-III-Chlorid-Lösung besprüht. Die Ätzdauer beträgt ca. 3 Minuten, wobei die ungeschützten Kupferbereiche gezielt vom Ätzmittel entfernt werden. Im Anschluss wird die Platine in einem Wasserbad vorgereinigt, um verbleibende Rückstände des verwendeten Ätzmittels zu entfernen. Abschließend wird die Platine unter fließendem Wasser gründlich abgespült. Abschließend wird die Leiterplatte getrocknet und für die weitere Verarbeitung vorbereitet.

Während des Ätzbvorgangs können jedoch Fehler aus dem Entwicklungsprozess sichtbar werden. Ein unzureichend entwickeltes Ätzresist zeigt sich daran, dass die Kupferschichten nach den ersten 30 Sekunden nicht die typische hellrosa Verfärbung aufweisen. Dies kann auf eine unzureichende Auftragung oder eine fehlerhafte Entwicklung des Resists zurückzuführen sein, was wiederum ungewollten Materialabtrag und fehlerhafte Leiterbahnen zur Folge haben kann.

1.2.4 Nachbearbeitung

Nach dem Ätzen erfolgt das Bohren der Löcher in die Platine. Dabei entsteht Epoxidharzstaub, der als gesundheitsschädlich und potenziell krebserregend einzustufen ist. Um die Belastung durch diesen Staub zu vermeiden, ist der Einsatz einer effektiven Absaugung zwingend erforderlich. In diesem Praktikum wurde dieser Bearbeitungsschritt ausgelassen, da keine funktionalen Leiterplatten hergestellt wurden.

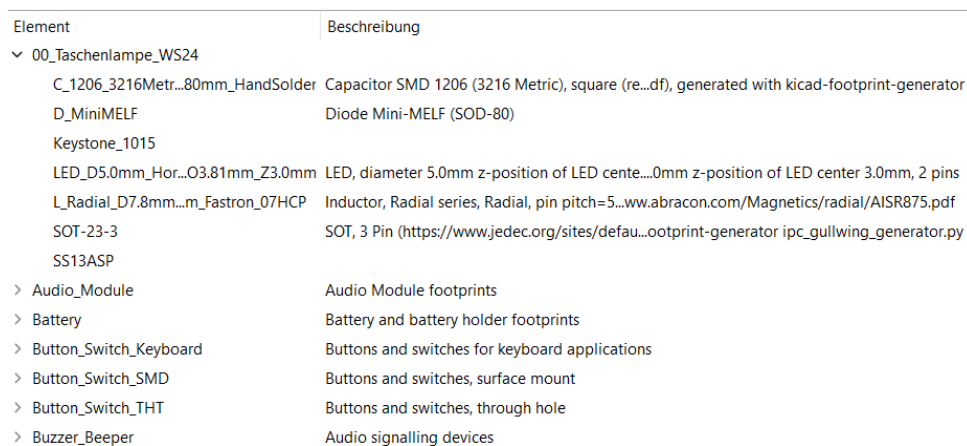
Nach Abschluss dieses Prozesses kann die Leiterplatte mit Bauteilen bestückt und verlötet werden. Für die erste Platine werden hierbei lediglich Testpunkte aufgelötet, um die Funktionsfähigkeit zu überprüfen. Abschließend wird die Leiterplatte durch das Auftragen eines Schutzlacks vor Korrosion geschützt. Auch diese Schritte wurden im Rahmen des Praktikums nicht durchgeführt.

2 KiCad Workshop

2.1 Bibliotheken

Für die Entwicklung von Leiterplatten sind Bauteile und die dazugehörigen Footprints essenziell. Diese werden in Libraries, auch Bibliotheken genannt, organisiert. Entwickler können projektbezogene Bibliotheken erstellen oder auf allgemeine Libraries zugreifen. In der Industrie wird oftmals vorgegeben, wie Bauteile in das System eingepflegt werden müssen.

Das Erstellen eigener Bibliotheken hat den Vorteil, dass der Entwickler sich schneller zurechtfindet. Zudem verwenden Leiterplattenhersteller oft ein festgelegtes Sortiment an Bauteilen. In solchen Fällen ist es sinnvoll, Bibliotheken speziell für bestimmte Zulieferer anzulegen.



Element	Beschreibung
00_Taschenlampe_WS24	
C_1206_3216Metr...80mm_HandSolder	Capacitor SMD 1206 (3216 Metric), square (re...df), generated with kicad-footprint-generator
D_MiniMELF	Diode Mini-MELF (SOD-80)
Keystone_1015	
LED_D5.0mm_Hor...O3.81mm_Z3.0mm	LED, diameter 5.0mm z-position of LED cente...0mm z-position of LED center 3.0mm, 2 pins
L_Radial_D7.8mm...m_Fastron_07HCP	Inductor, Radial series, Radial, pin pitch=5...ww.abracon.com/Magnetics/radial/AISR875.pdf
SOT-23-3	SOT, 3 Pin (https://www.jedec.org/sites/default...ootprint-generator ipc_gullwing_generator.py)
SS13ASP	
> Audio_Module	Audio Module footprints
> Battery	Battery and battery holder footprints
> Button_Switch_Keyboard	Buttons and switches for keyboard applications
> Button_Switch_SMD	Buttons and switches, surface mount
> Button_Switch_THT	Buttons and switches, through hole
> Buzzer_Beeper	Audio signalling devices

Abbildung 5: Darstellung einer Bibliothek mit Bauteilen.

2.1.1 Bauteile

Ein Schaltplan bildet die Grundlage für jede Leiterplatte. Die dafür benötigten Bauteile können aus den KiCad-Standardbibliotheken übernommen oder individuell erstellt werden. Im Workshop wurden alle Bauteile in einer eigenen Bibliothek angelegt, um den Projektanforderungen zu entsprechen.

Bauteile werden im Bauteileditor erstellt, wobei Eigenschaften wie Artikelnummern, Datenblätter oder 3D-Modelle hinterlegt werden können. Um Zeit zu sparen, können bestehende Bauteile kopiert und angepasst werden.

Bauteile lassen sich im Bauteileditor entweder komplett neu erstellen oder durch Kopieren bestehender Bauteile zeitsparend anpassen, um sie den individuellen Anforderungen anzupassen.

Der folgende Batterie-Halter wurde beispielsweise aus einem Datenblatt übernommen und anschließend entsprechend modifiziert.

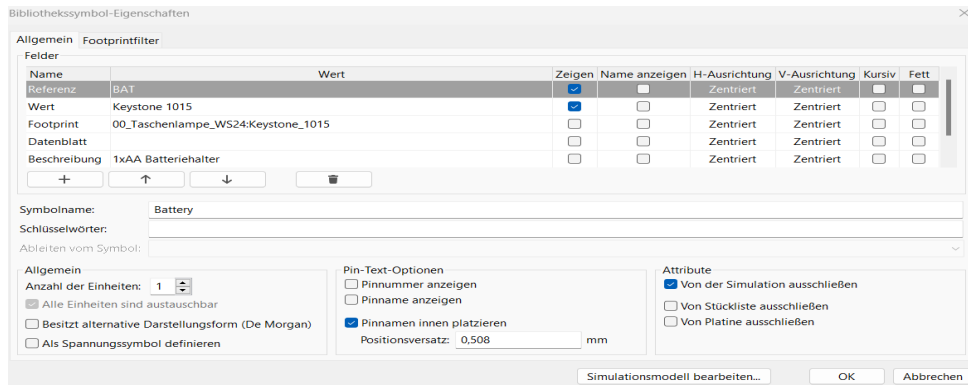


Abbildung 6: Eigenschaften eines Bauteils

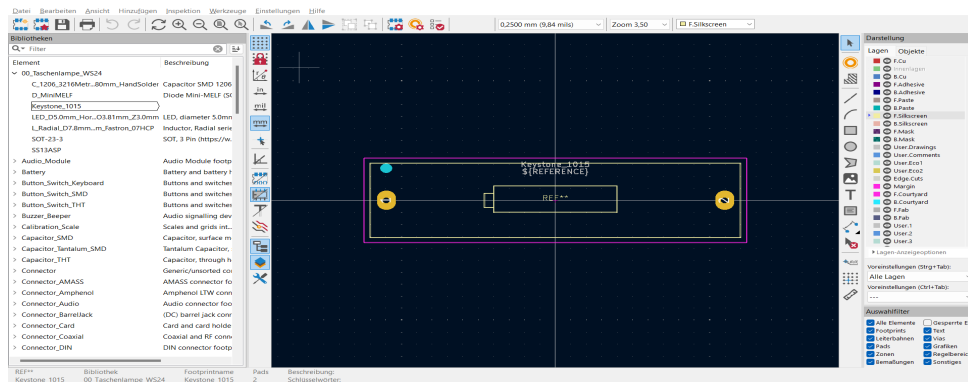


Abbildung 7: Erstellung eines Bauteils im Bauteileditor

2.1.2 Footprints

Footprints stellen die Verbindung zwischen den Bauteilen und der Leiterplatte her. Sie werden im Footprinteditor erstellt und repräsentieren den "Fußabdruck" eines Bauteils auf der Platine.

Die Verbindung erfolgt über Löt pads, die an die Bauteilkontakte angepasst sind. Für das Handlöten sollten Löt pads größer gestaltet werden, um die Bearbeitung zu erleichtern. Bei automatischer Bestückung sollten die Pads so klein wie möglich gehalten werden, um Platz zu sparen und den sogenannten Gravestone-Effekt (Aufstellen der Bauteile) zu verhindern.

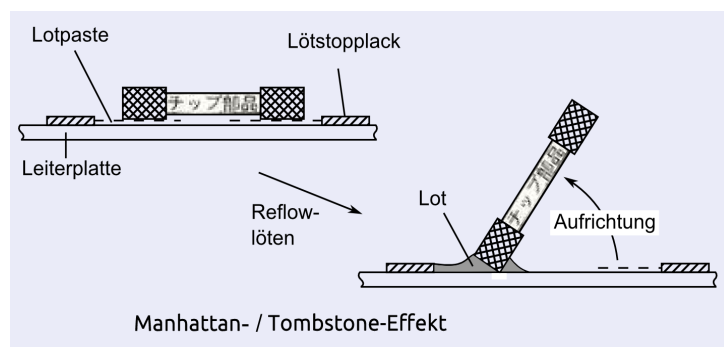


Abbildung 8: Gravestone-Effekt: Aufstellen der Bauteile

2.2 Erstellen des Schaltplans

Nach dem Einpflegen der Bauteile wird der Schaltplan im Schaltplaneditor erstellt. Die Bauteile werden aus der Bibliothek eingefügt, positioniert und miteinander verbunden. Netzklassen können definiert werden, um Abstände zwischen Signalen oder Gruppen (z. B. Last- und Steuerkreis) zu berücksichtigen.

Um die Übersichtlichkeit zu erhöhen, können Textvariablen und Labels genutzt werden. Im Workshop wurden Labels beispielsweise für Ground (GND) eingesetzt.

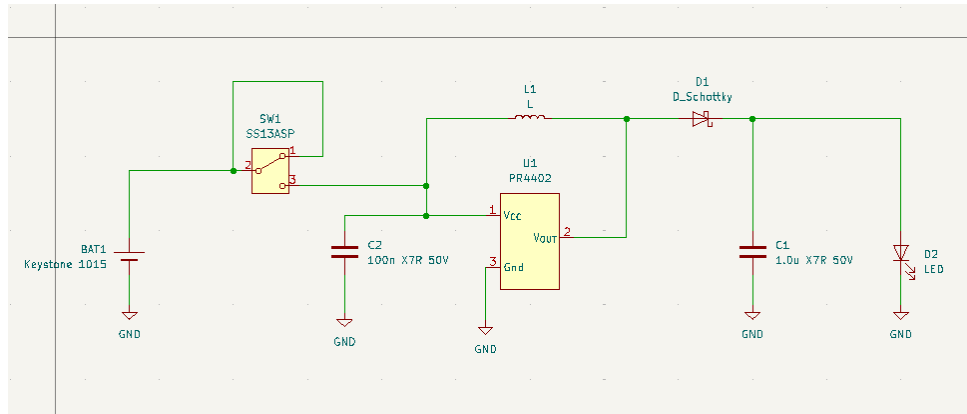


Abbildung 9: Schaltplan der Taschenlampe mit markierten Labels.

Wird während der Schaltplanerstellung festgestellt, dass ein Footprint nicht zugewiesen wurde, so kann dies direkt im Schaltplaneditor nachgeholt werden.

Zur Bearbeitung von Footprints oder Bauteilen kann ebenfalls direkt aus dem Schaltplaneditor in den Footprint- bzw. Bauteileditor gewechselt werden.

Während und nach der Schaltplanerstellung sollte ein ERC („Electrical Rule Check“) durchgeführt werden. Dieser Prüfvorgang analysiert den Schaltplan auf Fehler und gibt entsprechende Meldungen aus. Neben Fehlern können auch Warnungen auftreten, die sich häufig auf Labels oder Netzklassen beziehen. Warnungen sind oft weniger kritisch. Fehler sollten jedoch nie ohne sorgfältige Prüfung ignoriert werden. Sollte ein gemeldeter Fehler tatsächlich keinen Einfluss auf die Funktion haben, so kann er im ERC entsprechend markiert und zukünftig ausgeblendet werden.

2.3 Erstellen des Platinenlayouts

Das Layout ist die Umwandlung des Schaltplans in eine physische Leiterplattenstruktur. Dabei werden die Footprints der Bauteile auf der Platine positioniert und durch Leiterbahnen verbunden.

Der Layoutprozess umfasst die folgenden Schritte:

- Festlegung der Platinenabmessungen.
- Positionierung der Footprints im Bauraum.
- Manuelles Routen der Leiterbahnen.

Ein durchgehendes GND-Potenzial wird als Kupferschicht ausgeführt. Die restlichen Verbindungen werden manuell erstellt. Dabei ist besonders darauf zu achten, dass die GND-Schicht nicht unterbrochen wird und die Footprints keine Überschneidungen aufweisen.

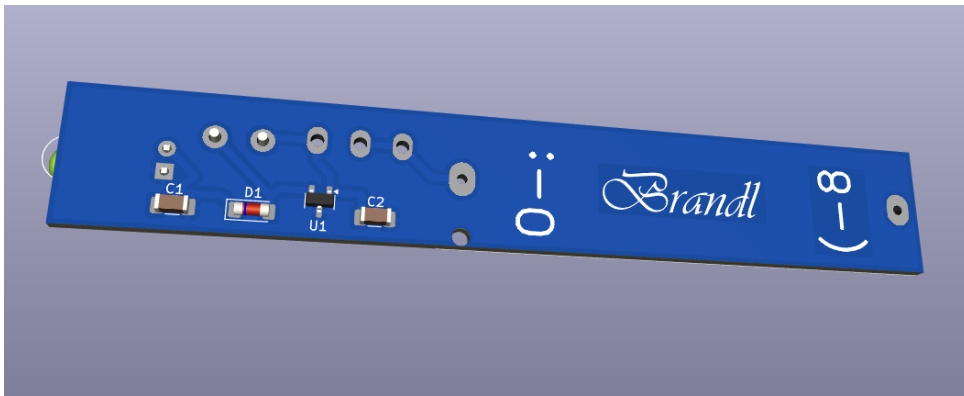


Abbildung 10: 3D Layout Rückseite mit Bauteilen.

Die Leiterplatte erhält abschließend einen Bestückungsdruck (Silkscreen), der die Bauteilpositionen markiert. Dieser kann auch mit optischen Markierungen noch erweitert werden, um das Platinendesign künstlerisch zu gestalten

3 Fazit

Das Praktikum in der Aufbau- und Verbindungstechnik ist eine spannende und lehrreiche Erfahrung, die mir einen tiefen Einblick in die Herstellung und das Design von Leiterplatten gegeben hat.

Von den ersten Schritten des Entwurfs einer einfachen Leiterplatte bis hin zur komplexen Schaltplan- und Layouterstellung in KiCad werden alle wesentlichen Aspekte detailliert vermittelt. Auch wenn der Prozess der Leiterplattenherstellung an der Hochschule nicht immer reibungslos verläuft, haben mir gerade diese Herausforderungen gezeigt, wie viele Faktoren in der Aufbau- und Verbindungstechnik zu berücksichtigen sind.

Die Bestellung von Leiterplatten bei einem externen Hersteller ist von besonderem Interesse. Dadurch ist es möglich, wertvolle Einblicke in die Materialbestellung und -auswahl zu erlangen.

Der KiCad-Workshop ist ein zentraler Bestandteil des Praktikums und gibt Einblicke in die Bedeutung und den Umgang mit Bibliotheken, Bauteilen und Footprints. Präzises Arbeiten beim Layout und die sorgfältige Platzierung der Bauteile sind entscheidend für die Anforderungen an eine funktionsfähige Leiterplatte.

Auch die praktischen Übungen beim Bestücken und Löten verdeutlichten die Komplexität und die Notwendigkeit präzisen Arbeitens in der Fertigung. Insbesondere die Herausforderungen im Umgang mit der Lötpaste und Bestückungsautomaten sind sehr lehrreich.

Insgesamt vermittelte das Praktikum einen umfassenden Einblick in den Entwurf und die Fertigung einer Leiterplatte. Die gewonnenen Erkenntnisse und Erfahrungen bilden eine solide Grundlage für zukünftige Projekte und Arbeiten im Bereich der Leiterplattentechnik.

Abbildungsverzeichnis

1	PCB Layout der Platine mit Leiterbahn = 0,275 mm	3
2	parallele Leiterbahnen unter Mikroskop	4
3	Belichtungsmaske und Gerät	5
4	Leiterbahn nach Entwickeln	6
5	Darstellung einer Bibliothek mit Bauteilen.	7
6	Eigenschaften eines Bauteils	8
7	Erstellung eines Bauteils im Bauteileditor	8
8	Gravestone-Effekt: Aufstellen der Bauteile	8
9	Schaltplan der Taschenlampe mit markierten Labels.	9
10	3D Layout Rückseite mit Bauteilen.	10
11	Unterseite der Taschenlampe mit sichtbaren SMD-Bauteilen.	12
12	Oberseite der Taschenlampe mit Schalter, Batteriehälter, Spule und LED. .	13
13	Handdispenser beim Auftragen der Lötpaste auf die Radioplatine.	14
14	Aufnahme eines Elko-Kondensators mit dem Manipulator.	15
15	Schablone und Rakel beim Auftragen der Lötpaste auf die Rückseite der Platine.	16
16	Radioplatine im Reflow-Ofen.	17
17	Rückseite der Radioplatine mit angeklebter Antenne.	18

Quellenverzeichnis