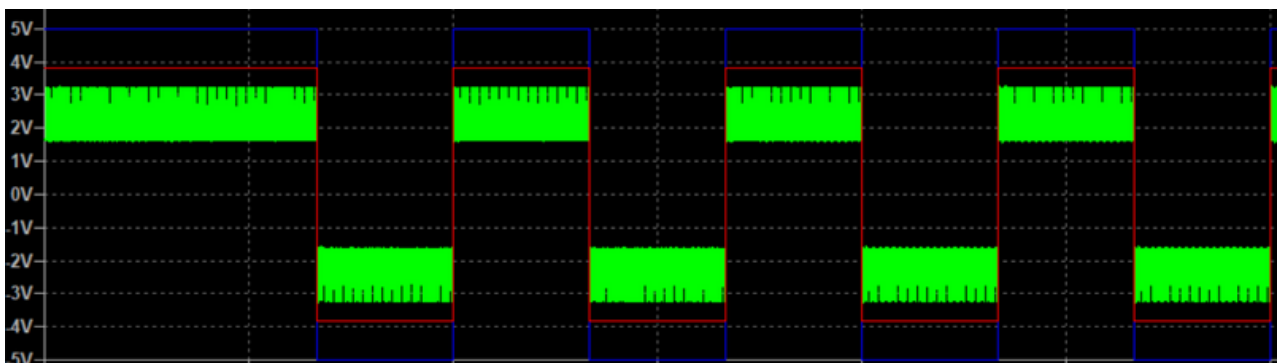




**CHAUVELIERE MARTIN
NEHARI TAHA**

Démodulateur BPSK

Rapport Télécom



21/04/2024

SOMMAIRE

01. Objectif	p.3
<hr/>	
02. Modulateur BPSK	p.4
<hr/>	
03. Phase-Locked Loop (PLL)	p.7
<hr/>	
04. Démodulateur QPSK	p.13

OBJECTIF

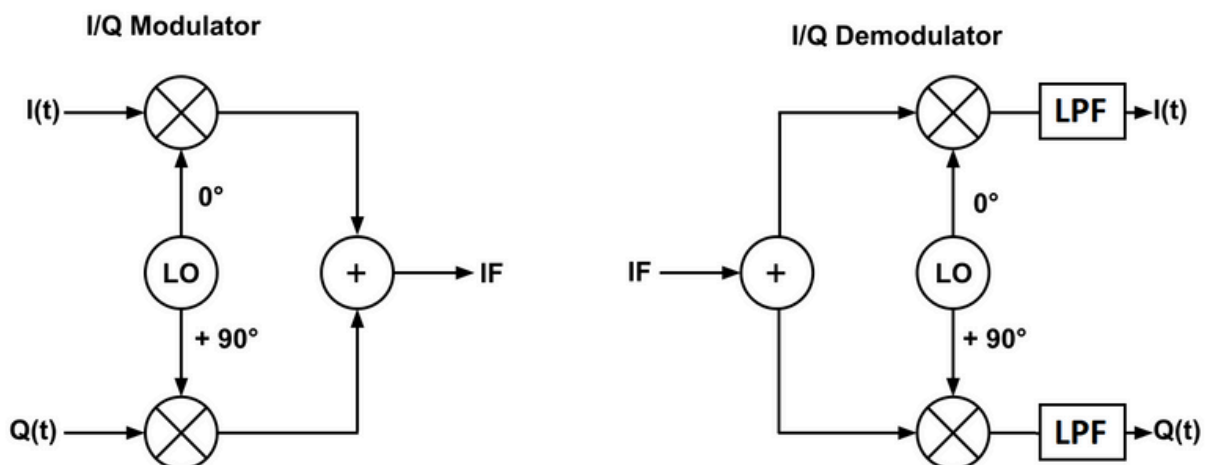
Dans ce TP, l'objectif est de simuler le fonctionnement d'un démodulateur QPSK en utilisant le logiciel LTspice.

Pour démarrer cette simulation, nous allons créer un modulateur BPSK, ce qui nous fournira un signal que nous pourrons ensuite utiliser pour tester le bon fonctionnement du démodulateur.

En supposant que le signal de sortie du modulateur QPSK soit destiné à être transmis à travers un milieu de propagation, tel qu'une antenne, pour être reçu plus loin, il est crucial de comprendre le processus de démodulation.

Une fois le signal reçu, il doit être démodulé afin de récupérer le signal initial et, par conséquent, l'information transmise.

La démodulation QPSK repose sur l'utilisation de deux trames déphasées de 90° l'une par rapport à l'autre, ainsi que sur l'emploi d'une PLL (Phase-Locked Loop) qui asservit la phase de notre oscillateur local à celles de ces trames.

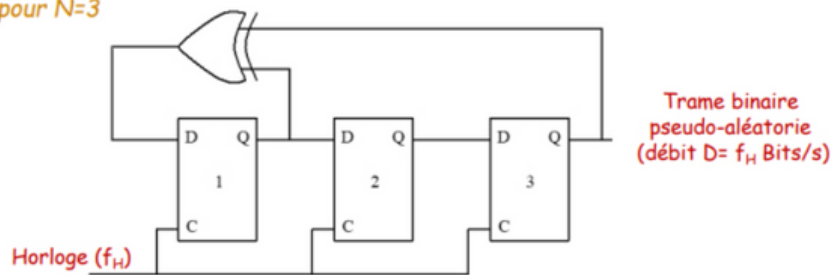


MODULATEUR BPSK

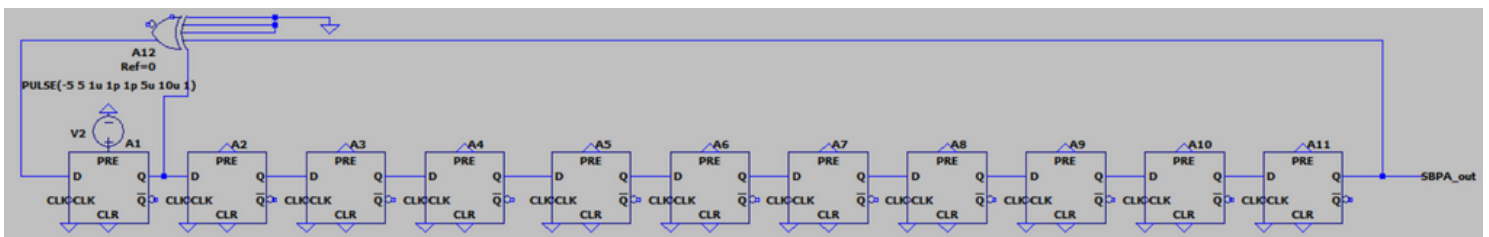
Avant de faire quoi que ce soit, nous avons besoin d'une information à moduler. Dans notre cas, cette information sera simulée par un signal SBPA à 1MHz.

Ainsi, pour le générer, nous nous reposerons sur le principe des séquences binaires pseudo-aléatoires, générées à partir de bascules D.

Exemple pour $N=3$



Ici, nous en utiliserons 11.

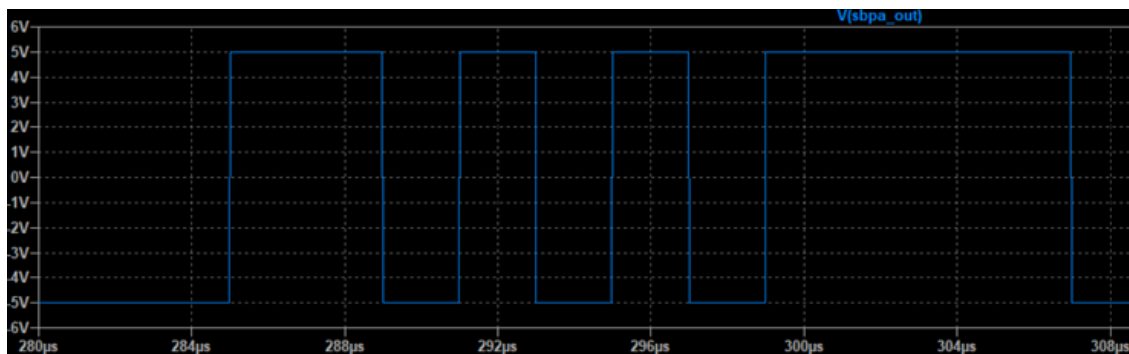


A noter que sur LTSpice, un délai minimum était à renseigner sur chacun des composants, car sinon, la simulation ne donnait pas de résultats satisfaisants (voir $T_d = 1ps$). Nous décidons aussi de choisir une valeur haute et basse à $\pm 5V$.

Attribute	Value
InstName	A1
SpiceModel	DFLOP
Value	Ref=0
Value2	Vhigh=5 Vlow=-5
SpiceLine	
SpiceLine2	Td=1p

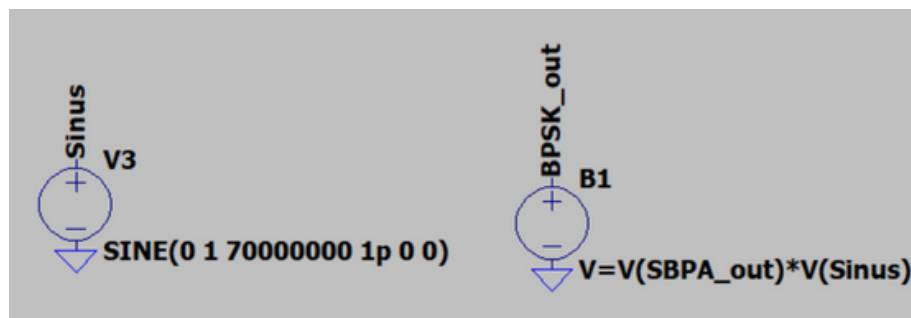
RÉSULTATS

Voici alors le signal généré par le montage:

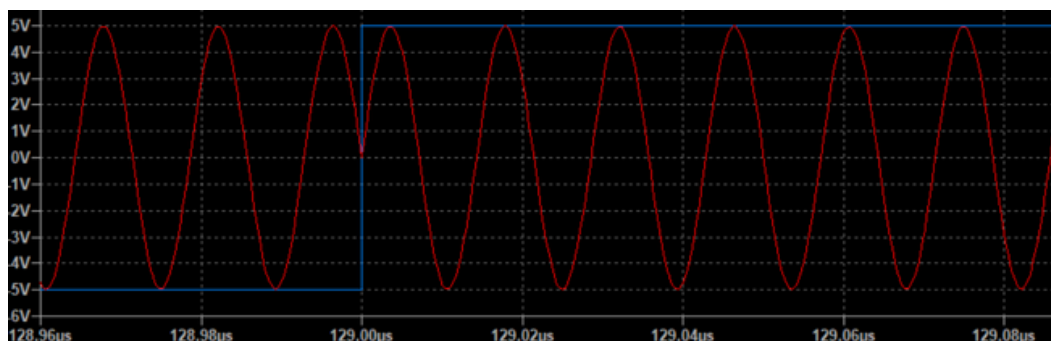


On retrouve bien une fréquence de 1MHz, ainsi que la présence de deux niveaux de tension : +5V et -5V.

Désormais, il ne reste plus qu'à associer ce signal à une porteuse à 70MHz.

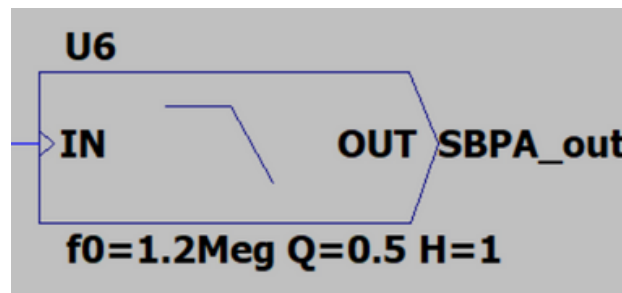


Voici dès lors l'allure du signal obtenu en sortie de notre modulateur:

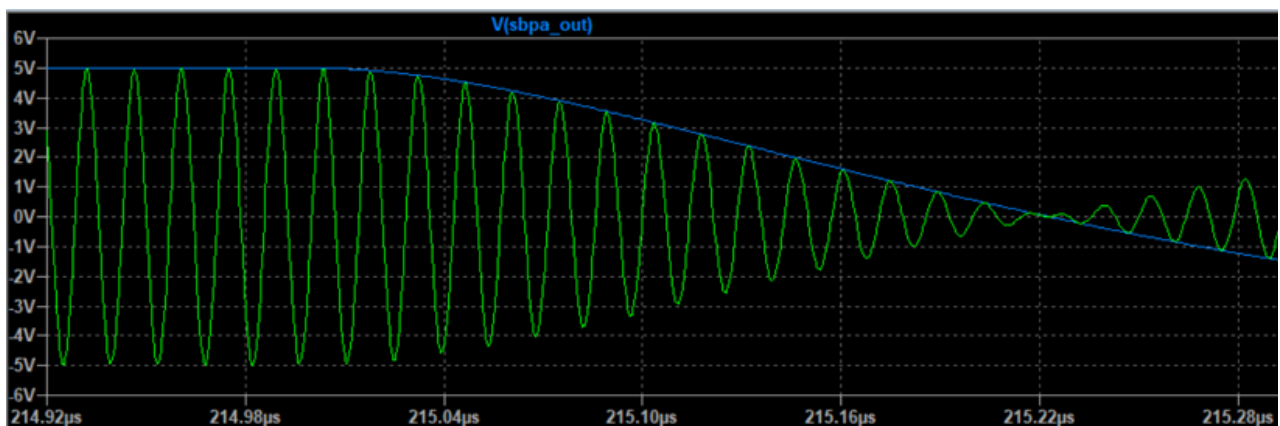
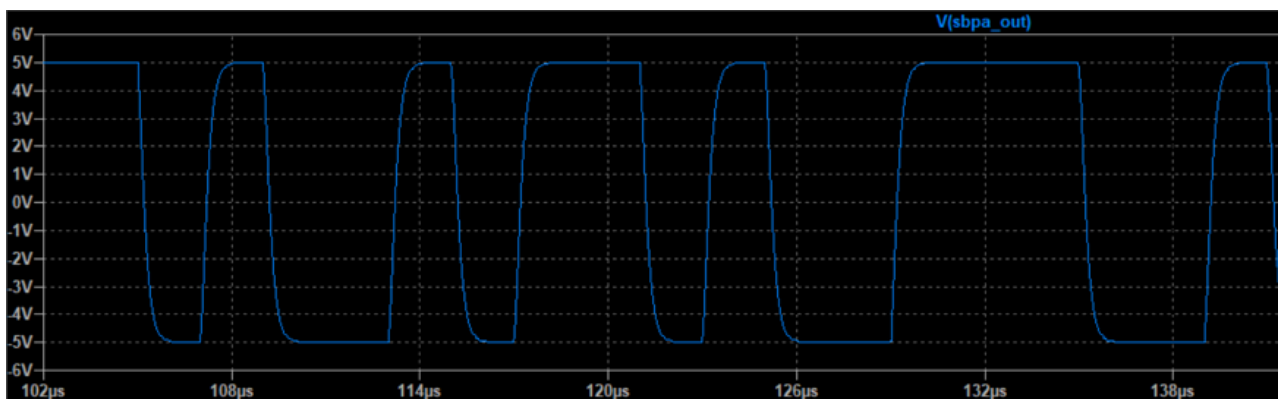


On remarque la forme sinusoïdale de celui-ci ainsi que son changement de phase à chaque changement d'état du signal SBPA. De plus, le signal est bien porté à 70MHz.

Afin d'améliorer les performances de ce modulateur BPSK, nous pouvons ajouter un filtre passe-bas directement à la sortie des bascules pour à la fois réduire l'encombrement spectral et les possibles interférences inter-symboles.



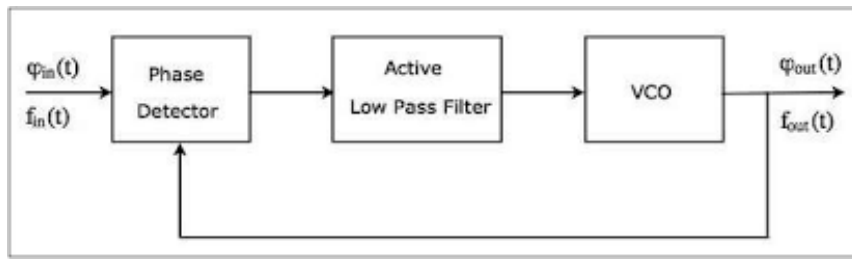
On choisit, après de nombreux essais, une fréquence de coupure de 1.2 Mhz et un facteur de qualité de 0.5. Voici ce que l'on obtient en simulation :



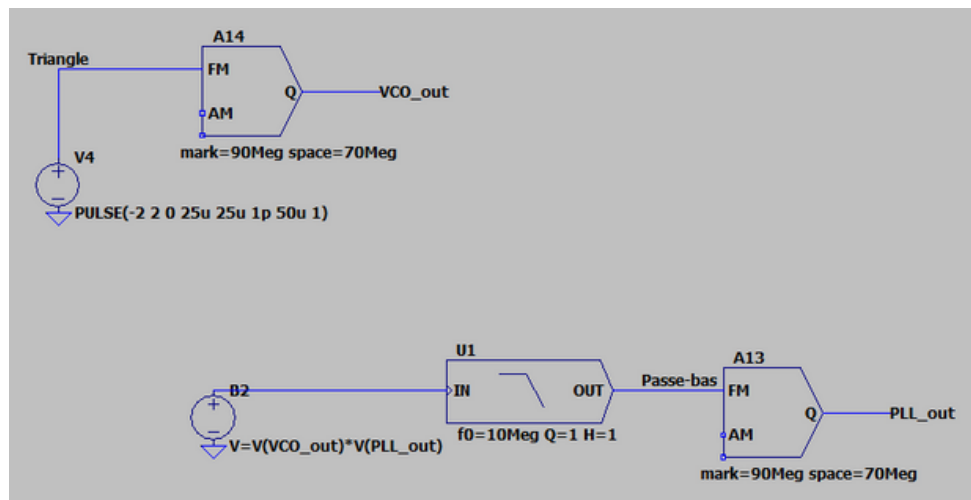
PHASE-LOCKED LOOP (PLL)

Avant de pouvoir démoduler le signal modulé, le démodulateur QPSK a besoin d'une PLL. Commençons alors par la dimensionner.

Une PLL est constituée de trois éléments, un comparateur de phase, un filtre passe-bas et d'un oscillateur commandé en tension (VCO). Ici, ce qui fera office de comparateur de phase sera un simple multiplieur.

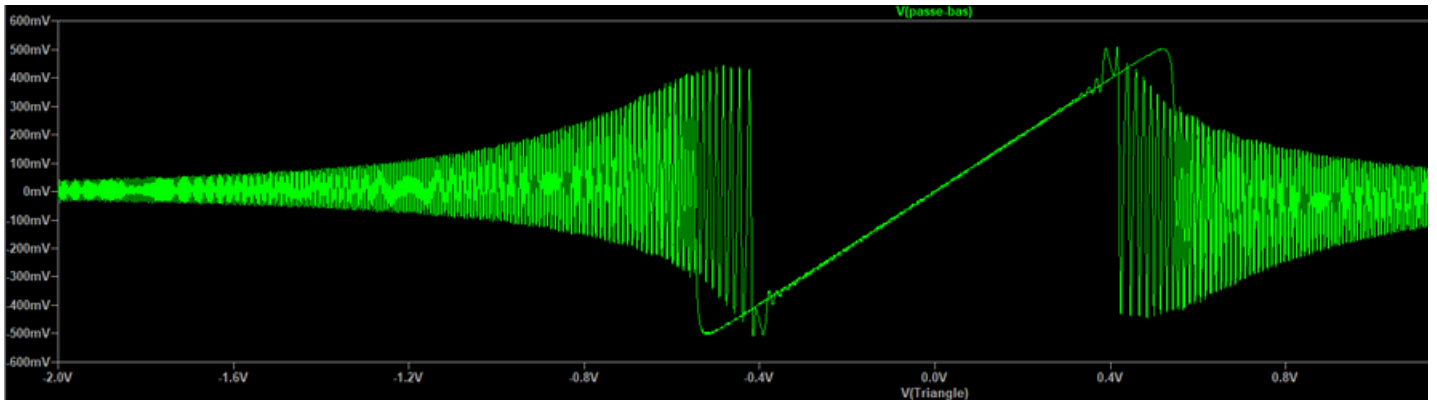


Afin de déterminer les plages de verrouillage et de capture de la PLL, l'oscillateur commandé en tension balayera des fréquences allant de 50MHz à 90MHz.



RÉSULTATS

Dans la configuration montrée au préalable ($f_0 = 10\text{MHz}$, $Q = 1$ et $H = 1$), nous obtenons la courbe suivante :



On remarque alors que la PLL verrouille bien, il est donc possible de déterminer les plages de capture et de verrouillage de celle-ci.

La plage de capture est l'intervalle de fréquences sur lequel la PLL est capable de verrouiller correctement tandis que la plage de verrouillage est l'intervalle de fréquences sur lequel la boucle de PLL est capable de maintenir le verrouillage de phase une fois qu'elle l'a acquis.

Dès lors, dans notre cas, ces plages sont les suivantes:

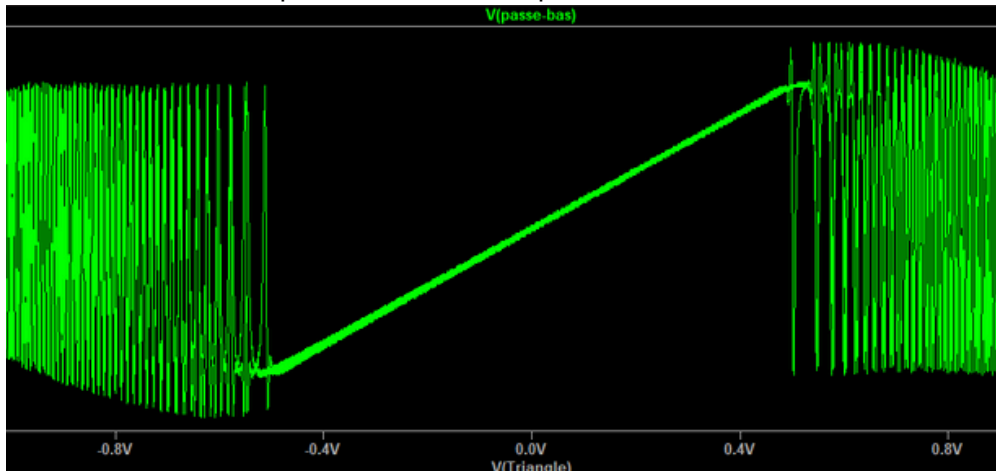
Plage de capture : 62.1 MHz à 77.91 MHz

Plage de verrouillage: 59.8 MHz à 80.2 MHz

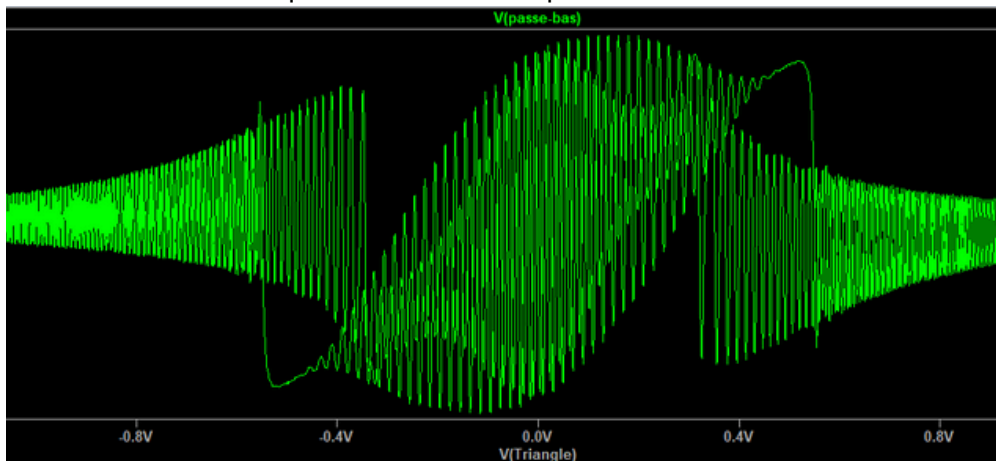
Étudions maintenant l'influence des paramètres sur la PLL.

FRÉQUENCE

Fréquence de coupure à 20MHz

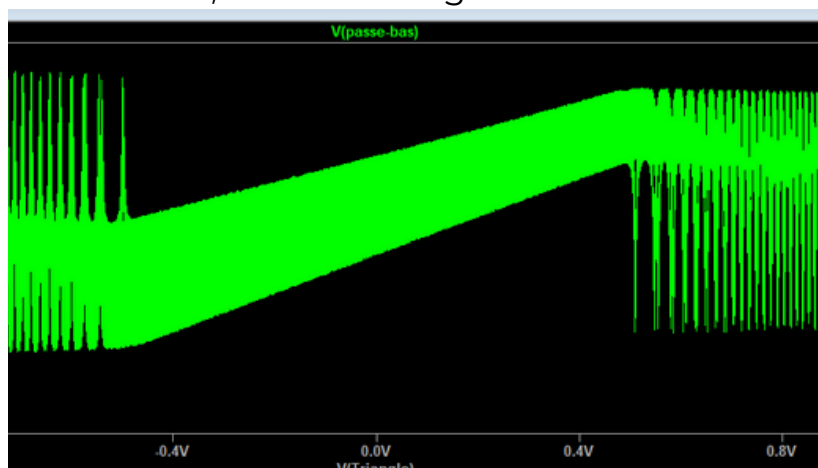


Fréquence de coupure à 8MHz



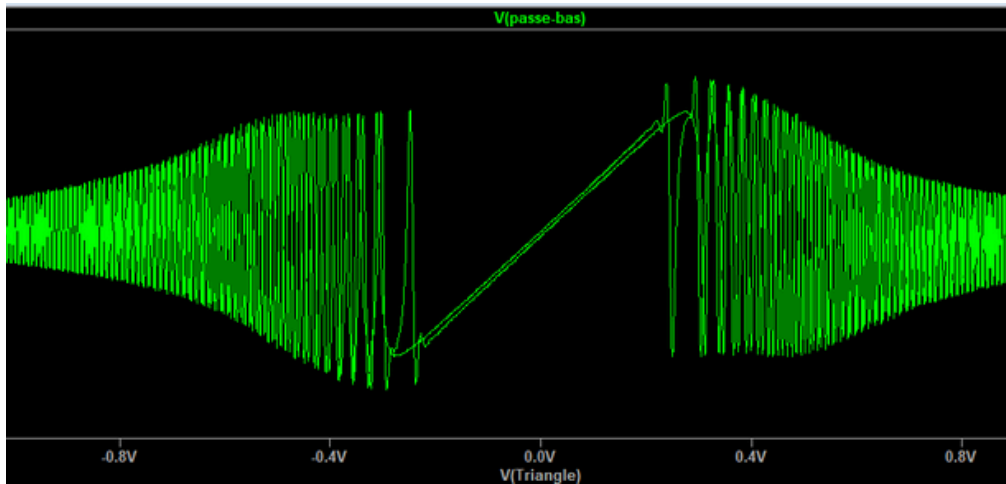
Réduire la fréquence de coupure empêche celle-ci de capturer et donc de se verrouiller correctement.
L'augmenter à pour effet de rapprocher les plages l'une de l'autre.

A 100MHz, le verrouillage est très instable.

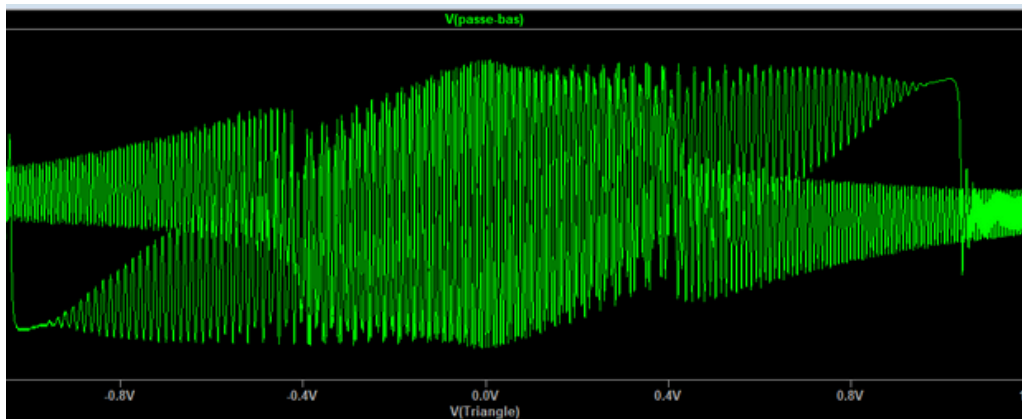


GAIN

Gain de 0.5



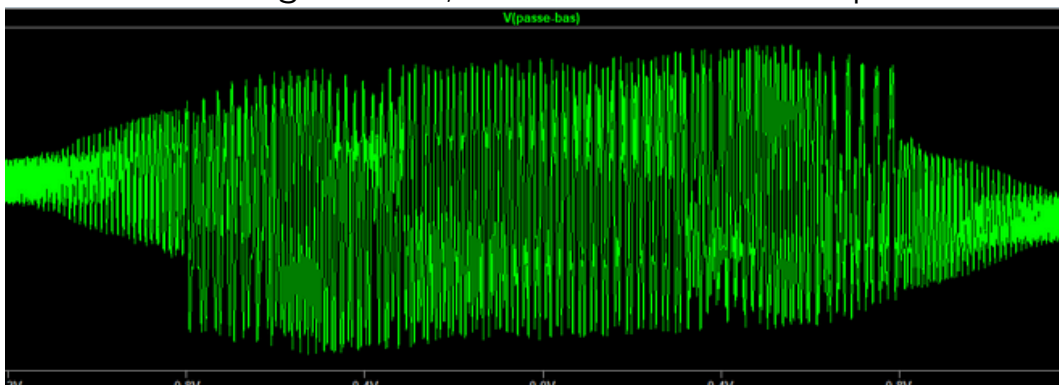
Gain de 2



Augmenter le gain empêche cette fois la PLL de se verrouiller, bien qu'elle semble avoir capturé correctement.

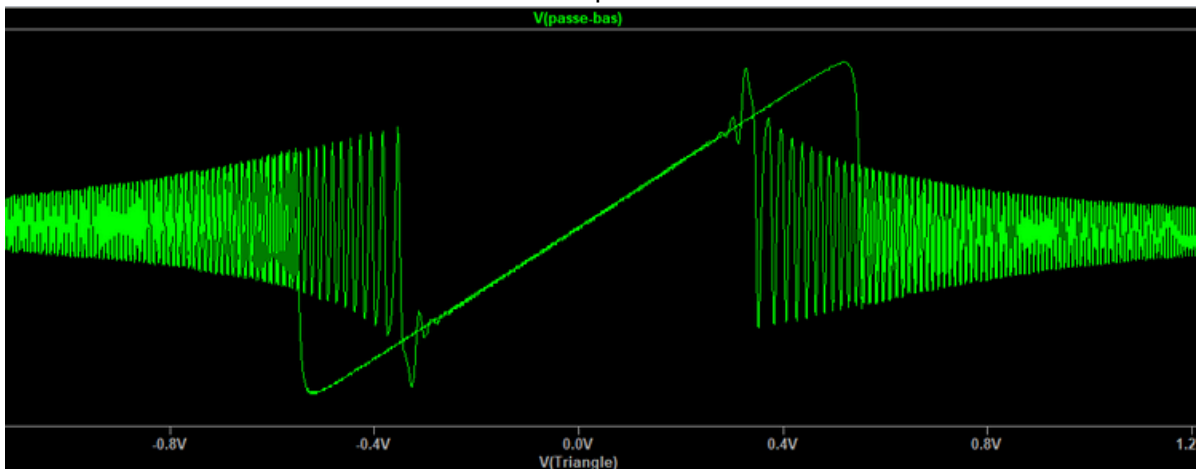
Une réduction du gain entraîne le rapprochement des plages.

Pour un gain de 5, la PLL ne fonctionne plus.

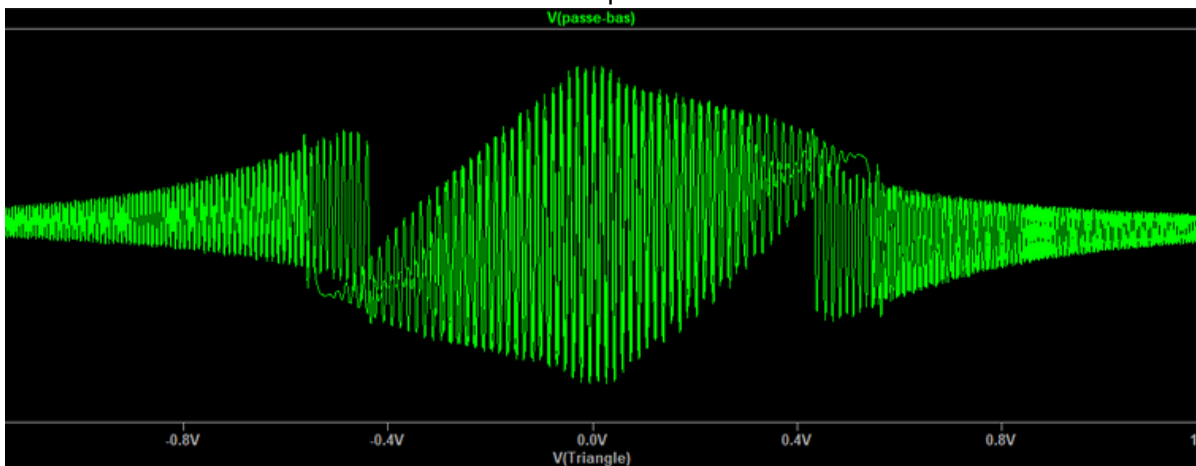


FACTEUR DE QUALITÉ

Facteur de qualité de 0.5

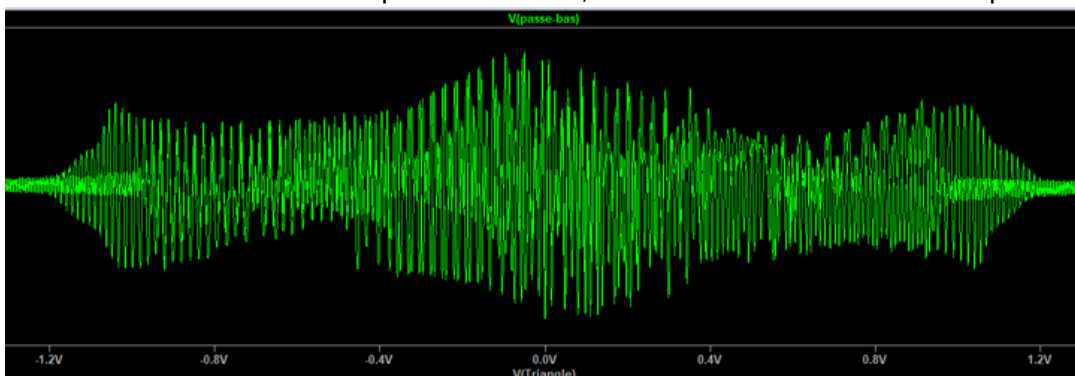


Facteur de qualité de 2



Réduire le facteur de qualité semble agrandir la plage de verrouillage et l'augmenter rend la PLL instable.

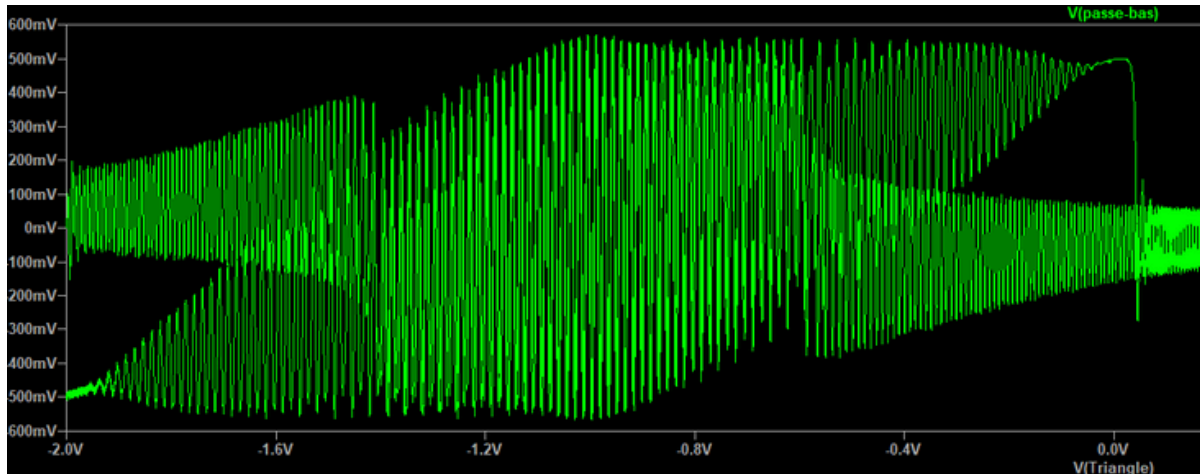
Pour un facteur de qualité de 5, la PLL ne fonctionne plus.



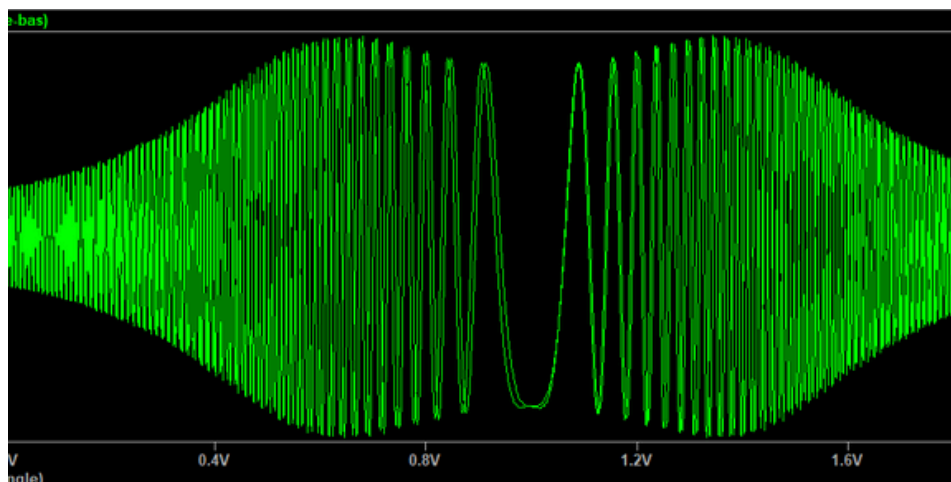
SPACE

Le space représente la fréquence sur laquelle la PLL est centrée.

Centrée sur 50MHz



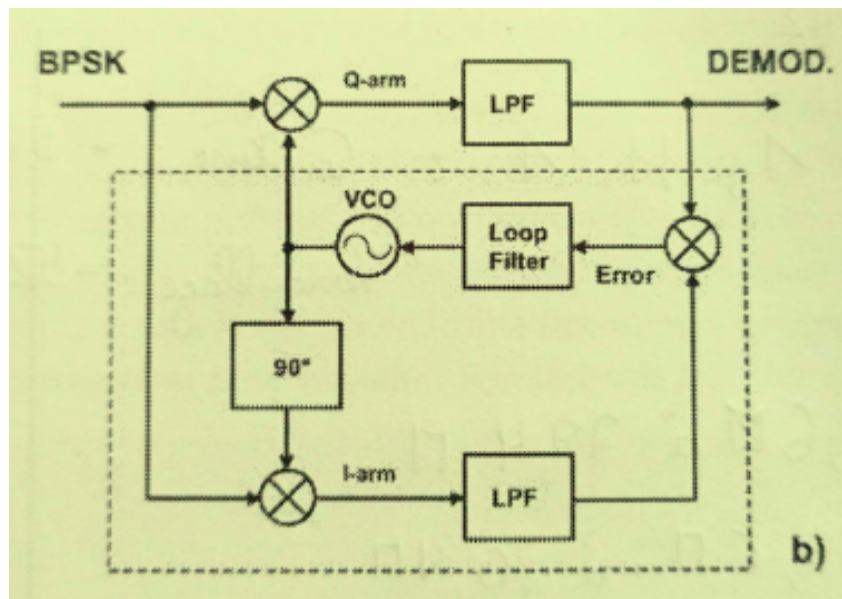
Centrée sur 90MHz



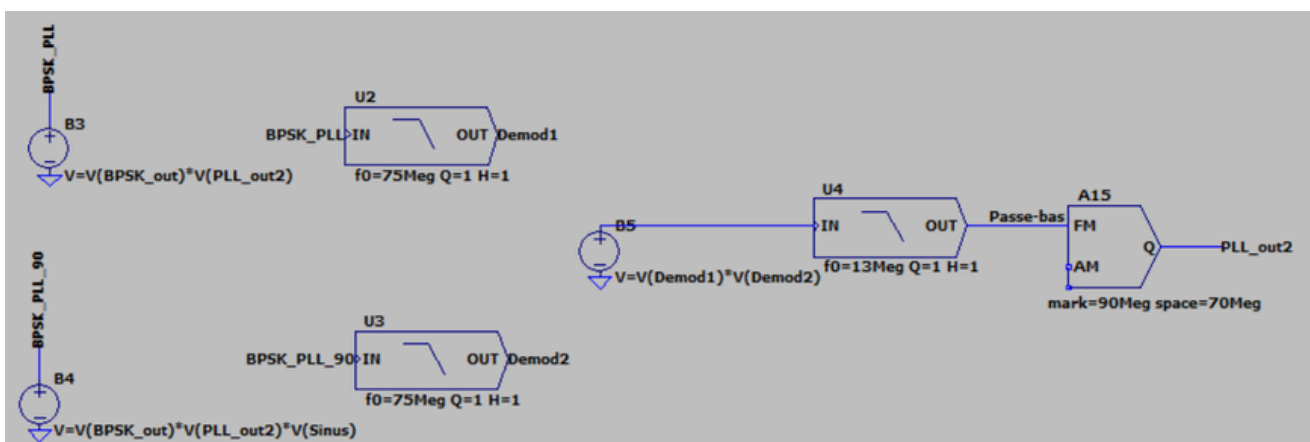
Dans les deux cas, la PLL ne parvient pas à verrouiller.

DEMODULATEUR QPSK

Il ne reste maintenant plus qu'à démoduler notre signal pour récupérer notre information. On se référera au schéma suivant:

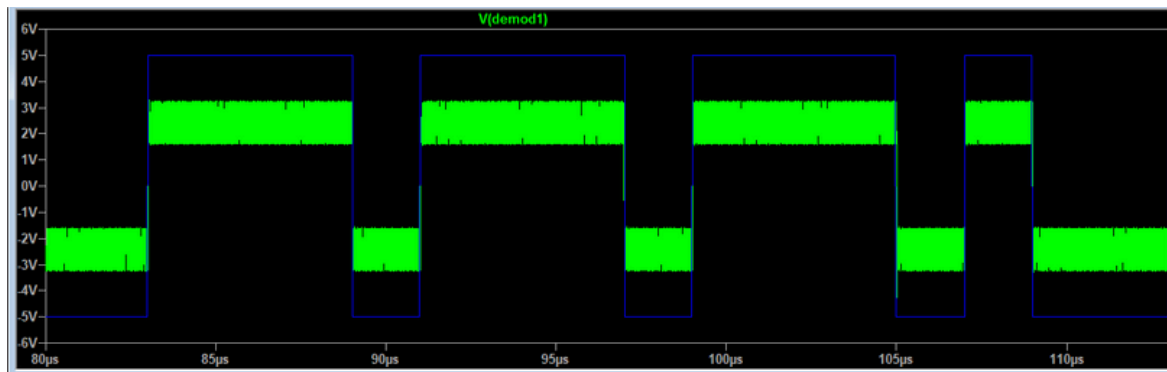


On obtient le montage suivant:



RÉSULTATS

Voici la simulation obtenue:



On remarque que les deux signaux sont bien superposés, l'information en sortie du démodulateur est donc bien l'information de départ.

Pour finir, on décide d'ajouter un Trigger de Schmitt, afin de générer une trame à 2 niveaux, haut et bas à $\pm 4V$:

