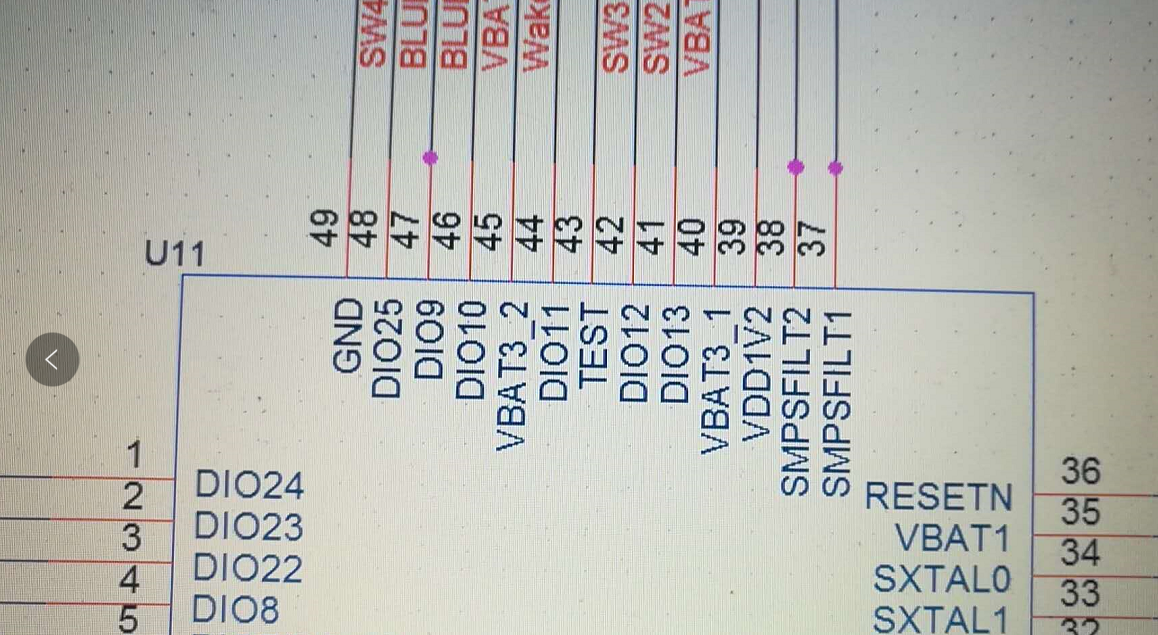
# OR CAD Capture使用的一般流程

当一个原件有同名引脚的时候，e dit->part，可以用VBAT3\_1,VBAT3\_2来区别，避免出网表的时候报错。虽然最终他们连接的还是同一网络。



## 原理图检查的一般流程

1. 软件检查，排除DRC，
2. 如果有原版本就和原版对比
3. 走心，假定自己是设计者，或者假定自己是一个信号，走一遍原理图
4. 回忆这套原理图是否有特殊的设计需求。

## 问题：

如何整体替换封装？

在原理图上右击，然后edit object properties

# 二，使用allegro的一般流程

1. 逻辑输入
2. Layout设计

●准备设计中使用的焊盘和零件封装

●设置PCB板的必要约束：尺寸，层叠结构，允许/禁止布线区，定位孔等、

●导入网表

●进行布局布线前仿真，初步确定约束规则

●设置约束规则：电器约束，物理约束，空间距离约束

○线间距

○线宽

○过孔

○区域约束

○ 差分和等长

○阻抗

○走线长度范围

●手工或自动布局

●手工或自动布线

●布局布线后仿真

●完善设计

1. 设计输出

### 基本参数设置和偏好设置

有一种方法是将其他工程的设置导出，再导入自己的工程。导出的文件是.prm。用写字板打开可以看到许多参数设置。那么是否可以通过直接编写.prm文件完成参数设置呢？

另一个思路是利用录制功能录制手动设置参数的过程。

### 设置快捷键：

吴川斌的总结：

<http://www.mr-wu.cn/cadence-allegro-pcb-tutorial-alias-and-funckey/>

我对链接里的文章总结如下：

●快捷键查看：tool -> utilities -> aliases /function keys

●到用户环境变量中修改快捷键配置。其优先级高于系统环境变量

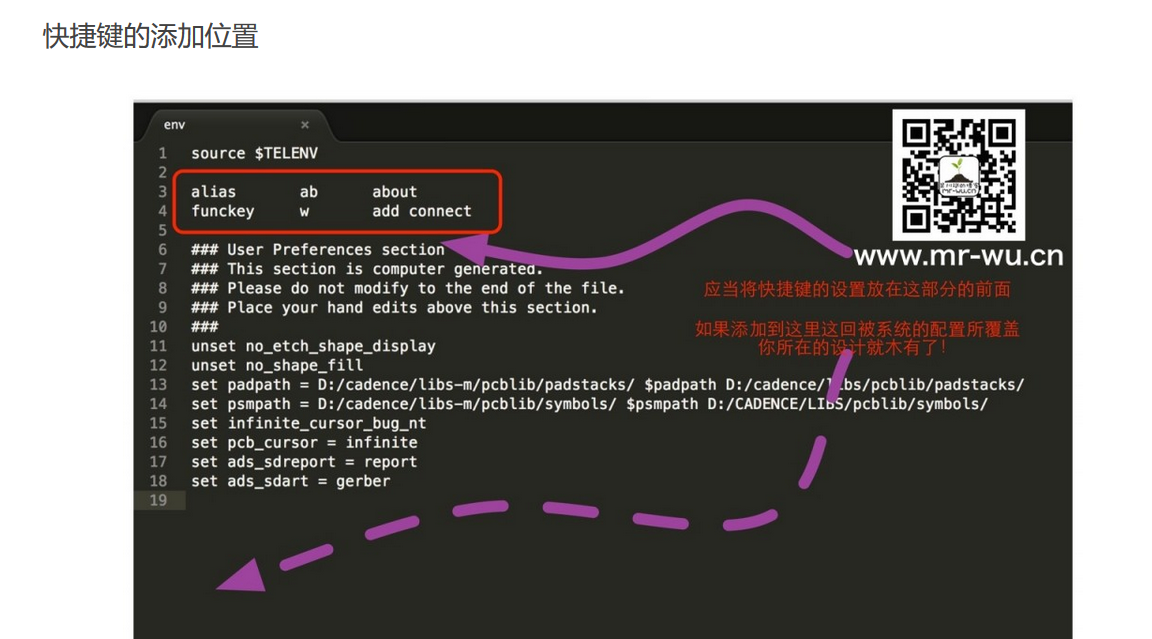
●找到用户环境变量的方法：echo $localenv

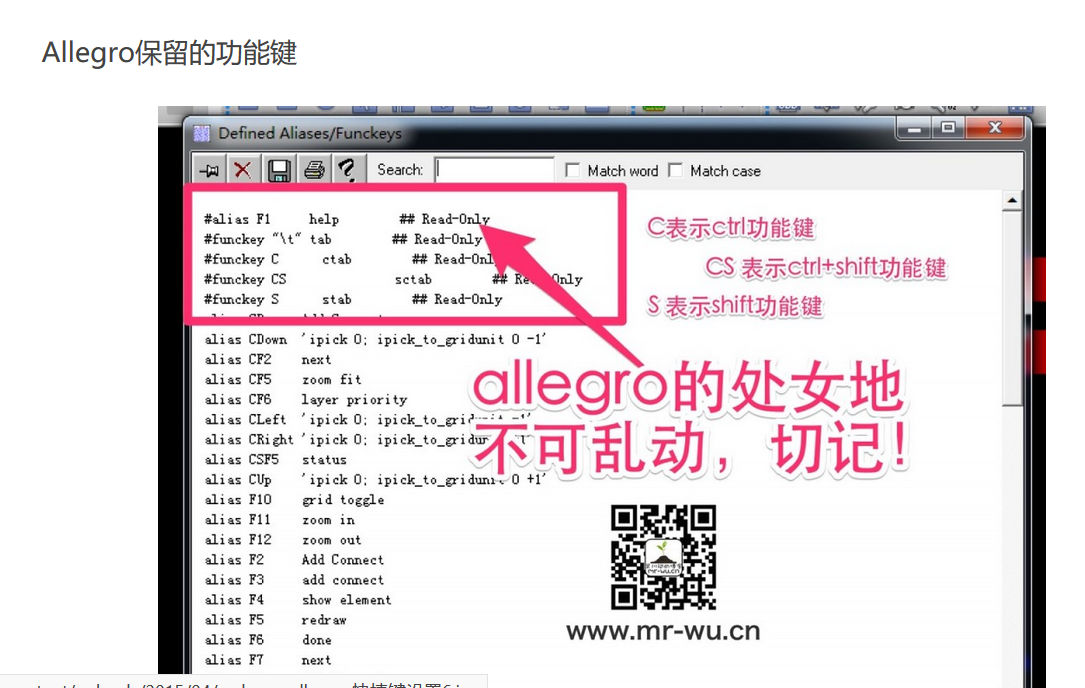
●alias 定义的快捷键在命令窗口需要回车，如果想用键盘快捷键需要功能键加字幕或者数字的组合，~ / C表示Ctrl ,S表示shift

●funckey可以定义单字母的快捷键。

●查看allegro中的相关命令：tool -> utilities -> keyboard commands

●修改完env文件不用重启allegro即可生效，在命令窗口输入：source -q $localenv/env





### 高亮显示和 高亮显示以及显示的颜色：

高亮的显示和取消用hilight和dehilight ，选择方式可以有点击和框选，同时用find中的选项做筛选或全覆盖。

Assign color是特殊的hilight，用assign color之后可以直接选，不必hight了。

### 对齐：

在placement edit 模式下选中要进行对齐的所有器件（该模式下点击器件默认是move指令的状态，这一点还挺方便的）

然后在作为对齐基准的器件上右键，这样就可以出现align compoment命令了，选中它会以默认模式对齐器件，之后可以在option中选择其他对齐模式，

●无论切换哪种对齐模式，最初选做基准的器件位置不变。这也导致它无法像AD一样以两边的边界为基准平均对齐，只能以中心器件为基准平局对齐，但是要是偶数个器件没有中心器件呢？

●选中equal space的时候会计算出每个器件之间的间距显示在右侧文本框。

### 添加弧线：

<https://wenku.baidu.com/view/0c7a8ecafc4ffe473368abe3.html>

走线加泪滴

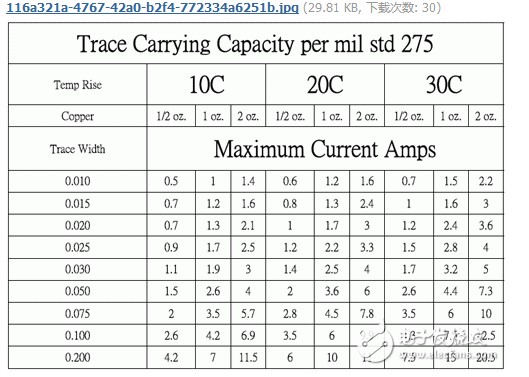
<http://www.360doc.com/content/14/0206/09/6973384_350126543.shtml>

### 设置约束规则：

#### 差分：

### 判断走线宽度的依据：

图片中的宽度单位是毫米



### 布局的技巧：

### 多管脚芯片的布线技巧：

首先按照重要程度划分管脚：

供电

下载

复位

晶体

其他特殊功能引脚（例如：boot，擦除，唤醒，天线）

然后是一般功能的GPIO，通信接口之类的。

### 拉线的技巧：

我在笔的工程里看到了既可以动态避让又可以推挤线的铜皮，不知怎么设置的。

#### Allegro自动布线：

我一定要获得这个技能！！！

### 钢网：

Solder mask:阻焊层，负片输出，板上显示的部分代表不铺铜，盖绿油

Paste mask :锡膏层，正片输出，板上显示的部分代表焊盘(但是由于有些人制作封装的时候不规范，不画锡膏层，导致出gerber出错，在出paste这一层的制版文件的时候要加上pin\_top，或者pin\_bottom)

### 丝印:

Ref des / silkscreen\_top(bottom)

Package geometry/silkscreen\_top(bottom)

Board geometry / silkscreen\_top(bottom)

使用脚本录制功能省去基础设置和偏好设置

是否在出gerber，出坐标表，位号图的时候也可以这么做呢？

## 制版文件的输出

出钻孔图

钻孔图像是文字重合？

出钻孔文件

出位号图

出坐标表

出IPC网表

出gerber

# 三，对brd文件和gerber文件的最终检查

### 常规检查

#### 布局布线基本原则检查

#### 芯片特殊特性检查：比如需要接地

#### 丝印检查

是否标明了版本号

是否标明二极管方向

是否标明下载接口

丝印是否排列整齐轻触

是否有方向不明的器件

多管脚芯片是否标明一脚

#### DBdoctor检查

#### 结构检查

例如定位孔和元件是否干涉。

#### 电器未连接

#### 死铜

#### DRC

#### Gerber检查：

执行IPC网表对比

●首先在成功导入gerber文件的CAM350中生成自己的网表。

●然后导入allegro生成的IPC网表。

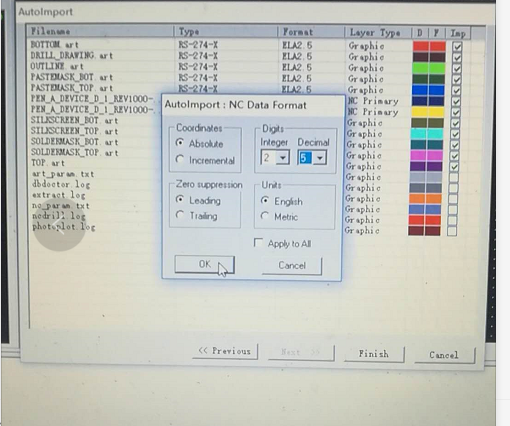
●执行网表对比。

是否有边框

是否有焊盘

钻孔文件是否有问题

如果遇到钻孔文件比例显示有问题，通常要在下图处设置一下。



[CAM350显示rou钻孔的方法](https://www.cnblogs.com/kevinhwang/p/5938062.html)

是否添加Mark点

是否标明层叠顺序

### 产品特殊特性或客户特殊需求

定位孔位置是否有要求

接口位置，顺序

指示灯的位置

下载

板的颜色厚度是否有要求

板是否需要特殊

板是否需要特殊工艺

是否单面布板

# 四，未解决的问题：

1. 想要将导入的DXF变为外框的时候报错：allegro shape line width can't be change

用ZCOPY命令复制DXF的shape为outline，然而想要改变outline线宽的时候依然报错：allegro shape line width can't be change

1. 配置好的env文件会丢掉个人快捷键设置，原因未知。
2. 出钻孔表的时候有的钻孔会重合，标题也会重合，就像在同一个位置有两个钻孔表一样
3. 对于一个已经有参数设置和约束规则设置的工程，如何复位这些设置呢？
4. 不知做了什么操作，损坏了一个文件。报错这个文件is corrupted ,it may be copy from a different arthicture ……. Binary file . 不知怎么解决。如果在工作中这样损坏了文件可就悲剧了！！！

（有一次在CF命令运行过程中我启动了move指令，导致运行出错破坏了文件）

1. 在画transfer的时候线走进焊盘的时候会自动连接焊盘中心，使得在底层焊盘上走线的时候很蛋疼，要怎么解决。
2. 画transfer rev1005的时候删不掉死铜。。。。

# 五，待整理的资料：

[用组合件快速执行脚本](http://www.allegro-skill.com/forum.php?mod=viewthread&tid=6795&extra=page=3)

[用命令行快速执行脚本](http://www.360doc.com/content/11/0112/14/329103_85978789.shtml)

# 六，如何在别人工作的基础上改板