



Střední průmyslová škola strojní
a elektrotechnická a Vyšší odborná škola,
Liberec 1, Masarykova 3

TUXMAN - FPGA

Maturitní/Ročníková práce

Autor	Martin Přivozník
Obor	Informační technologie
Vedoucí práce	Ing. Vladimír Prokeš
Konzultant práce	Ing. Petr Socha
Školní rok	2019/2020

Anotace (Resumé)

Tématem práce je návrh arkádové hry na RTL úrovni a její implementace na programovatelném hradlovém poli, tj. FPGA. Uživatelský vstup je zajištěn pomocí PS/2 klávesnice a výstup prostřednictvím VGA. K implementaci je použit jazyk VHDL.

Klíčová slova

RTL, programovatelné hradlové pole, FPGA, PS/2, VGA, VHDL

Summary

The topic of this thesis is designing an arcade game on an RTL level and its implementation on a programmable gate array, i.e. FPGA. User input is provided by PS/2 keyboard and output is shown using VGA. Language called VHDL is used for implementation.

Keywords

RTL, programmable gate array, FPGA, PS/2, VGA, VHDL

Čestné prohlášení

Prohlašuji, že jsem předkládanou maturitní/ročníkovou práci vypracoval sám a uvedl jsem veškerou použitou literaturu a bibliografické citace.

V Liberci dne 11. ledna 2020

Martin Přívozník

Obsah

Úvod	1
1 Analýza	2
1.1 Číslicový návrh	2
1.1.1 Kombinační obvody	2
1.1.2 Sekvenční obvody	3
1.1.3 Synchronní a asynchronní návrh	3
1.1.4 Jazyk VHDL	3
1.2 Programovatelná hradlová pole FPGA	3
1.2.1 Dostupné prostředky	3
1.2.2 Logická syntéza	3
1.2.3 Vývojová deska Digilent Basys 2	3
1.2.4 Prostředí Xilinx ISE	3
1.3 Rozhraní	3
1.3.1 7-segmentový displej	5
1.3.2 PS/2	5
1.3.3 VGA	5
1.4 Hra Pacman	5
1.4.1 Princip	5
1.4.2 Ovládání	5
2 Návrh hry	6
2.1 Specifikace hry	6
2.1.1 Cíl a chování hry	6
2.1.2 Herní mapa	6
2.1.3 Postavy a jejich chování	6
2.2 Herní textury	6
2.2.1 RGB	6
2.2.2 Textury jako matice barev	6
3 Implementace	7
3.1 Modul pro čtení z PS/2 klávesnice	7
3.1.1 Zpracování vstupu	7
3.1.2 Generování výstupu	7
3.2 Modul pro výstup na VGA monitor	7

3.2.1	Časování VGA	8
3.2.2	Propsání textur na monitor	8
3.3	Herní logika	8
3.3.1	Herní mapa	8
3.3.2	Ovládání postav	8
3.3.3	Cíle hry	8
4	Testování	9
	Závěr	11

Úvod

Kapitola 1

Analýza

Tato kapitola obsahuje stručný souhrn znalostí a informací potřebných pro následný návrh a implementaci. V sekci 1.1 je vysvětlen číslicový obvod a postup jeho návrhu. V sekci 1.2 stručně vysvětlují programovatelné hradlové pole a dále vybranou vývojovou desku. Sekce 1.3 se zabývá použitými komunikačními rozhraními, které zajišťují uživatelský vstup a výstup. Na závěr kapitoli, v sekci 1.4 vysvětlují princip a funkčnost hry, jíž je vzorem pro můj návrh.

1.1 Číslicový návrh

V této sekci se věnuji tomu, co je číslicový obvod a jak jej navrhnout jak ve schématu, tak v jazyce popisujícím hardware. V podsekci 1.1.1 rozeberu logické funkce, prostředky jejich popisu a realizace pomocí logických hradel. Podsekcí 1.1.2 je zaměřená na návrh sekvenčních obvodů a synchronních sekvenčních automatů (FSM), na což naváže podsekcí 1.1.3, ve které vysvětlují princip hodinových domén a plně sekvenčního návrhu. V podsekci 1.1.4 stručně ukážu, jak převést schéma číslicového obvodu do kódu v jazyce popisujícím hardware (Hardware Description Language, HDL), v mém případě do jazyka Very High Speed Integrated Circuit Hardware Description Language (VHDL)

1.1.1 Kombinační obvody

Booleovská funkce

Booleovská funkce je funkce N vstupů a M výstupů nad množinou $\{0, 1\}$. V případě, kdy má funkce více jak jeden výstup, lze ji rozdělit na M funkcí s jedním výstupem. Pro její reprezentaci můžeme využít kombinatorické struktury, které funkci vyjadřují. Příkladem reprezentace je pravdivostní tabulka, viz. tabulka 1.1, kde in_1 a in_2 jsou vstupní hodnoty a out je výstupní. Tato tabulka obsahuje vždy N^2 řádků, aby reprezentovala výstupní hodnotu pro všechny možné kombinace vstupních hodnot. Dalším podstatným příkladem je

in_1	in_2	out
0	0	$f(0, 0)$
0	1	$f(0, 1)$
1	0	$f(1, 0)$
1	1	$f(1, 1)$

Tabulka 1.1: Pravdivostní tabulka.

Booleovská formule. K vyjádření formule a zároveň k popisu booleovské funkce používáme nejčastěji tyto základní funkce, viz. tabulka 1.2

Uvážíme-li Booleovu algebru, platí pro OR a AND následující (tabulka 1.3)

1.1.2 Sekvenční obvody

1.1.3 Synchronní a asynchronní návrh

1.1.4 Jazyk VHDL

1.2 Programovatelná hradlová pole FPGA

Tato sekce se zabývá tím, co jsou programovatelná hradlová pole (Field of programmable gate array, FPGA) a jak probíhá práce s těmito hradlovými poli na vývojové desce. V podsekcí 1.2.1 popisují části FPGA, které jsou použity pro implementaci číslicového obvodu. Podsekcí 1.2.2 stručně vysvětluje kroky nezbytné pro implementaci samotného číslicového obvodu na základě jeho popisu VHDL kódem. V podsekcích 1.2.3 a 1.2.4 je stručně popsána použitá vývojová deska a vývojové prostředí, které se váže k FPGA, které deska obsahuje.

1.2.1 Dostupné prostředky

1.2.2 Logická syntéza

1.2.3 Vývojová deska Digilent Basys 2

1.2.4 Prostředí Xilinx ISE

1.3 Rozhraní

Tato sekce popisuje komunikační rozhraní použitá v návrhu a implementaci, která zajišťují uživatelský vstup a výstup. V podsekcí 1.3.1 vysvětlují rozhraní 7-segmentového displeje. Sekce 1.3.2 a 1.3.3 popisují protokoly PS/2 a VGA.

Název	Pravdivostní tabulka			Formule
AND (logický součin)	in_1	in_2	out	$out = in_1 * in_2$
	0	0	0	
	0	1	0	
	1	0	0	
	1	1	1	
NAND (negovaný logický součin)	in_1	in_2	out	$out = \overline{in_1 * in_2}$
	0	0	1	
	0	1	1	
	1	0	1	
	1	1	0	
OR (logický součet)	in_1	in_2	out	$out = in_1 + in_2$
	0	0	0	
	0	1	1	
	1	0	1	
	1	1	1	
NOR (negovaný logický součet)	in_1	in_2	out	$out = \overline{in_1 + in_2}$
	0	0	1	
	0	1	0	
	1	0	0	
	1	1	0	
NOT (logická negace)	in_1	out		$out = \overline{in_1}$
	0	1		
	1	0		
YES (opakovač)	in_1	out		$out = in_1$
	0	0		
	1	1		
XOR (exkluzivní logický součet)	in_1	in_2	out	$out = in_1 \oplus in_2$
	0	0	0	
	0	1	1	
	1	0	1	
	1	1	0	
XNOR (negovaný exkluzivní logický součet)	in_1	in_2	out	$out = \overline{in_1 \oplus in_2}$
	0	0	1	
	0	1	0	
	1	0	0	
	1	1	1	

Tabulka 1.2: Tabulka nepoužívanějších základních logických funkcí.

$a + b = b + a$	$a * b = b * a$	(komutativita)
$a + (b + c) = (a + b) + c$	$a * (b * c) = (a * b) * c$	(asociativita)
$a + (b * c) = (a + b) * (a + c)$	$a * (b + c) = (a * b) + (a * c)$	(distributivita)
$a + 0 = a$	$a * 1 = a$	(neutralita 0 a 1)
$a + \bar{a} = 1$	$a * \bar{a} = 0$	(vlastnosti negace)

Tabulka 1.3: Tahle tabulka by měla být pod textem "platí pro OR a AND následující".

1.3.1 7-segmentový displej

1.3.2 PS/2

1.3.3 VGA

1.4 Hra Pacman

Tato sekce vysvětluje hru, již má můj návrh klonovat. Podsekce 1.4.1 popisuje cíl a pravidla hry. V podsekcí 1.4.2 vysvětlují ovládání hry.

1.4.1 Princip

1.4.2 Ovládání

Kapitola 2

Návrh hry

V této kapitole se zabývám návrhem herní logiky, na základě které je navržen číslicový obvod pro finální implementaci. Sekce 2.1 rozebírá konkrétní prvky hry a návrhy pro jejich řešení. V sekci 2.2 vysvětluji, jak jsou navržené textury, které se zobrazují na výstup.

2.1 Specifikace hry

V této sekci rozebírám konkrétní prvky hry a vysvětluji návrhy pro jejich řešení. V podsekcí 2.1.1 popisují, jak má hra fungovat jako celek a jak dosáhnout cíle hry. Podsekcí 2.1.2 vysvětluje návrh herního pole, na kterém se hra odehrává a sekce 2.1.3 poté popisuje, jak se chovají jednotlivé postavy na navrženém herním poli.

2.1.1 Cíl a chování hry

2.1.2 Herní mapa

2.1.3 Postavy a jejich chování

2.2 Herní textury

Tato sekce popisuje návrh textur, které se zobrazují na výstup. V podsekcí 2.2.1 vysvětluji způsob použití barev pro výstup. Sekce 2.2.2 se zabývá tím, v jaké podobě jsou textury, které se mají propisovat.

2.2.1 RGB

2.2.2 Textury jako matice barev

Kapitola 3

Implementace

Tato kapitola se zabývá návrhem číslicových obvodů pro jednotlivé logicky oddělené bloky na základě herní logiky a jejich implementací. Sekce 3.1 a 3.2 popisují číslicové obvody navržené pro čtení vstupních dat z klávesnice a generování výstupu na monitor. Sekce 3.3 poté vysvětluje vnitřní zapojení jednotlivých bloků zajišťujících logickou funkčnost hry. V sekci ?? je poté popsáno kompletní zapojení všech částí do funkčního celku.

3.1 Modul pro čtení z PS/2 klávesnice

V této sekci vysvětlují číslicový obvod, který jako celek zpracovává vstupní signál z klávesnice a generuje daný výstup. Podsekce 3.1.1 rozebírá číslicový obvod pro zpracování vstupního signálu a podsekce 3.1.2 řeší číslicový obvod pro generování výstupního signálu.

3.1.1 Zpracování vstupu

3.1.2 Generování výstupu

3.2 Modul pro výstup na VGA monitor

Tato sekce popisuje číslicový obvod, který zařizuje funkčnost monitoru a možnost propsání výstupu na něj. V podsekci 3.2.1 popisují obvod, který zajišťuje funkčnost a v podsekci 3.2.2 vysvětlují, jak propisují textury na monitor.

3.2.1 Časování VGA

3.2.2 Propsání textur na monitor

3.3 Herní logika

V této sekci popisují číslicový obvod, který zajišťuje vnitřní funkcionalitu samotné hry. V podsekcí 3.3.1 je vysvětlený obvod, který řeší herní plochu, na které se postavy pohybují. Podsekcí 3.3.2 popisuje obvod ovládající postavy ve hře a v podsekcí 3.3.3 je vysvětlen obvod, který řeší splnění cílů hry.

3.3.1 Herní mapa

3.3.2 Ovládání postav

3.3.3 Cíle hry

Kapitola 4

Testování

Závěr

Literatura

[1]