

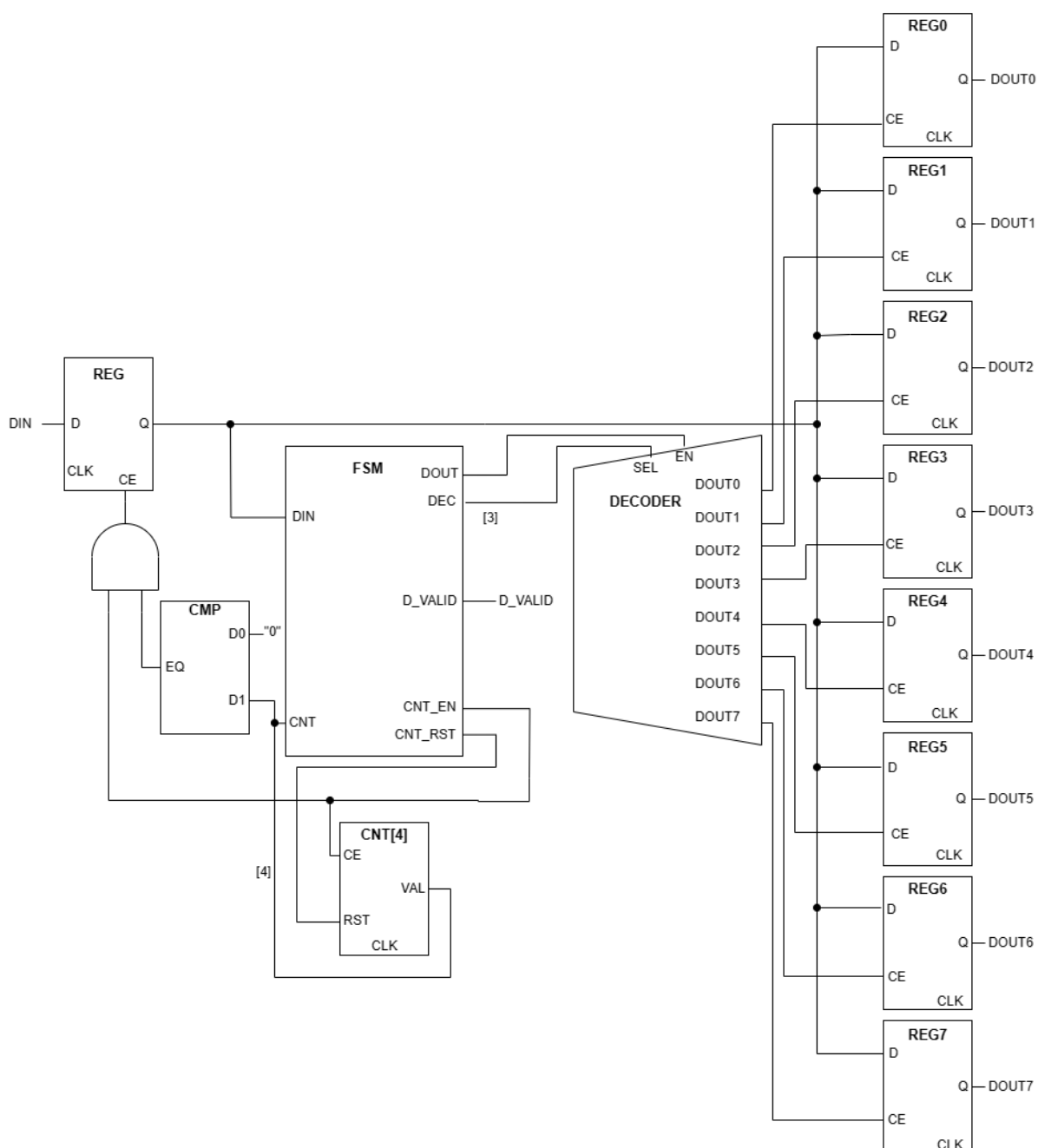
# Výstupní zpráva

Jméno: Martin Rybníkář

Login: xrybni10

### Architektura navrženého obvodu (na úrovni RTL)

### Schéma obvodu



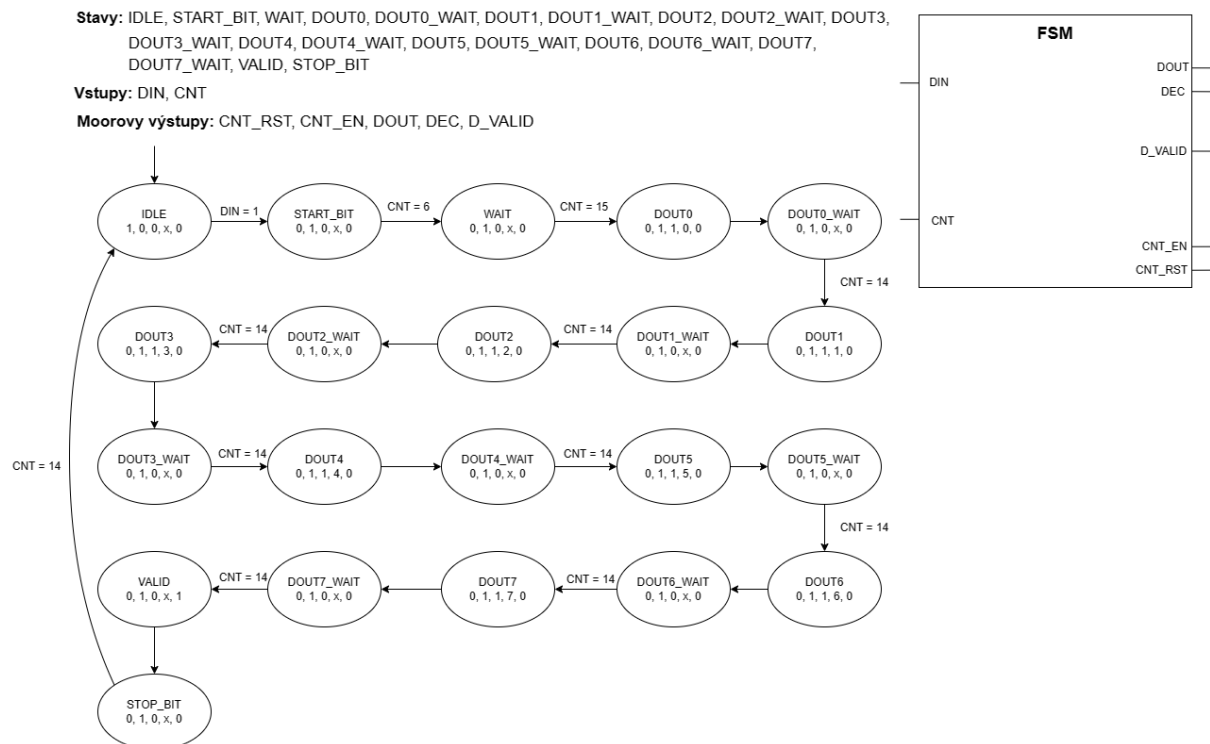
Popis funkce:

- Na vstupu je registr, do kterého se uloží hodnota jen, pokud je hodnota counter 0, to znamená že je to první průběh tohoto bitu na vstupu.

- Counter počítá 4bitové číslo (tedy do 15), to je z toho důvody že frekvence obvodu je 16x vyšší než frekvence vstupu.
- Vstup se předá rovnou všem 8 registrům, do kterých se hodnota však neuloží, ukládání na konkrétní registry se řeší pomocí dekodéru.
- O to, na který výstupní registr dekodér zašle signál a tím se na registr uloží vstupní hodnota rozhoduje automat.
- Automat také dekodér zapíná a vypíná, zařizuje čtení ze středu vstupní hodnoty (mid bit) a určuje validitu výsledku

# Návrh automatu (Finite State Machine)

## Schéma automatu



## Popis funkce

- Počáteční stav je stav IDLE, ve kterém obvod nic nedělá a jen čeká na logickou 1 na vstupu
- Dalším stavem je START\_BIT, zde je automat pouze 6 z 16 náběžných hran, tím se dostaneme do středu vstupní hodnoty a dosáhneme tak žtení z mid bit pozice
- Poté automat čeká jeden celý takt ve stavu WAIT
- Následuje identická sekvence jednotlivých stavů, rozdělených do dvojic. Každá dvojice trvá jeden takt a načítá jednu hodnotu výstupu. První z dvojice uloží hodnotu a druhý čeká 15 náběžných hran, aby proběhl jeden celý takt.
- Po uložení všech hodnot přichází stav VALID, který na jednu dobu signálu CLK zvaliduje výsledek.
- Poté je už jen STOP\_BIT, který je ve stejném taktu jako VALID.
- Automat se v dalším taktu vrací do stavu IDLE, kde nečině čeká na další logickou 1 na vstupu, po jejím příchodu se celý jeho průběh opakuje.

## Snímek obrazovky ze simulace

