



**I**NSTITUT **N**ATIONAL DES **S**CIENCES **A**PPLIQUEES

TOULOUSE

**Département de Génie Electrique & Informatique**

**PROJET DE FIN D’ETUDES**

**Spécialité : 5AE**

**Filière : ESPE**

**Stage ingénieur développement en électronique analogique**

|  |  |
| --- | --- |
| *Auteur* : | *Entreprise* : |
| Pannetier Marvyn | Thales |

|  |  |
| --- | --- |
| *Référent INSA* : | *Responsable du stage* : |
| Escriba Christophe | Tremblier Mégane |

Année 2021-2022

# Résumé

Ce rapport a pour but de présenter et décrire le déroulement de mon stage de fin d’études. Celui-ci est divisé en plusieurs sections afin de mieux appréhender les différentes étapes du stage. Dans un premier temps, une description du sujet est faite afin de cerner ces enjeux. Ensuite une partie est dédiée au planning initial et son évolution au cours du stage en fonctions des obstacles rencontrés ou non. La partie suivante, qui est la plus imposante concerne la réalisation du projet divisé en plusieurs étapes tels que la théorie ou simulation, chacune détaillée. Enfin une partie sur les tests et leur résultats suivi d’une conclusion viendrons terminer ce rapport. Après avoir lu ce rapport, le sujet et ses enjeux, les compétences que j’ai développées et mise à dispositions, mes réalisations, mes conclusions sur l’aspect technique comme humain sur cette expérience, seront clairs est connus du lecteur.

# Remerciements

Je tiens tout d’abord à remercier l’Institut National des Sciences Appliquées (INSA) pour m’avoir fait confiance. L’écoute et l’accompagnement dont j’ai bénéficié m’ont permis de trouver rapidement un stage, dans le but d’affiner mon projet professionnel et d’obtenir le diplôme auquel j’aspire depuis plusieurs années.   
  
Je remercie également Thales, qui a cru en mon potentiel et m’a accueilli au sein de ses équipes.

À ce titre, je souhaiterais remercier tout particulièrement madame, Mégane TREMBLIER, Elina FIAWOO ainsi que François ROBERT qui m’ont épaulées et conseillées et qui m’ont aussi transmis leur expertise dans le domaine de l’électronique analogique.

Ce stage m’a permis d’affiner certaines pistes pour bâtir mon projet d’orientation professionnel et signe l’aboutissement de mes études d’ingénieur.

# Table des matières

A (re)-générer (Menu Références -> Tables des Matières -> Insérer une Table des Matières)

Doit commencer sur une page recto

[Résumé ii](#_Toc12653521)

[Remerciements iii](#_Toc12653522)

[Table des matières iv](#_Toc12653523)

[Glossaire v](#_Toc12653524)

[Chapitre 1. Introduction 1](#_Toc12653525)

[Chapitre 2. Cadre et objectifs du stage 2](#_Toc12653526)

[Chapitre 3 et suivants. Réalisations 3](#_Toc12653527)

[Chapitre X. Conclusions et perspectives 4](#_Toc12653528)

[Annexes 4](#_Toc12653529)

[Chapitre Y. Consignes sur la rédaction (Titre niveau 1) 5](#_Toc12653530)

[1.1. Partie 1 (Titre niveau 2) 5](#_Toc12653531)

[1.1.1. Sous partie 1 (titre niveau 3) 5](#_Toc12653532)

[1.1.2. Sous partie 2 (titre niveau 3) 5](#_Toc12653533)

[1.2. Partie 2 (Titre niveau 2) 6](#_Toc12653534)

[Bibliographie 9](#_Toc12653535)

[Liste des Illustrations 10](#_Toc12653536)

# Glossaire

SEC: (Calculateur)

ACS: Alternating Current Signal

VDT: Variable Differential Transformer

ELAC:

FCC: Flight Control Computer

MFU: Multi Functions Unit

# Chapitre 1. Introduction

L’électronique analogique est un domaine vaste très présent dans de nombreux domaines. Le monde de l’aéronautique, étant le secteur d’activité principal de Thales, n’échappe pas à l’électronique analogique. En effet, même si la tendance est de plus en plus à l’utilisation d’électronique numérique, l’analogique reste néanmoins très présent et indispensable au bon fonctionnement des systèmes développés chez Thales.

Ce stage se déroule au sein de l’entité DMS de Thales, une entité plus orientée militaire, et à pour sujet le développement d’un circuit d’électronique analogique. Pour être plus précis, le but de ce stage est de reprendre un circuit existant et utilisé actuellement et concevoir, tester et valider un nouveau circuit analogique réalisant la même fonction tout en optimisant le coût, la surface, la consommation ou encore le rendement. L’aéronautique est un domaine où les circuits développés sont développés pour être fonctionnel plusieurs dizaines d’années, il est donc courant de trouver des cartes électronique développées avant les années 2000 par exemple. Cependant, les technologies ont grandement évolué ces dernières années, ce qui rend ces cartes beaucoup moins performantes sur les points cités précédemment. De plus, écologiquement parlant il est important de réduire les consommations des produits électroniques développés, ce qui donne à ce stage un enjeu plus fort, je trouve.

Au début de mon stage, 2 sujets plus spécifiques m’ont été proposés. Ils vont donc tous deux être présentés en détail dans la suite de ce rapport et le choix d’un d’eux sera justifié ensuite.

# Chapitre 2. Cadre et objectifs du stage

Les sujets qui vont être présenté ci-dessous, ne font pas partie d’un projet particulier mené par Thalès mais s’apparente plus à de la recherche technologique. En effet, la mission qui m’est confiée consiste à concevoir de nouveau circuits électronique pour remplacer les circuits utilisés actuellement et qui ont été conçu il y a plusieurs années. La but étant d’utiliser des technologies plus récente afin de diminuer la surface, le coût, l’efficacité…etc.

## Description des sujets

### 1.1.1. Sujet 1: Générateur de signaux alternatifs à base d’amplificateur de classe D

Le but de ce projet est de développer une nouvelle fonction analogique ACS\*, afin d'améliorer, si possible, la fonction actuelle. En effet, la solution actuelle utilise un amplificateur opérationnel de puissance linéaire et avait par conséquent une consommation et un rendement non optimaux. Environ 35% en considération optimiste en théorie. L'idée est donc de développer un nouveau circuit à l’aide d’un amplificateur de classe D à la place d'un amplificateur opérationnel linéaire, qui pourrait théoriquement avoir une meilleure efficacité. Cependant, certains points pourraient être problématiques, par exemple, le ripple de sortie due aux commutations qui peuvent engendrer des problèmes de CEM (EMI) et rendre ce circuit inutilisable car il ne respecte pas les gabarits d’émissions conduites imposés par les normes.

La fonction ACS est présente dans de nombreux calculateurs pour FCC (Flight Control Computer), car elle permet de stimuler les capteurs xVDT. Ces capteurs, représentés sur la figure 1, permettent de mesurer l'angle ou le mouvement en excitant la bobine primaire et en regardant les signaux de la bobine secondaire.

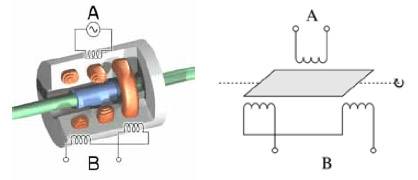


Figure 1: Schéma capteur LVDT

L'amplificateur de classe D sera une partie importante de ce projet. La figure 2, donne une vue globale de son fonctionnement, mais une étude plus spécifique sera faite dans le rapport.



Figure 2: Schéma simplifié d’un amplificateur de classe D

A partir de cette technologie, le but serait de concevoir un circuit générant une sinusoïde ayant une tension RMS imposée par le cahier des charges. De plus les capteurs de type xVDT sont excités par des tensions différentielles, c’est-à-dire que deux sinusoïdes de phases opposées sont appliquées aux bornes des capteurs. Il faut donc concevoir un circuit avec une sortie différentielle. Enfin une partie de ce sujet est axé sur l’asservissement de la tension différentielle au bornes du capteur, il faut donc designer un correcteur PI ou PID afin d’asservir cette tension afin qu’elle soit le plus stable possible.

### 1.1.2. Sujet 2: Solution de substitution à des DAC à l’aide de PWM

Le but de ce sujet est de pouvoir faire remplacer le DAC utilisé dans la conception actuelle par un circuit utilisant un PWM, suivi d'un filtre passe-bas. En jouant sur le duty cycle du PWM ainsi que sur la fréquence de sa porteuse et en utilisant un filtre passe bas on peut en retirer la composante continue. On arrive donc à retrouver le comportement d’un DAC générer notre tension continue à la valeur souhaitée. La Figure ci-dessous donne une idée clair du fonctionnement de ce système. On remarque un lien entre le duty cycle et al tension après filtrage, en commandant le duty cycle on peut donc générer la tension souhaitée en sortie, tout comme un DAC le fait.

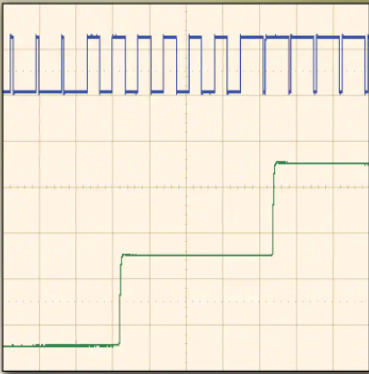


Figure 3 : Lien entre un PWM et le signal après le filtre

Cette solution a déjà fait ses preuves sur plusieurs autres systèmes embarqués et la littérature à son sujet est assez riche et claire. Le but de ce sujet est donc de concevoir un prototype de carte et d'évaluer précisément les gains ou les pertes en consommation, performances, coût et surface utilisée. L'objectif est bien sûr d'optimiser ces points.

En faisant une recherche rapide sur ce sujet, il semble qu'un des enjeux de cette méthode soit de trouver le juste équilibre entre la qualité du filtrage et le temps de réponse du système, selon l'application. En effet, la littérature indique que les filtres passe-bas utilisés sont des filtres d'ordre 1. Augmenter l'ordre de ce filtre rendrait la méthode beaucoup moins intéressante par rapport à la simple utilisation d'un DAC. De plus, réduire la fréquence de coupure du filtre augmentera le temps de réponse du système, mais permettra également d'obtenir un signal de sortie avec moins d'ondulation.

## 1.2. Choix du sujet et détails

Après quelques recherches pour comprendre les projets et leurs enjeux, j'ai décidé de choisir le premier sur la fonction ACS avec des amplificateurs de classe D. En effet, les deux sont très intéressants et pourraient m'apporter beaucoup de compétences, mais la problématique de l'amplificateur classe D avec de la commutation est quelque chose que je trouve vraiment attrayant et dans lequel j'aimerais aller plus loin.

Les deux sujets ont leurs propres particularités. Le second, avec le PWM est quelque chose de plus mature et avec plus de recul, mais les attentes sont par conséquent plus grandes. Cela signifie qu'à la fin du stage un prototype qui montre des améliorations doit être réalisé, alors qu'avec le premier projet le but est plus de déterminer si cette solution peut vraiment fonctionner et être intéressante. Bien sûr, cela ne signifie pas qu'il ne doit pas avoir un prototype complet qui fonctionne correctement à la fin. Dans chaque projet, le but est d'améliorer les solutions actuelles, mais le deuxième projet est un peu plus avancé et donc la problématique et les défis ne sont pas les mêmes.

Pour conclure ce choix, le premier projet a une dimension de challenge que j’apprécie particulièrement, et je suis sûr que j'apprécierai et apprendrai beaucoup en travaillant dessus.

Avant de passer à la suite, il est important de comprendre plus précisément ce qu’est un amplificateur de classe D. Premièrement, le but d'un amplificateur de classe D est d'amplifier la puissance d'un signal, cela signifie que la puissance (P= V\*I) sera plus grand après l’amplificateur qu'avant. Cela peut être fait en augmentant la valeur du courant et/ou de la tension. Si nous revenons à la [Figure 2](#fiure2), nous pouvons identifier plusieurs étapes.

En entrée, il y a deux signaux qui peuvent provenir d’un DAC ou d'un microcontrôleur par exemple. Le premier est le signal que nous voulons amplifier. Les amplificateurs de classe D sont souvent utilisés pour les applications audio pour lesquels le signal d'entrée est donc un signal audio. Pour notre application, ce signal sera une sinusoïde, car nous voulons une sinusoïde en sortie. Le deuxième signal est un signal en dents de scie. En utilisant un comparateur et ces deux signaux, nous pouvons créer un PWM représentant une sinusoïde via ces duty-cycles (SPWM). Ce n'est pas le seul moyen de générer un PWM, il en existe d'autres comme les modulations delta ou delta-sigma, qui permettent de contrôler la stabilité et l'erreur du SPWM, mais sont un peu plus difficiles à mettre en œuvre. La méthode utilisant un comparateur et une dent de scie mettra également les potentiels haut et bas PWM à Vcc et GND, ou Vcc- si l'alimentation est symétrique.



Figure 4: PWM modulation stage

Maintenant qu’un signal PWM est généré, nous pouvons l'utiliser pour contrôler l'étage de sortie avec ses MOSFET. Pour être plus précis cet étage est un demi-pont, les MOSFETS sont allumés et éteints alternativement, pour pousser et tirer le courant vers les potentiels d'alimentation. Le courant du signal sera amplifié dû aux caractéristiques des MOSFET et par conséquent la puissance aussi.



Figure 5: Amplifier stage

Enfin, pour récupérer la sinusoïde, un filtre doit être utilisé. Le filtre peut être un filtre passe-bas pour couper les hautes fréquences et ne garder que le sinus fondamental, mais un filtre passe-bande peut également être utilisé, si nous devons également couper le mode DC, pour supprimer le décalage. Après cette étape, nous avons la sinusoïde que nous voulions



Figure 6: Filter stage

Bien sûr, le fonctionnement du circuit qui va être développé pendant le stage va s’inspirer de ce fonctionnement mais ne va pas lui être identique à 100%. Le choix de l’architecture adapté au stage sera expliqué dans le chapitre 3, en fonction du cahier des charges et de l’objectif du stage.

## 1.3. Les objectifs et compétences

L’objectif fixé au début du stage était de concevoir le circuit décrit ci-dessus, d’estimer son rendement théoriquement ainsi que son coût et la surface qu’il prend, mais aussi de simuler ce circuit à l’aide du logiciel LTspice afin de confirmer la théorie et enfin, si le temps restant suffisait de faire un PCB avec des composants préalablement sélectionnés afin de faire des tests et mesures sur le circuit réel. En parallèle de ça, de la documentation concernant la théorie, mais aussi les simulations et les tests devait être rédigée afin de garder une trace claire de mon stage et réutilisable dans le futur. En résumé, je vais devoir appliquer mes compétences en électronique analogique et numérique, en automatique et informatique embarquées dû à l’asservissement de la tension de sortie expliqué plus tôt dans le rapport. J’ai notamment utiliser des logiciels sur lesquels j’ai été formé lors de mes études à l’INSA, LTspice pour les simulations électroniques, KICAD EDA pour la schématique et le routage MATLAB et Simulink pour les simulations de l’asservissement, STM32CubeIDE pour l’informatique embarquée, mais aussi des sites web tels que Octopart pour la gestion des BOM. De plus, j’ai découvert et me suis formé au logiciel Mathcad, un outil mathématique très puissant et utile.

J’ai réalisé toute ces tâches seul et non dans une équipe particulière, cependant j’ai eu un suivi hebdomadaire tout au long du stage afin de confirmer mes choix, de me réorienter dans la bonne direction si besoin et de me donner des conseils. Ce qui m’a permis d’avoir cette liberté au niveau de mes choix étant donné que je pouvais faire valider ceux-là par des personnes d’expériences et donc être sûr de ne pas m’égarer, mais aussi d’apprendre de leur expérience en discutant avec eux chaque semaine.

Dans la suite nous allons nous attarder sur la partie plus technique de mon stage, dans laquelle je vais détailler les différentes étapes que j’ai eu à traverser tout au long de mon stage.

# Chapitre 3 Réalisation

## 1.1. Planning

Une des premières choses que j'ai faites a été de créer un planning. Pour ce faire j'ai utilisé quelques documents qui présentent un cycle de vie d'un projet en V comme on peut le voir sur la figure 3 ci-dessous.

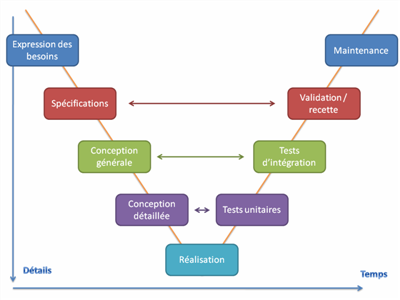


Figure 7 : Schéma du cycle de vie d'un projet

Dans un premier temps, j'ai décidé de faire mon planning au format GANTT. J'ai identifié à partir de la figure 3, les parties globales de ce projet puis j'ai essayé de trouver des sous-parties pour chacune des parties. Ensuite, j'ai estimé le temps pour chaque sous-partie et chaque partie et vérifié s'il était cohérent avec l'équipe qui m'encadrait sur ce projet. Enfin, j'ai obtenu ce que vous pouvez voir sur la figure suivante :

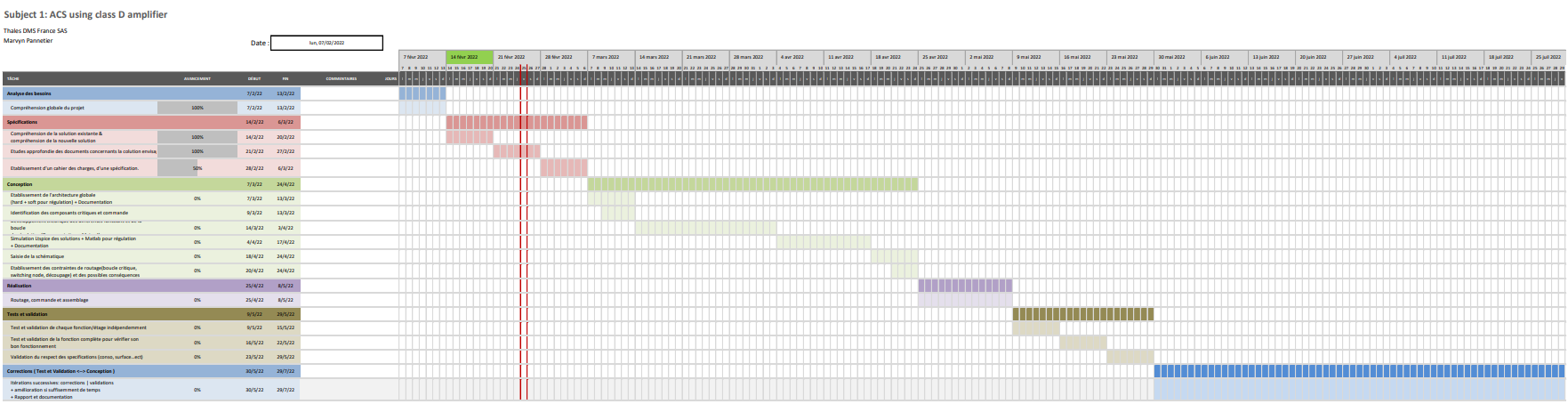


Figure 8: Vue globale du planning

Bien sûr, on ne pas voir grand-chose sur la figure 7, nous allons donc zoomer sur les différentes parties et les détaillées.

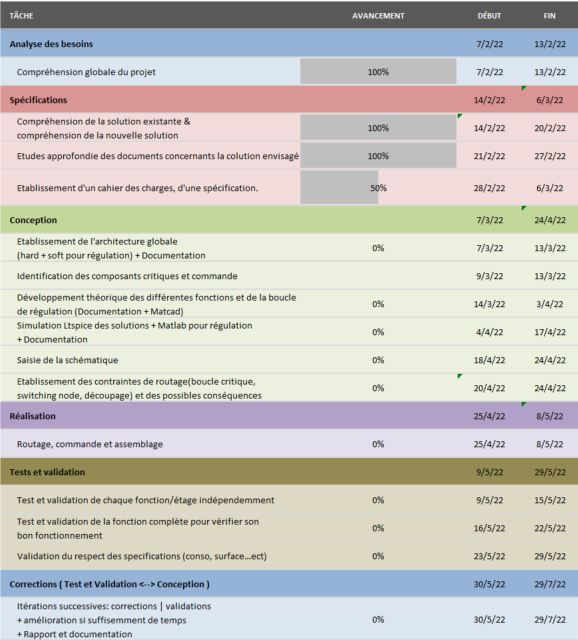


Figure 9: Zoom sur le planning

Sur la figure 5, toutes les parties et sous-parties apparaissent. Vous trouverez ci-dessous une liste des différentes parties et une explication de ce que je ferai à l'intérieur et du temps que j'ai estimé.

1. Analyse des besoins

Cette première partie consiste à appréhender le but du projet et ces enjeux, afin d’être efficace le plus tôt possible.

1. Spécification

Dans cette partie, mon objectif est de comprendre le projet dans sa globalité, d'avoir une première idée des circuits, composants qui seront nécessaires, et de faire des recherches sur les circuits principaux, comme l'amplificateur classe D. De plus, je dois faire un cahier des charges avec des valeurs, des besoins et des attentes claires. Ainsi, j'aurai mes objectifs pour la fin de mon stage.

1. Conception

C'est une partie importante car elle inclut de développer une architecture globale, de trouver des composants critiques, de théoriser et de simuler des solutions, et quand tout cela sera fait correctement, de créer un schéma final et quelques contraintes de routage importantes pour passer à l'étape suivante. Plus facile.

1. Implémentation

L'objectif de cette partie est de prévoir du temps pour acheminer, commander et assembler la carte prototype qui sera utilisée dans les parties suivantes.

1. Tests and validation

Afin de tester correctement le PCB, mon idée est d'abord de tester chaque circuit indépendamment et de les faire fonctionner, puis de tester tous les circuits ensemble pour s'assurer que les fonctions principales fonctionnent. Après cela, l'attention doit être portée sur le cahier des charges, répond-il à toutes les exigences ? Que peut-on encore améliorer ?

1. Corrections

Enfin, ce temps est là pour résoudre les problèmes s'il y en a, pour améliorer certaines choses pour mieux répondre au cahier des charges en revenant à la conception par exemple, mais aussi pour donner une réponse concernant la viabilité de cette solution, si c'est une bonne idée pour les futurs produits ou non. Encore une chose, ce temps servira également à finaliser la documentation et à capitaliser les informations même si cela se fait aussi pendant le reste du stage.

## 1.2. Evolution du planning

Les dates visibles sur la [Figure 9](#figure9) sont celles fixées dès le début du stage. Bien sûr celle-ci ont évolué en fonction des difficultés rencontrées ou non au fur et à mesure. Cette partie a pour but d’expliquer de façon général les changements qu’il y a eu sur ce projet et pourquoi.

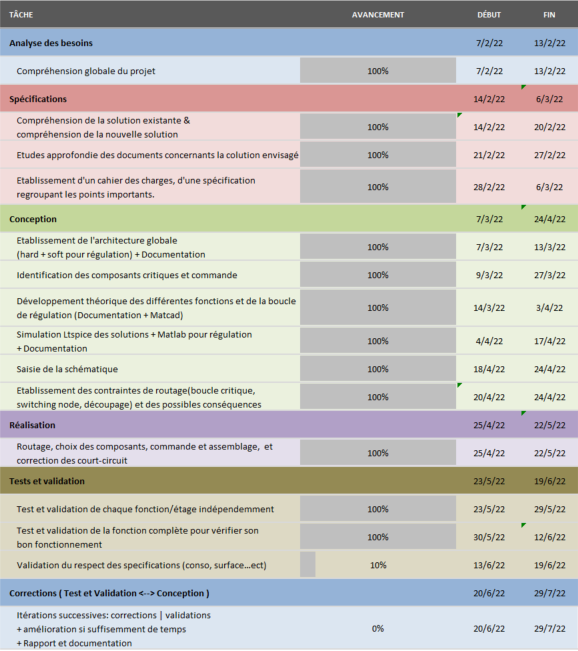
Pour commencer, les deux premières parties se sont passé comme prévu et la 3ème partie sur la conception a même pu débuter fin février. Comme expliqué plus haut, ces deux premières parties consiste essentiellement en la compréhension du projet, des objectifs, la création du cahier des charges…etc. J’ai donc eu le temps nécessaire pour faire cela dans le temps que je m’étais fixé au tout début du stage.

Abordons à présent la partie conception, qui est sans aucun doute une étape majeure de ce stage. Pour essayer de mieux prévoir la durée de cette période, la conception a été divisés en plusieurs sous parties et le temps global a été respecté seulement en réalité l’étape de développement théorique a duré moins longtemps que prévu et l’étape de simulation LTspice plus longtemps, surtout dû à la simulation du filtre passe bande, ce qui au final se compense et respecte relativement bien le planning initial.

L’étape suivante est dédiée au routage et assemblage du PCB. Cette étape était prévue sur deux semaines mais une formation a retardé le routage. De plus, nous avons décidé de faire le PCB en local, avec le Fablab présent à Thales plutôt que de le commander à un fabriquant spécialisé dans la fabrication de PCB mais qui aurait mis plus de temps à le livrer. Ce choix a aussi induit un retard car la technologie utilisée au Fablab ne permet pas de faire des pistes trop petites ou bien d’utiliser des composants avec des pas trop petit. Il a donc fallu chercher des alternatives à des composants déjà sélectionné mais ne pouvant donc pas être utilisés, ce qui a pris une ou deux journées de plus que prévu. Après cela le PCB a pu être fabriqué et il a fallu souder chaque composant à la main et faire des tests de continuité, ce qui a aussi pris 2 ou 3 jours afin d’avoir assemblée.

Enfin l’étape des tests a commencé par l’apparition de quelques court-circuit qu’il a fallu identifier et corriger, ce qui a aussi pris un peu plus quelques jours avant d’avoir une carte réellement fonctionnelle et pouvoir attaquer les tests. Au moment où ce rapport est rédigé les tests sont en cours et il reste environ 2 mois afin d’optimiser les résultats et de conclure sur cette conception.

Pour résumer, environ deux semaines de retards sont apparues par rapport au planning initial, ce qui n’est pas un problème étant donné qu’une période de plus d’un mois a été prévu pour résoudre ce genre de problèmes. Finalement le planning correspondant à l’évolution du stage jusqu’à aujourd’hui ressemble au suivant :



À présent, nous allons passer à l’aspect plus technique de ce stage en commençant par décrire le cahier des charges puis par parler des architectures imaginées pour réaliser la fonction ACS demandée.

## 1.3. Cahier des charges

Ici va être décrit le cahier de charge qui a cadré le stage et a permis de définir les objectifs de ce stage. Pour cela, je me suis appuyé sur deux types d’informations. La première correspond aux performances demandées à la fonction ACS dans les projets en général. La deuxième est la performance du circuit actuel, appelé ELAC, afin de fixer les objectifs à atteindre pour proposer une solution plus performante.

|  |  |
| --- | --- |
| Tension différentielle de sortie, aux bornes de la charge | 7.0+-0.7V RMS |
| Forme du signal de sortie | Sinus |
| Fréquence | Doit être capable de générer des sinusoïde de fréquence entre 1.9kHz et 5kHz |
| Précision de la fréquence du sinus de sortie entre les circuits ACS | Inférieur à 0.1Hz |
| Courant maximum dans la charge | Entre 10mA et 40mA |
| Caractéristique de la charge | Charge inductive avec résistance parasite ayant pour facteur de puissance cos(ϕ) = 0.2079 soit ϕ |
| Surface | La surface actuelle pour un ACS ELAC est de 740mm2, il faut donc faire moins |
| Rendement | Un ACS ELAC a un rendement inférieur à 10%, il faut donc battre ce rendement et l’optimiser au maximum. |
| Ondulation sur le signal et stabilité | Inférieur à 100mV |
| THD du sinus de sortie | Inférieur à 1% |
| Coût | Pas de référence mais le plus bas possible tout en respectant les points ci-dessus. |

## 1.4. Les architectures pour répondre au besoin

Pour rappel, le but est de remplacer un circuit réalisant la fonction ACS à base d’amplificateurs linéaires (AOP), par un circuit utilisant le phénomène de commutation et ses avantages.Pour cela, plusieurs solutions étaient possibles et j’ai donc décidé de les étudier et comparer afin de faire un choix et commencer la conception. Pour être plus précis, j’ai rapidement identifié 3 architectures possibles.

* La première utilise un composant dit COTS, c’est-à-dire un composant disponible sur le marché et prêt à l’emploi. Ce composant est un amplificateur audio de classe D qui prend en entrée un signal, qui serait un sinus dans notre cas et qui a pour sortie, un PWM amplifiée représentant le sinus d’entrée. L’avantage de cette solution est qu’elle peut être meilleure en terme de surface utilisée car c’est composant fonctionne avec de la microélectronique et non des composants analogiques, ce qui permet d’obtenir des composants très peu encombrants. Le coût peut aussi être un atout de cette solution mais avec la crise des composants actuelle, il ne l’est plus vraiment car les seuls composants encore disponibles sont à des prix assez élevés. Concernant les aspects négatifs, on peut y trouver la consommation étant donné que ce sont des composants designer pour une application audio et qui intègres plusieurs circuits de sécurité, filtrage, transformation du signal…etc, qui ne sont pas nécessaire à notre application et qui engendre des consommations supplémentaires. De plus le cahier des charges impose de prendre une PWM en entrée du système global car elle peut être générée avec un FPGA est donc peu coûteux en surface et consommation, ce qui imposerai de prévoir une étape de filtrage avant de rentrer dans l’amplificateur, qui demande une entrée analogique. Ce qui peut perturber le système et rend la solution moins viable.
* La deuxième solution est plus simple à expliquer puisqu’elle consiste aussi à utiliser un composant COTS, mais cette fois-ci avec une entrée PWM directement. Cela permet d’éviter le problème évoqué à la fin du dernier point et de garder le point positif de la surface utilisé assez faible. Seulement ce type de composant est assez rare et cher, surtout avec la crise, ce qui rend cette solution beaucoup moins attrayante. Enfin, encore une fois cette solution pourrait répondre au besoin mais serait toujours surdimensionnée et sur-consommatrice étant donné que ce type de composants intègre des circuits de sécurité, traitement de signal…etc, et son conçus pour fonctionner avec des signaux bien plus complexes qu’un sinus.
* Enfin la dernière architecture imaginée consiste à concevoir par moi-même un circuit à base d’étages push-pull ou demi-pont qui viendrait amplifier la PWM générée par le FPGA avec l’intermédiaire d’un driver de MOSFET pour commander correctement l’étage amplificateur. Cette solution à le bénéfice de s’adapter au cahier des charges sans en faire plus que besoin, elle permet aussi de diminuer la consommation du système de façon assez forte. Quant au coût ainsi qu’à la surface utilisée, ils semblent tout deux pouvoir concurrencer les deux solutions ci-dessus, ou en être proche.

Bien sûr un filtre passe bas ou bande est nécessaire à la sortie de ces trois solutions afin de filtrer les PWM qui ont été amplifiées et récupérer le sinus souhaité. Le tableau ci-dessous compare les trois solutions en exposants des chiffres afin de se faire une idée plus précise quant à la solution à retenir.

|  |  |  |  |
| --- | --- | --- | --- |
|  | Composant COTS avec entrée analogique | Composant COTS avec entrée PWM | MOSFET driver + étage d’amplification |
| Consommation | 35mA + courant tiré par la charge | 7.3mA + courant tiré par la charge | Moins de 1mA + courant tiré par la charge |
| Surface | Sans le filtre, entre 50 et 70mm2 | Sans le filtre, entre 60 et 90mm2 | 4 double NMOS: 4\*4.2=17.2mm2  4 gate drivers:  4\*9=36mm2  Total: 53.2mm2 |
| Prix (pour 500 unités) | Entre 1 et 2€ le composant | Plus de 3€ | NMOS : 4\*0.266€  Driver: 4\*0.243€  Total=2.036€ |
| Disponibilité |  |  |  |

Bien

Moyennement bien

Mauvais

A partir de ces résultats il m’a semblé plus cohérent de choisir la troisième solution n’utilisant pas de composants COTS. De plus cette architecture permet de développer des compétences plus approfondie autour de la commutation puisqu’il faut concevoir un étage d’amplification à base de MOSFET. Dans la suite de ce rapport nous considérerons cette architecture.

## 1.5. Conception

Dans cette partie nous allons aborder les différentes étapes de ma progression dans la conception du circuit. Mais avant ça, on peut observer ci-dessous un schéma plus précis de l’architecture choisie. J’ai fait ce schéma afin de clarifier mettre à plat l’allure global du circuit et les différents points à développer et qui vont d’ailleurs être décrits dans les sous-parties suivante.

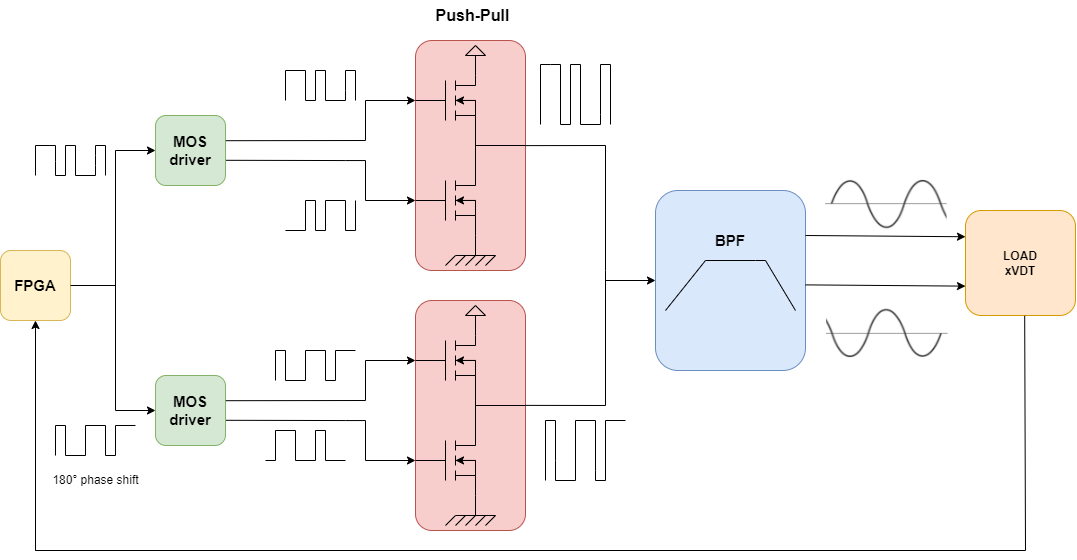


Figure 10 : Schéma du circuit à concevoir

Ce schéma a été réalisé au début du stage et pour le stage aucun FPGA ne sera utilisé mais la génération des PWM et l’asservissement de la tension de sortie seront réalisés à l’aide d’une carte NUCLEO-H743ZI2.

### 1.5.1. Etage d’amplification à base de NMOS

Commençons pat l’étage d’amplification. Afin de développer cet étage j’ai déjà commencé par faire des recherches sur les différents moyens de réaliser cet étage. Il en est ressortis 2 montages différents. Le premier utilisant 2 NMOS et le deuxième utilisant un NMOS et un PMOS comme on peut le voir sur la figure ci-après :

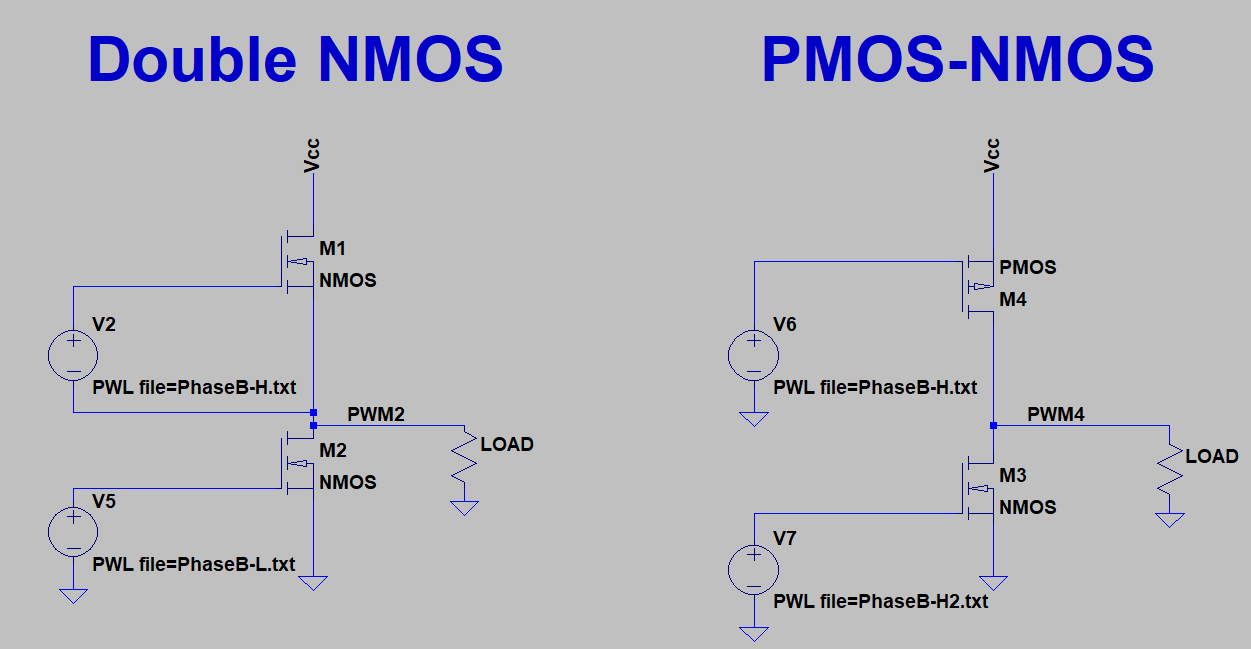


Figure 11 : Schéma des deux types de montage d’amplification

Sur cette figure on remarque, quelques différences. La première concerne la façon de commander les MOSFET. Pour rappel pour commander un MOSFET on agit sur la tension Vbe, celle-ci doit être positive et supérieur à un seuil imposé par le composant pour qu’un NMOS soit passant, et au contraire négative pour qu’un PMOS soit passant.

Sur la configuration à deux NMOS, le NMOS du bas a son émetteur à la masse, il suffit donc d’appliquer une tension positive et supérieur au seuil du NMOS pour qu’il devienne passant, et d’appliquer une tension nulle pour le bloquer, ce qui est fait avec une PWM entre 0 et 3.3V par exemple. Concernant le NMOS du haut, ce n’est pas la même histoire étant donné que le potentiel de son émetteur n’est pas connu à un instant précis. Ma première idée fût de commander ce MOSFET avec une PWM ayant un potentiel haut proche de celui de l’alimentation afin de m’assurer que celui est au-dessus du potentiel de l’émetteur et par conséquent faire entrer le NMOS en conduction. Seulement après quelques recherches, je me suis rendu compte que cette méthode n’était pas optimale et qu’il valait mieux faire ce qu’on peut voir sur le figure 11. Cette méthode consiste à référencer le potentiel bas de la PWM au potentiel de l’émetteur, ce qui est fait dans les driver destinés à commander ce genre de circuit.

Le NMOS du bas sur la configuration utilisant un PMOS et un NMOS fonctionne de la même façon que sur le montage précédent. Le PMOS lui fonctionne à l’inverse, je m’explique. Son émetteur étant à Vcc et ayant rappelé que sa tension Vbe doit être négative pour qu’il soit passant, il faut donc un potentiel sur la grille inférieure à Vcc moins la tension de seuil afin qu’il passe. En revanche, lorsque le potentiel de grille est à Vcc la tension Vbe est nulle est le PMOS devient bloquant. Il faut donc le commander avec une PWM dont l’état haut est à Vcc et bas à 0V ou du moins en dessous du seuil.

Un autre point important est ce qui est appelé Deadtime. Le Deadtime comme son nom l’indique est un temps mort appliqué entre les 2 PWM de commande afin d’éviter des court-circuit. En effet, si les deux transistors commutent en même temps il existe un temps durant lequel les deux transistors sont passant et crées un court-circuit. Ce phénomène est dû aux temps de monter et descente des PWM qui ne sont jamais nul dans la réalité. Un moyen simple de contrer cela et d’insérer un temps mort entre la commande des deux transistors, de cette façon lorsque le devienne commutera, le premier l’aura déjà fait et donc pas de problème de court-circuit.

Finalement, j’ai fait le choix d’utiliser le montage utilisant deux NMOS car il est plus courant et on trouve donc plus facilement des driver qui ce montage et deuxièmement un NMOS se base sur de la conduction d’électron contrairement aux PMOS qui se base sur la conduction des trous, les électrons ayant une plus grande mobilité que les trous, cela rend les NMOS souvent plus performants. Ce type de montage a pour nom « Demi pont ».

Sur la figure précédente on peut voir que je génère les PWM à l’aide de générateur de tension et de fichiers texte. En effet, afin de rendre plus simple les simulations j’ai utilisé un script Matlab trouvé sur internet, que j’ai ensuite modifié pour qu’il convienne à mon application. Ce script prend des paramètres en entrée, tels que la fréquence de la PWM, les temps de monté et descente des fronts, le pas, le deadtime, les tensions haute et basse ainsi que l’indice de modulation, puis génère 4 fichiers textes. Deux PWM représentant des sinus déphasés de 180° et les deux autres sont les opposés de ceux-là. Ce qui permet de commander les NMOS dans LTspice, comme indiqué sur la [Figure 10](#figure10).

Les deux figures suivantes représentent une simulation d’un des deux demi pont.

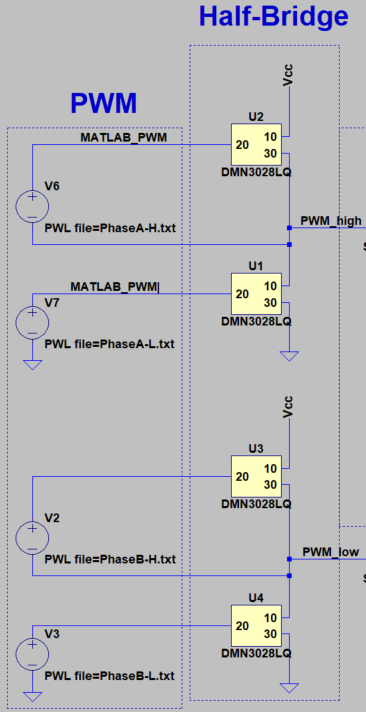


Figure 12 : Schéma LTspice d’un étage demi pont

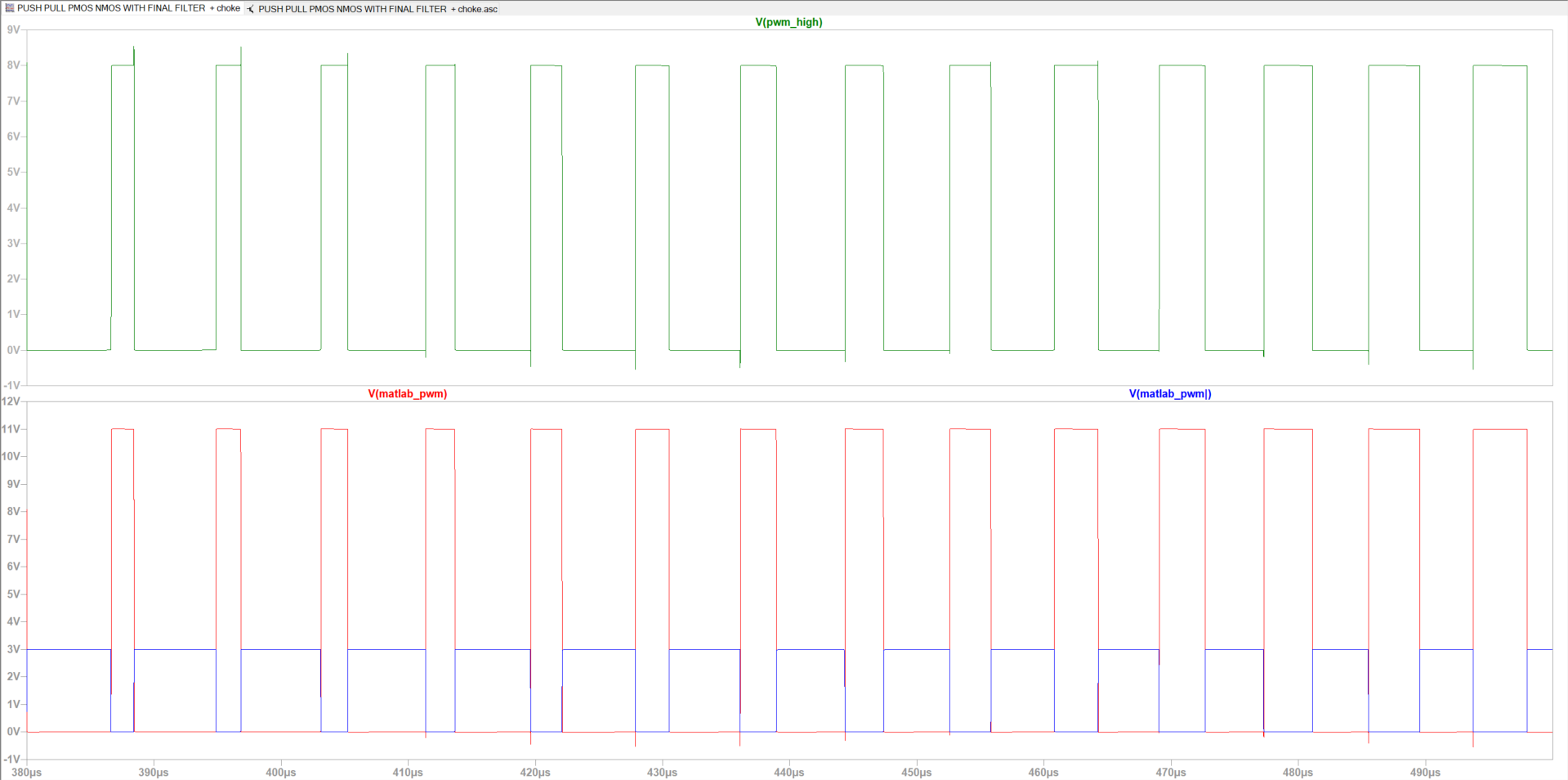


Figure 13 : Simulaton des PWM d’un demi pont sur LTspice

A présent que le résultat en sortie des demi ponts est satisfaisant, nous pouvons passer à un point pas des moins important de ce projet, le filtrage !

### 1.5.2. Filtre passe bande

#### Justification des choix

Le filtrage est essentiel puisqu’il va permettre de passer d’un signal PWM à une sinusoïde. Dans un premier temps j’ai d’abord pensé à un filtre passe bas LC, car ce type de filtre contrairement aux filtres RC ne génère de pas de perte dû à la résistance. Bien sûr, en réalité il existera toujours les résistance parasites qui vont créer des pertes mais moindre comparé à un filtre RC. Ensuite, j’ai eu rapidement à ajouter un filtre passe haut CR en série afin de supprimer la composante continue sur les deux sorties différentielles, les charges (xVDT) n’acceptant pas de composante continu à leurs bornes. Cette fois, un filtre CR n’est pas gênant puisque la résistance va être en parallèle et très peu de courant ne va passer dedans, en plus de sa valeur assez élevée.

Après ça, je me suis intéressé à un circuit appelé snuber. Le circuit LC à l’avantage de n’engendrer peu de pertes, cependant ce type de filtre crée un phénomène de résonnance autour de la fréquence de coupure du filtre. Pour atténuer le pic de résonance on utilise un snubber, ce circuit va filtrer le courant du pic et le dissiper via la résistance. Enfin on place ces filtres sur les deux sorties et on peut les relier via la charge. On obtient donc le schéma suivant.

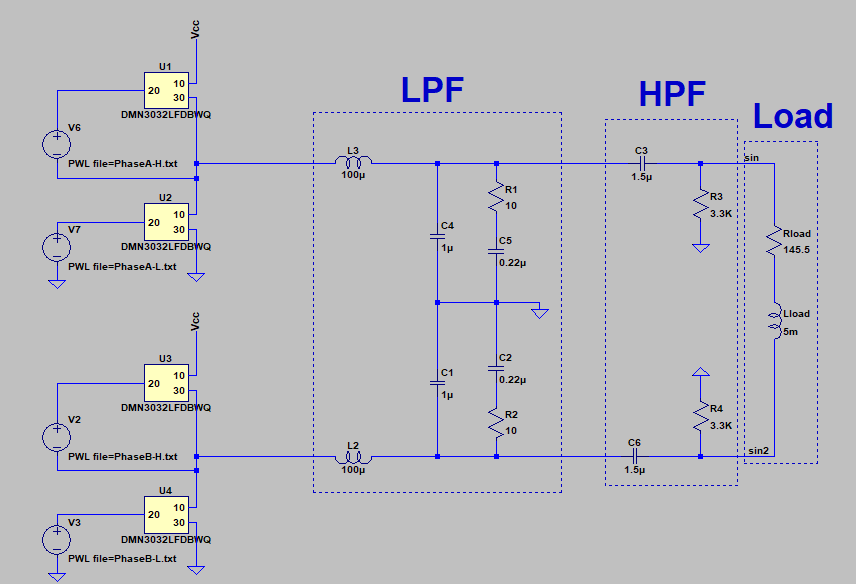


Figure 14 : Schéma LTspice demi pont + filtre

Une fois ce filtre conçu, il a fallu le dimensionner en trouvant les valeurs de chaque composant. Pour cela, j’ai utilisé LTspice pour faire des simulations ainsi que des diagrammes de bode de mon filtre, jusqu’à ce que le résultat obtenu convienne. Ce filtre est très important car il va définir le THD du sinus de sortie, qui doit être inférieur à 1% pour respecter le cahier des charges.

#### Rappel sur le THD

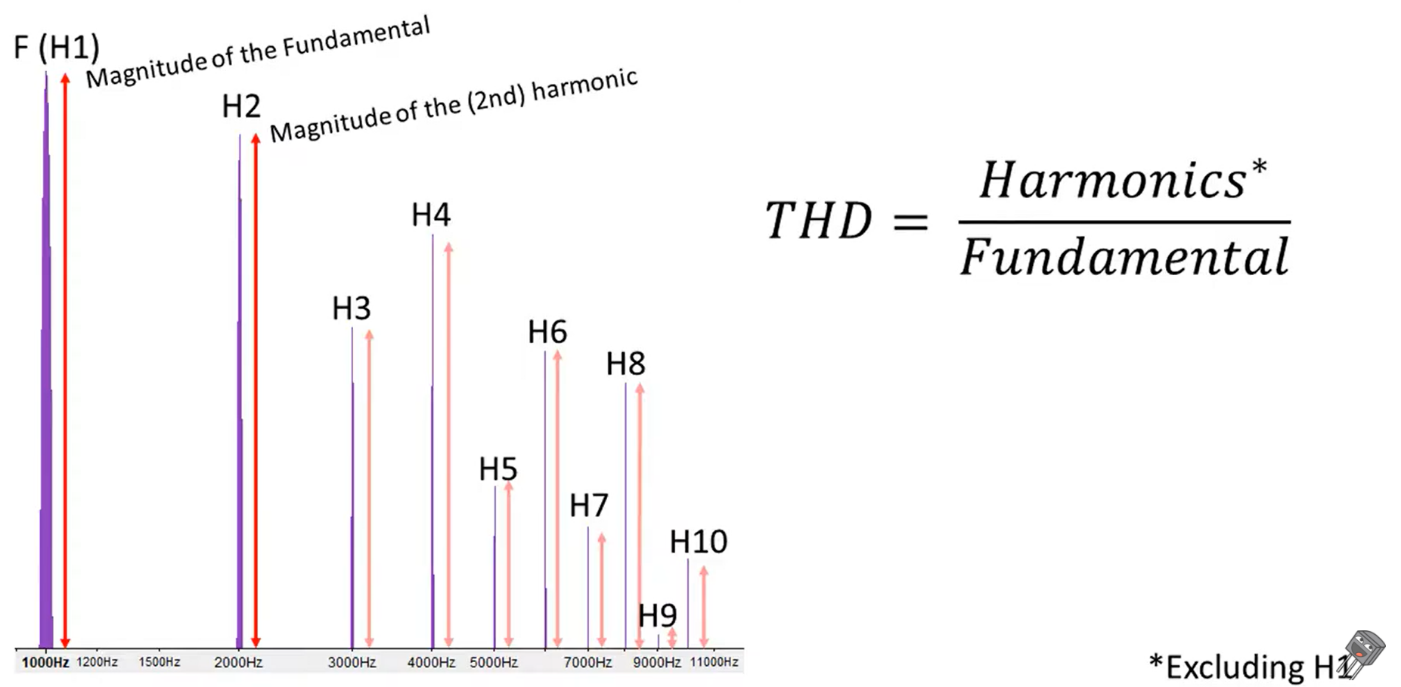
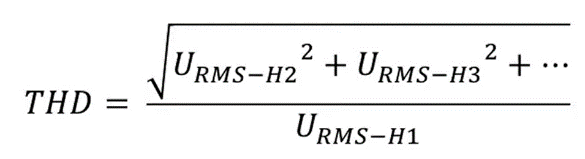
Pour rappel, le THD (total harmonic distortion en anglais) est un indicateur qui vient indiquer à quel point un sinus est parfait ou non dans notre cas. Son calcul peut se comprendre à l’aide de la figure suivante.

Figure 15 : Explication du calcul du THD

On remarque que le calcul du THD correspond à un rapport entre les harmoniques et la fondamentale du signal de sortie. Prenons l’exemple de ce stage, si la PWM qui porte le sinus a une fréquence de 300kHz et que l’on souhaite un sinus de fréquence 5kHz, on sait qu’après le filtrage on va retrouver une harmonique à la fréquence du sinus puis des harmoniques à tous les multiples pairs et impairs. De plus, on retrouve la fréquence de la PWM, 300kHz et ses harmoniques aussi, qui sont beaucoup plus hautes en fréquences et donc très peu gênantes.

Concernant le THD, les harmoniques qui vont le plus avoir d’influence sur le THD sont les harmoniques les plus proches de la fréquence de la fondamentale, puisque les harmoniques s’atténuent naturellement plus elle s’éloigne de la fondamentale. Pour un sinus à 5kHz il faut donc atténuer correctement le 10kHz et 15kHz. Cependant, si le signal PWM est propre on ne doit trouver que l’harmonique du sinus à 5kHz et les harmoniques de la PWM qui sont trop hautes en fréquence pour être gênantes.

Le cahier des charges indique qu’il faut être capable de générer des sinus entre 2 et 5kHz. J’ai donc fait le choix de designer un filtre passe bande qui laisse passer les fréquences un peu inférieures à 2kHz et au moins supérieur à 5kHz. De cette façon je pourrais filtrer les harmoniques au-dessus 5kHz si elles existent et garantir un bon THD. C’est pourquoi nous allons maintenant détailler le dimensionnement des composants.

#### Justification du dimensionnement

#### 

En ce qui concerne le premier filtre la fréquence de coupure est la suivante :



Soit une fréquence de coupure à 16kHz.

Sur la [Figure 14](#figure14), on remarque les circuits snubber en parallèle des condensateurs du premier filtre. Le dimensionnement des snubber a été fait à l’aide de ces formules et on peut voir les résultats obtenus ci- dessous.



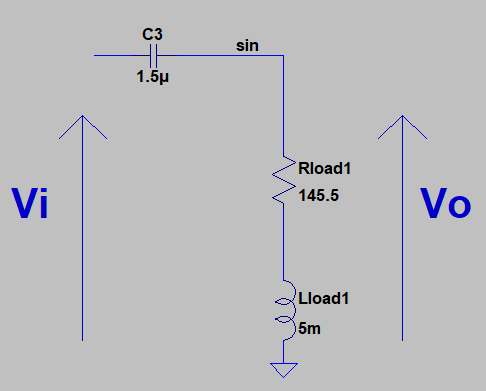


J’ai cependant décidé de prendre d’autres valeurs après plusieurs simulations, qui sont R=10 et C=0.22uF. Ce choix est dû à des contraintes de pertes de puissance qui seront décrites ultérieurement.

La partie suivante est composée de deux condensateurs, résistances L'idée est de faire CR un filtre passe-haut. Celui-ci coupait entre 460Hz et 1400Hz selon la charge. Les résistances de 3.3kΩ sont là pour reprendre la masse comme référence qui va par conséquent effacer la composante continue. Ensuite, on peut identifier simplement un circuit série RLC ou (CRL ici). Voici la fonction de transfert de ce circuit :









On retrouve une fréquence propre similaire à celle d’un passe haut du second ordre :

Nous verrons plus loin que pour un courant de charge compris entre 10mA et 40mA, on a respectivement L=5mH min et L=60mH max. Les valeurs des condensateurs sont fixes et égales à 1.5uF mais Ceq est la capacité équivalente aux 2 condensateurs en série, soit 0.75uF.

Pour L=5mH on a :





Et L=60mH on a :





Ce qui donne des fréquences propres comprises entre 750Hz et 2.6kHz. LA fréquence propre de 2.6kHz n’est pas un problème car on verra que que la fréquence du sinus est toujours supérieure à la fréquence propre. En effet la fréquence du sinus va jouer sur la valeur de L pour conserver le facteur de puissance cos(ϕ) indiqué dans le cahier des charges.

D’ailleurs nous allons maintenant calculer les valeurs de la résistance et inductance de charge afin de respecter le cahier des charges.

#### Calcul des valeurs de la charge

Premièrement, le circuit devait conduire le courant de 10mA à 40mA. Deuxièmement, la charge avait un caractère inductif et par conséquent introduirait de la puissance réactive et par conséquent un nouveau paramètre, cos(φ). Le capteur xVDT que le circuit ACS doit piloter a un φ égal à 78° environ. De plus nous connaissons les deux équations suivantes : avec R et L la résistance de charge et la capacité.



Le capteur xVDT doit être excité par une sinusoïde de 7V RMS. Nous pouvons donc calculer une plage d'impédance à partir de la plage actuelle que nous avons :



Maintenant, trouvons la valeur R et L avec les données dont nous disposons. On peut avant tout exprimer L en fonction de R :



=>

=>



Pour un courant dans la charge de 10mA :



=>



=>



On remplace L

=>





=>

Ensuite, nous pouvons trouver L pour la fréquence dont nous avons besoin. Pour nous la gamme de fréquence va de 2kHz à 5kHz

Pour 2kHz :



Pour 5Khz :



Même résonnement pour un courant dans la charge de 40mA :

=>



Pour 2kHz :



Pour 5kHz :

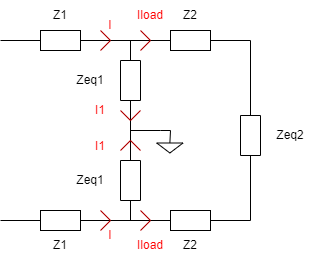


Nous avons maintenant des valeurs concrètes pour la charge en fonction du courant et de la fréquence souhaitée.

Avant de passer à la partie suivante nous allons donner la fonction de transfert du filtre et enfin quelques courbes du diagramme de bode, des sinus et de leur THD en sortie du filtre.

#### Calcul de la fonction de transfert du filtre

Dans un premier temps, nous allons trouver la fonction de transfert en utilisant une représentation utilisant des impédances. Ci-dessous une représentation simplifiée du filtre.



Ou on a :







On souhaite trouver

 avec

Il faut maintenant exprimer les courant en fonction de Vo afin de trouver la fonction de transfert



Le pont diviseur de tension suivant peut aussi nous aider



On injecte et on a :

Nous avons donc :

Finalement on peut diviser le tout par Vo pour obtenir :



J’ai appelé cette fonction G, il suffit de prendre son inverse pour obtenir la fonction de tranfert du filtre :



A l’aide de Mathcad, le logiciel qui m’a permis de mener tous mes calculs, j’ai obtenu cette application numérique du filtre avec les réelles valeurs des composants.

#### Diagramme de bode

Ci-dessous on peut observer les diagrammes de bode associé aux deux valeurs extrèmes pour un courant de 10mA et 40mA.

D’abord pour 10mA :

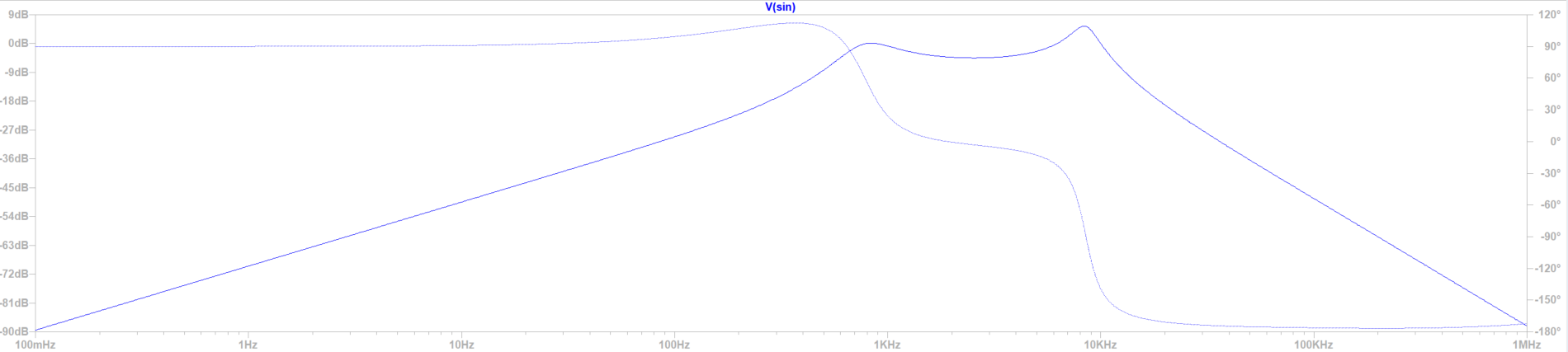


Figure 16 : R=145.5Ω et L=54.5mH

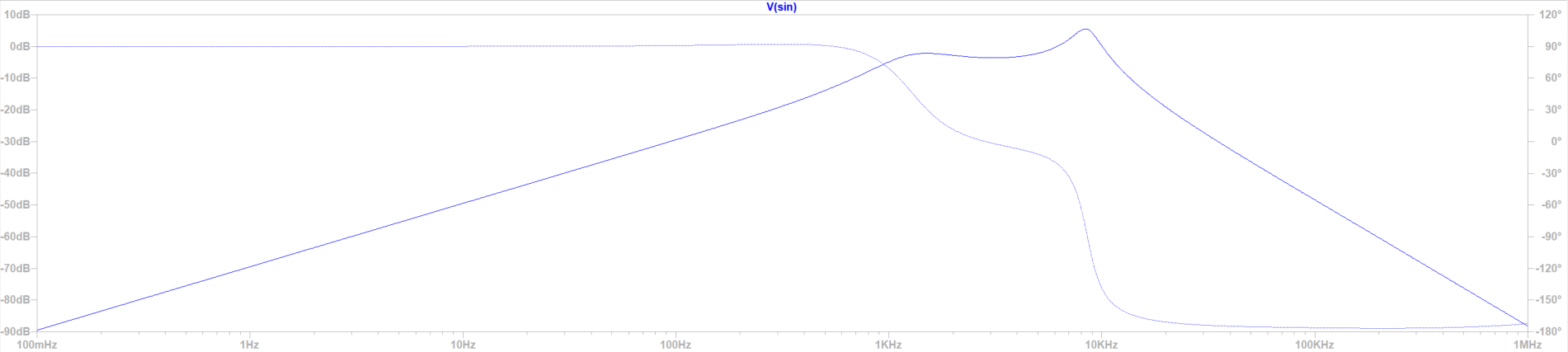


Figure 17 : R=145.5Ω et L=21.8mH

Et pour un courant de 40mA :

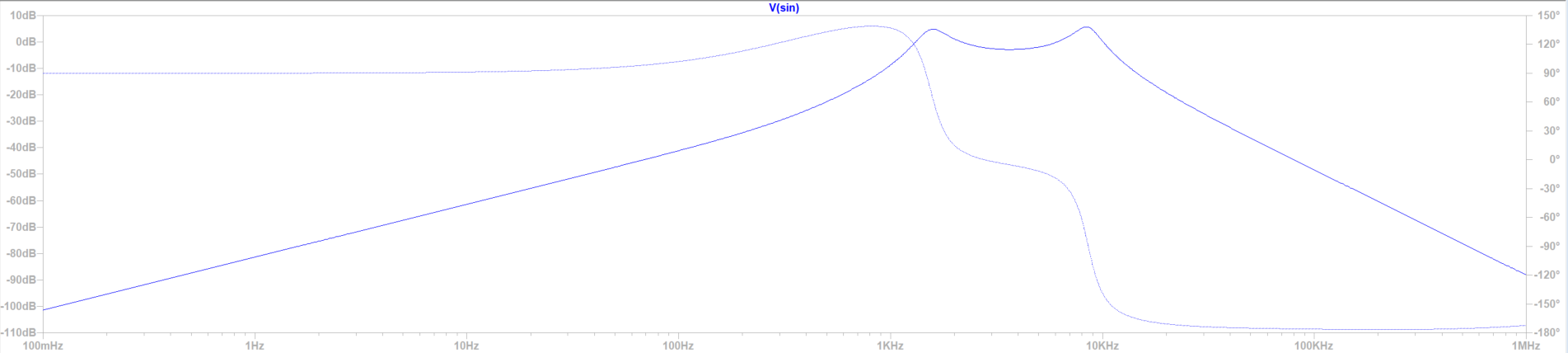


Figure 18 : R=36.38Ω et L=13.6mH

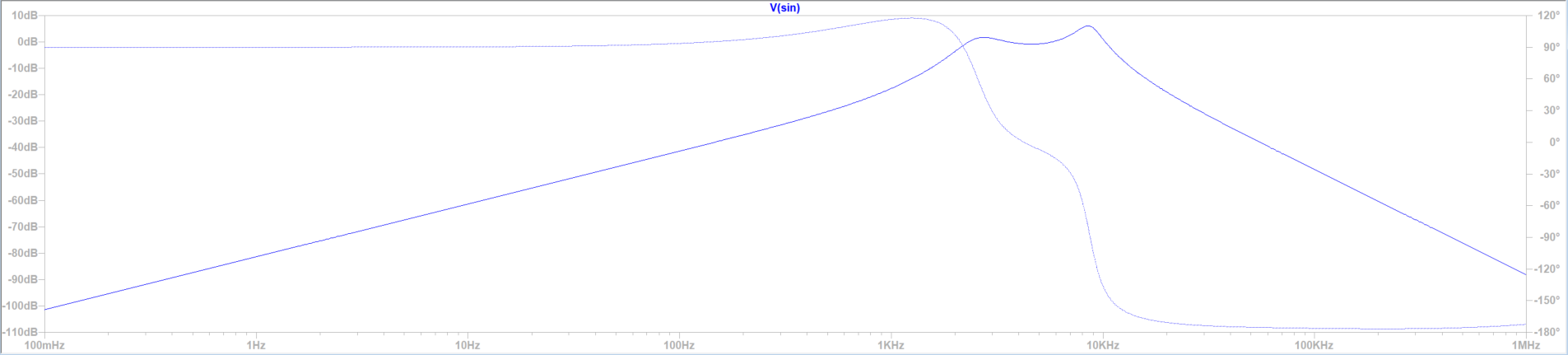


Figure 19 : R=36.38Ω et L=5.5mH

J’ai aussi tracer le diagramme avec MATLAB, et à partir de l’application numérique de la fonction de transfert donnée à la fin de là sous partie précédente. Pour cela j’ai utilisé les mêmes valeurs de charges que la dernière figure, soit R=36.38Ω et L=5.5mH, et j’obtiens :



#### Calcul du THD sur LTspice

LTspice offre en effet la possibilité via une commande, de calculer le THD d’un signal, il suffit de lui indiquer le signal par un label et de lui donner la fréquence fondamentale souhaitée pour ce signal. Plus bas on peut trouver les simulations LTspice représentant les sinus appliqués aux bornes de la charge pour un sinus de 2kHz et 5kHz. De plus on peut aussi trouver une copie écran de la fenêtre LTspice qui indique le THD pour chacune des fréquences. Bien sûr, j’ai lancé la simulation pas mal de temps pour m’assurer d’avoir assez d’échantillons et ne pas fausser le calcul du THD. De plus, LTspice n’est pas capable de calculé le THD du signal appliqué aux bornes de la charge directement mais il peut calculer celui des sinus de phase opposée qui arrivent à chacune des bornes, et qui donne une très bonne idée du THD du signal total appliqué aux bornes. C’est pour cela que deux THD sont donnés pour chaque fréquence.



Figure 20 : Sinus de fréquence 2kHz obtenu par simulation LTspice

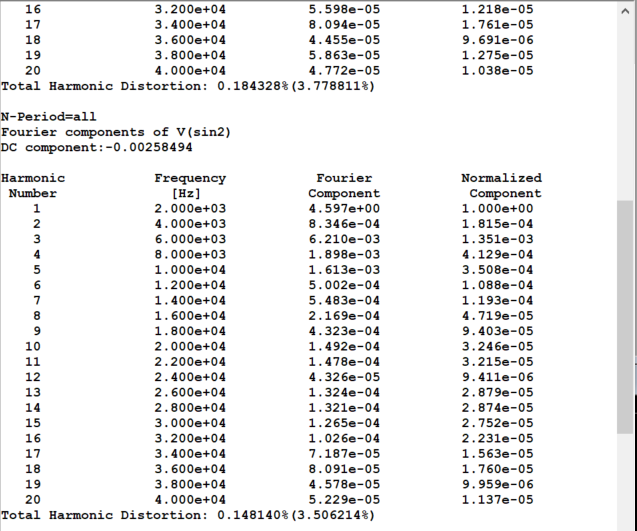


Figure 21 : copie écran LTspice du calcul du THD à 2kHz

On peut observer un THD de 0.18% et 0.14%, ce qui est largement acceptable par rapport aux 1% fixés dans le cahier des charges.

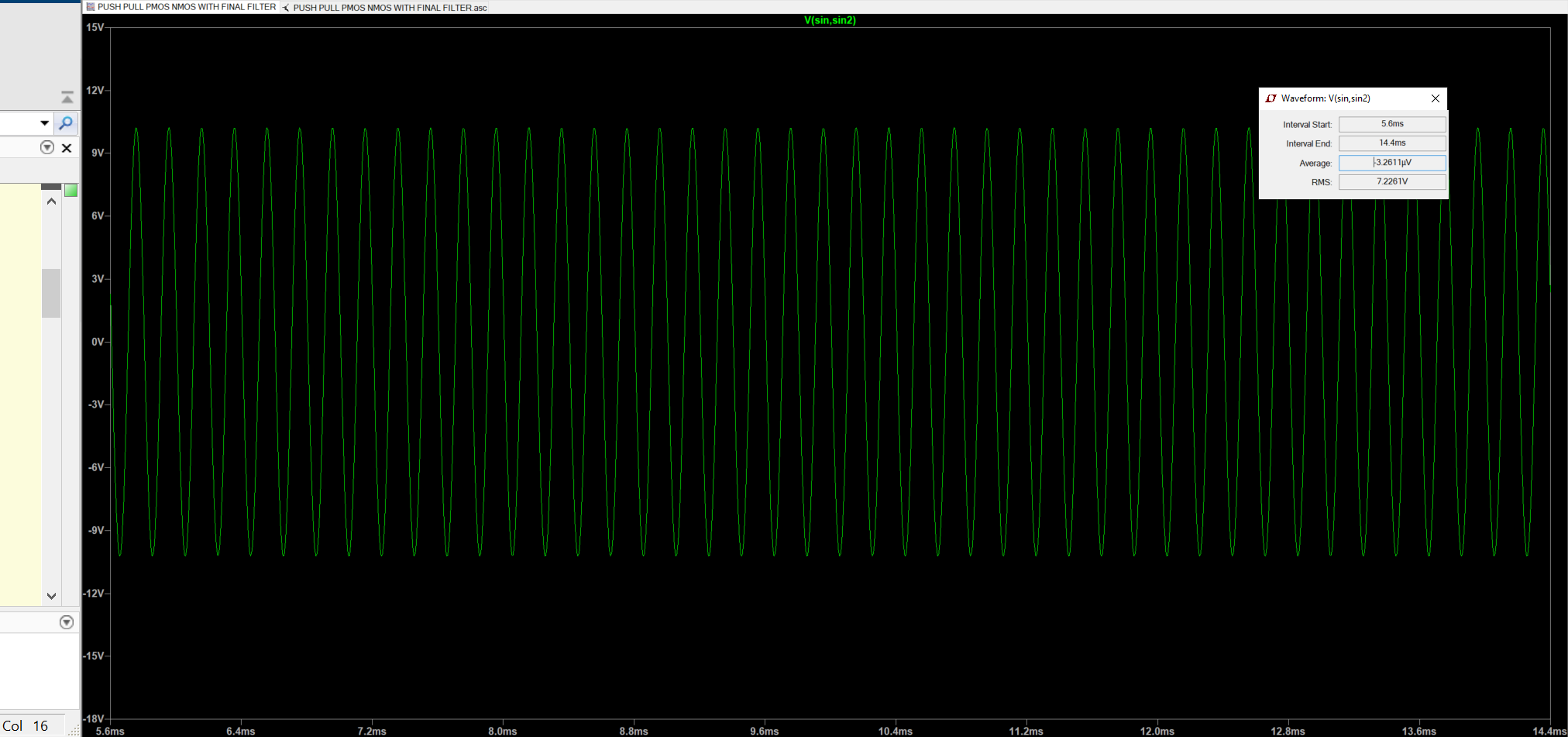


Figure 22 : Sinus de fréquence 5kHz obtenu par simulation LTspice

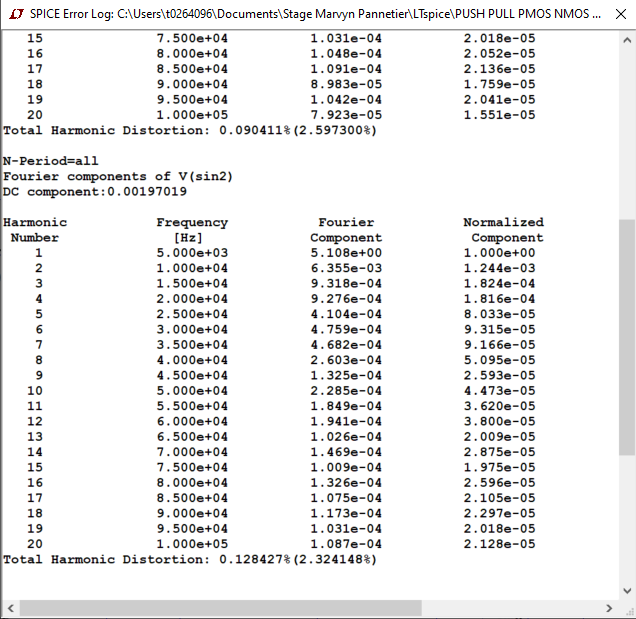


Figure 23 : copie écran LTspice du calcul du THD à 5kHz

Cette fois-ci on a un THD de 0.09% et 0.12% ce qui est tout autant acceptable vis-à-vis du cahier des charges.

A ce point, le filtre n’a plus de secret pour nous, il est temps de s’intéresser à un domaine très important qui est celui de la consommation, des pertes, du rendement !

### 1.5.3. Calcul théorique des pertes et du rendement

Dans cette partie, le but est d’estimer les pertes ainsi que le rendement du circuit développé. Bien sûr les deux sont liés et c’est pourquoi nous allons commencer par définir le rendement. Le rendement correspond au rapport de la puissance utile sur la puissance consommée ou encore de la puissance de sortie sur la puissance d’entrée



ou

Sur la figure ci-dessous sont encadré en rouge les composants qui vont engendrer des pertes, il y a en plus les pertes dans les MOSFET ainsi que celles dans les driver. Le rectangle vert lui identifie la résistance de la charge qui va dissiper la puissance.

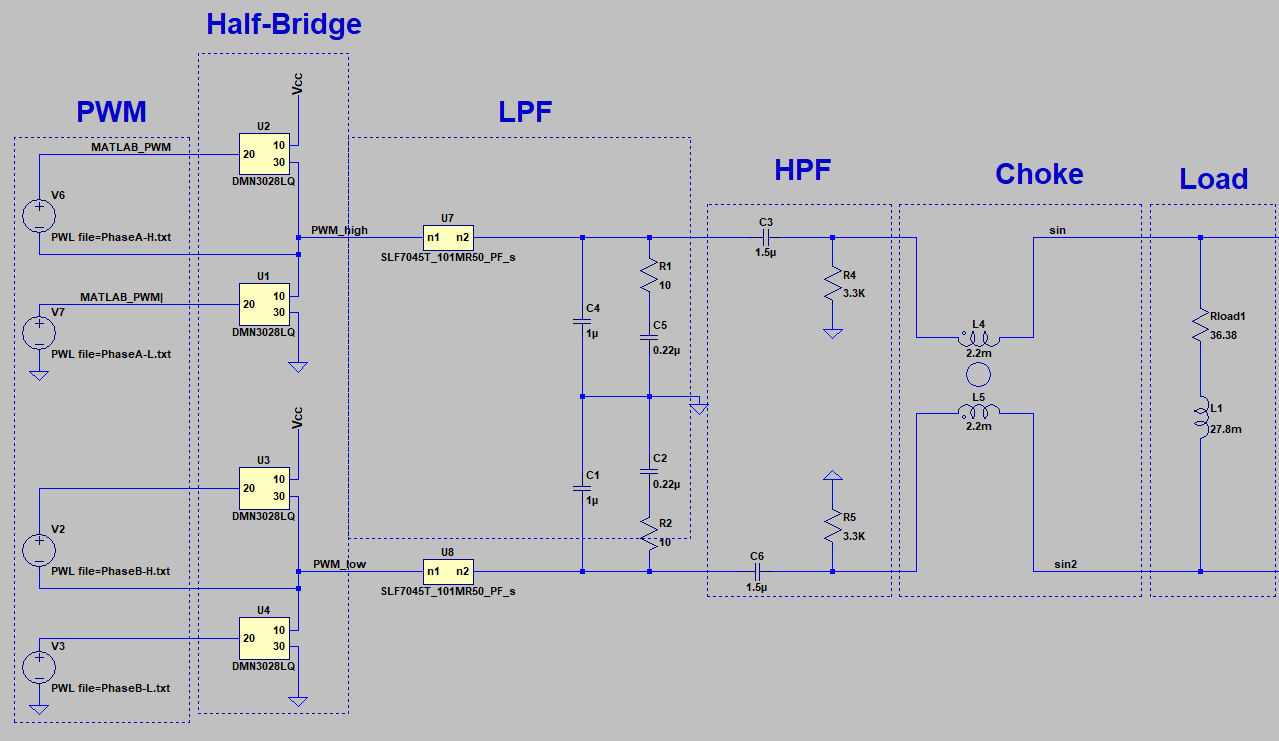


Figure 24 : Identification des pertes sur le schéma LTspice

J’ai ensuite définit chacune de ces puissances afin d’arriver à une forme plus précise du rendement :

On peut donc voir que la puissance de sortie est la puissance dans la charge et la puissance total consommée est l’addition des puissances qu’on peut voir ci-dessus. Je vais ensuite décrire chacune de ces puissances mais avant cela il faut savoir que j’ai rédigé un document sur Mathcad, qui est très complet et reprend toute les étapes et preuve de chaque calcul de rendement. Pour des raisons de place et d’intérêt pour le rapport je mettrai en annexe des copies écran de ce document et je vais uniquement sélectionner les points les plus importants dans cette partie.

Commençons par PL. On a les équations suivantes :





PL = Pout

Avec RL et ZL liés bien sûr, on a vu plus haut que pour ZL = 700Ω on a RL = 145.5Ω

 Ensuite on a Pdriver :

Avec Cg la capacité de grille des MOSFET à commander, 500pF dans notre cas, Fsw la fréquence de la PWM et Vcc la tension d’alimentation du driver. Ce qui donne pour une fréquence de 300kHz, Pdriver=9.6mW.

Pour Psnubber j’ai cherché à estimer sa valeur au plus près. Pour ça j’ai d’abord calculé la résistance équivalente du snubber puis la tension RMS au borne du snubber pour en déduire le courant et il ne reste plus qu’à multiplier la résitance du snubber par le courant au carré.

 D’abord le calcul de l’impédance

### 

Ainsi, nous pouvons approximer le courant. Si on prend une tension d'alimentation de 8V, on peut supposer qu'il s'agit approximativement de l'amplitude maximale du sinus et en déduire par conséquent la valeur RMS :

### 

Il est maintenant possible de calculer la puissance estimée des snubber :

### 

Une autre perte est dû aux résistances de 3.3KΩ. On sait que nous voulons 7V RMS aux bornes de la charge, soit 3.5V RMS aux bornes de chaque résistance de 3.3KΩ. Le calcul est donc plus simple :



Sachant qu’il y a deux résistances, on a une puissance totale dissipée par les résistances de 7.4mW

L’inductance est une source de pertes à ne pas négliger étant donné que son ESR peut être assez conséquente et qu’elle est traversé par le courant maximum en sortie des étages demi pont. J’ai donc cherché à estimer le courant dans l’inductance. Après réflexion, le courant dans l’inductance dépend essentiellement du courant dans la charge et du courant tiré par les condensateurs C1 à la masse. Ce courant peut être estimé de la manière suivante :



Si on se met dans le cas ou 40mA traverse la charge on aurait donc un courant dans les inductances de : Iinductances = 120mA soit 60mA par inductance dû à la configuration différentielle. Il ne reste qu’à multiplier le courant au carré par la résistance ESR de l’inductance, qui dans notre cas vaut 250mΩ.



Soit environ 1mW.

Les dernières pertes à calculer sont dû au MOSFET et au ripple qui sont les suivantes :

Les pertes dans les MOSFET sont divisées en deux, les pertes de conduction et de commutation, on remarque un facteur 4 dans la dernière formule étant donné qu’il y a 4 MOSFET dans un circuit ACS.

Enfin les pertes du au ripple s’exprime de cette façon :



Pour finir cette partie, on peut à présent calculer le rendement qui correspond au rendement dans les conditions suivantes. Icharge = 40mA, Fsinus = 5kHz et Fsw=300kHz.



Soit un rendement de 64.3% ce qui est beaucoup plus que la fonction actuelle qui ne dépasse pas les 10% dans les meilleurs cas. De plus il est possible d’améliorer ce rendement en diminuant la fréquence de commutation des MOSFET, ce qui va cependant induire un plus grand ripple, il faut donc trouver le bon compromis sur le circuit réel.

Pour rappel, un document beaucoup plus détaillé sur les pertes se trouve en annexe et j’ai décidé de me concentrer uniquement sur les points clés de ce circuit dans ce rapport.

Pour conclure cette partie, LTspice permet de faire des mesures de puissance dissipée à travers les composants, j’ai donc mesuré les pertes dans la charge puis dans chacun des composants entourés sur la [Figure 24](#figure24) plus celle dans les MOSFET, en respectant les mêmes conditions que dans la théorie et j’obtiens finalement un rendement de 63.8%, ce qui est assez proche du résultat malgré les approximations dans la théorie.

La suite du rapport va aborder la génération des PWM ainsi que l’asservissement de la tension de sortie.

### 1.5.4. Implémentation de la génération des PWM

Pour générer les PWM, une carte NUCLEOH743ZI2 m’a été confiée, celle-ci permet de générer facilement des PWM avec les timers de base, allant jusqu’à 200kHz et en gardant une résolution de 10bit. Elle possède aussi un timer fonctionnant jusqu’à 480MHz et permettant de générer des PWM à plus de 300kHz tout en gardant une très bonne résolution.

La particularité ici va être de générer un PWM d’un le rapport cyclique est variable afin de représenter un sinus. Pour cela on utilise un tableau ayant des valeurs représentatives des amplitudes d’une sinusoïde en plus d’un timer et de la DMA (Direct memory access) afin de récupérer les valeurs dans la mémoire RAM et de les appliquer au registre influant sur le rapport cyclique de la PWM. On règle bien sur le timer permettant d’interroger la RAM afin de d’obtenir la fréquence du sinus voulu grâce à la formule suivante :

Avec TriggerFreq la fréquence à laquelle le timer va interroger la mémoire et NS le nombre de point utilisés pour représenter le sinus.

Une autre formule importante et celle de la résolution :

[Bits]

Cette formule permet de calculer le nombre de bit de rendement en fonction de la fréquence de la PWM et de l’horloge. Ces fréquences se choisissent dans le deuxième timer charger de la génération de la PWM. Sa fréquence d’horloge peut être réglée à 240MHz et on peut choisir un d’une période de 200kHz en jouant sur la variable ARR de la fonction suivante par exemple :

A partir de là je me suis fixé une résolution de 10bit minimum et j’ai fait les applications numérique pour différentes fréquences de PWM afin de réaliser des tests. La figure ci-dessous est une bonne représentation du fonctionnement décrit ci-dessus.

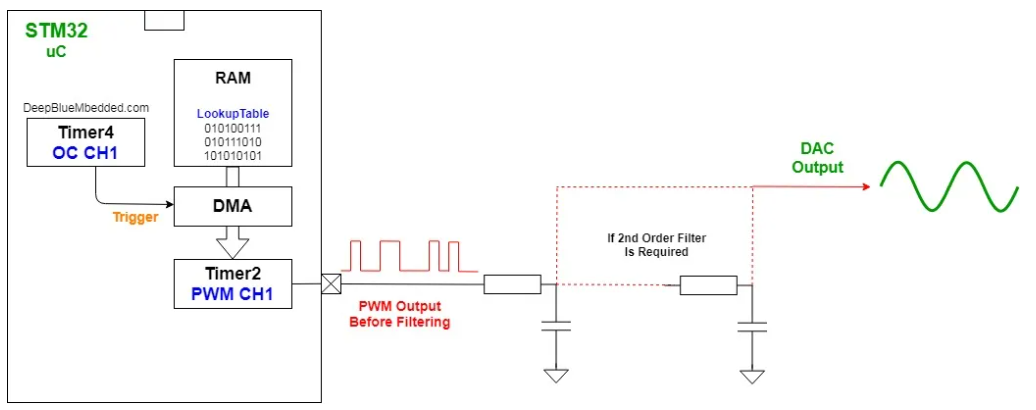


Figure 25 : Fonctionnement de la génération des PWM

Pour finir, il m’a suffi de répéter les manipulation en utilisant un deuxième tableau avec les mêmes valeurs de sinus mais déphasé de 180° afin de générer une deuxième PWM.

Ci-dessous une capture écran d’une PWM générée de fréquence 200Khz à partir de la carte nucleo.

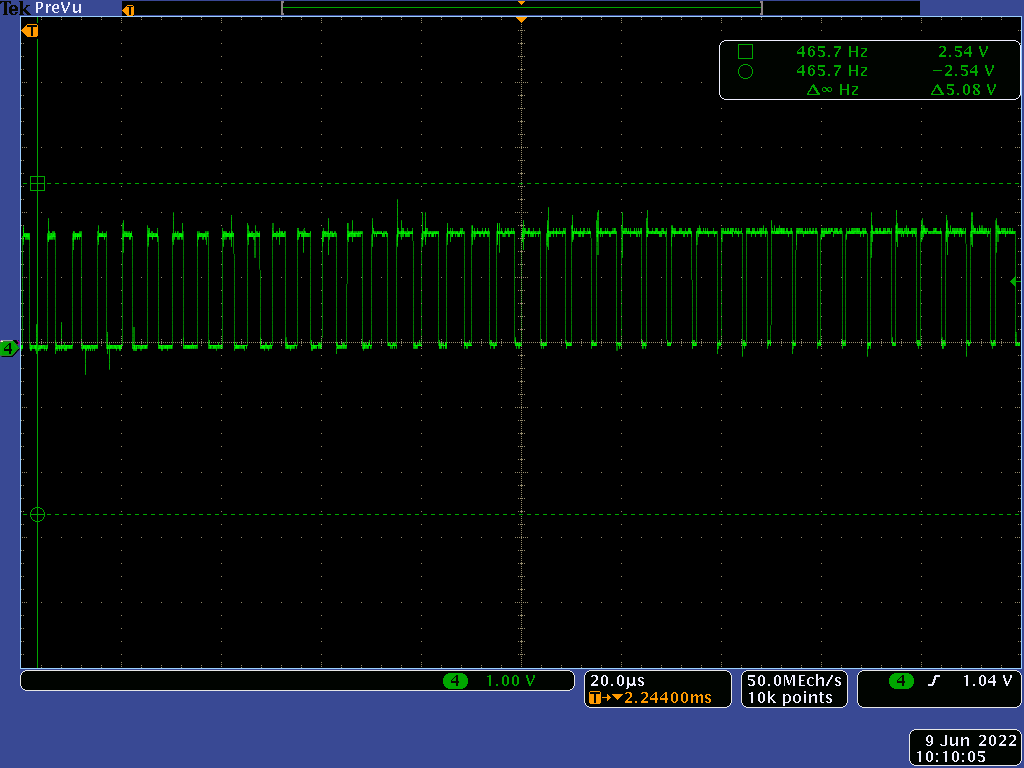


Figure 26 : SPWM générée à partir de la carte nucleo

Maintenant il est temps de s’intéresser à la partie plus automatique de mon stage, l’asservissement de la tension de sortie.

### 1.5.5. Asservissement de la tension de sortie

Un des buts du projet est de garantir la stabilité de la tension de sortie. Pour cela il a fallu imaginer un système permettant de corriger la sortie. La première étape est de mesurer la sortie, ensuite il faut appliquer un correcteur qui va venir corriger la commande et donc la sortie. Afin de simuler ce système j’ai pu utiliser MATLAB et Simulink, ci-dessous on peut voir le système simulink conçu pendant le stage.

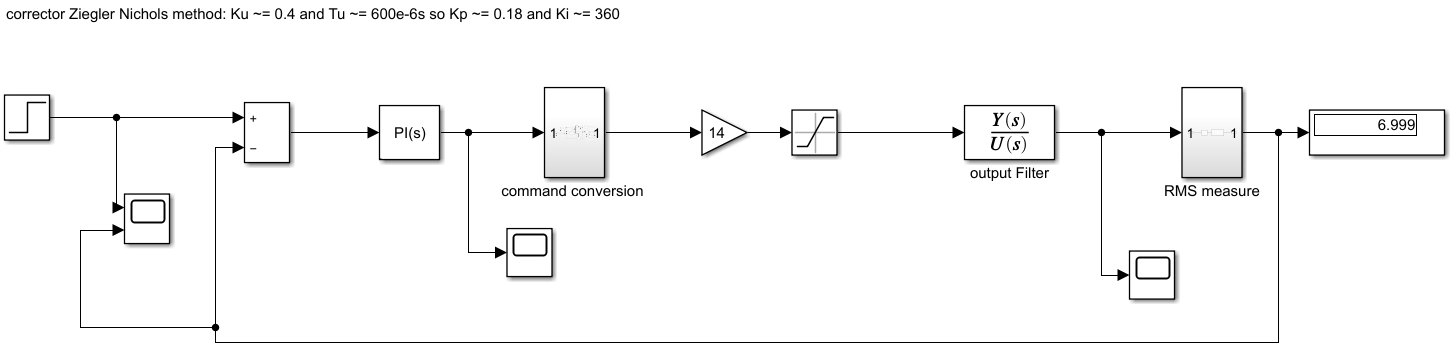


Figure 27 : Modèle de simulation Simulink de l’asservissement de la sortie

La première chose que j’ai faite a été de créer un bloc contenant la fonction de transfert du circuit., c’est-à-dire la fonction de transfert du filtre plus un gain dû à l’étage d’amplification. Ensuite j’ai créé la boucle et la commande puis j’ai inséré le correcteur PI. En fin j’ai ajouté un bloc permettant la conversion de la mesure en une commande. En effet une des problématiques de ce système et que la mesure correspond à la valeur RMS de la tension mais que le paramètre sur lequel il faut jouer pour changer la commande est l’indice de modulation de la PWM, autrement dit la plage sur laquelle le rapport cyclique varie. Par exemple de 3% à 97% de la période ou encore 10% à 90% de la période. De cette façon la valeur moyenne des cycles de la PWM augmente plus la plage du rapport cyclique et grande. C’est pour cela qu’il a fallu créer se bloque de conversion dont le contenu est le suivant :

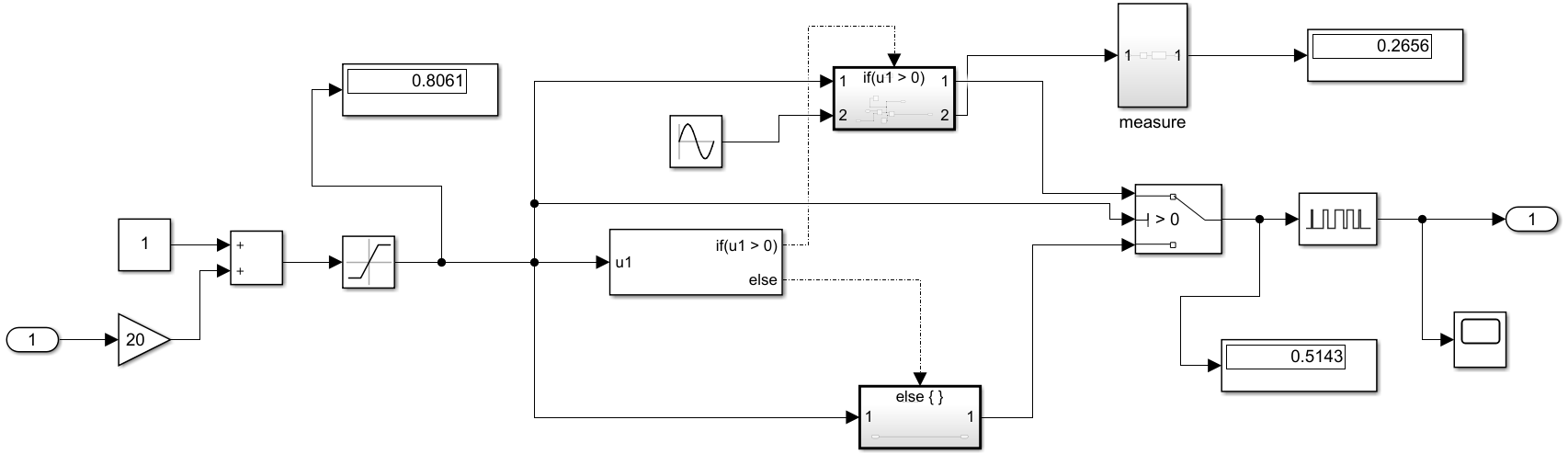


Figure 28 : Contenu du bloc de conversion de la mesure en commande

Il est un peu complexe à première vue. Ce bloque récupère la différence entre la valeur RMS souhaité et la valeur mesurée à la sortie, puis il multiplie ou divise cette valeur afin de modifier l’indice de modulation en conséquence. Ce bloque est un peu complexe car il est pas possible de changer l’indice de modulation directement, j’ai dû jouer sur l’amplitude d’une sinusoide qui influe sur les rapports cyclique de la PWM, c’est une contrainte uniquement dû à la simulation sur simulink puisque avec le correcteur qui sera implémenté sur la carte nucleo il suffira de multiplier les valeurs du tableau contenant les valeurs du sinus pour modifier l’indice de modulation.

Concernant le dimensionnement du correcteur j’ai utilisé la méthode de Ziegler Nichols pour trouver les valeurs du correcteur PI, en mesurant le gain maximal Ku et la période d’oscillation du signal Tu et en appliquant les formules de cette méthode. Au final je trouve un Kp=0.18 et Ki=360.

Finalement j’ai pu lancer des simulations en testant avec une commande de 5V à 8V. Les résultats sont satisfaisants est corrige bien la sortie de façon précise. Sur la [Figure 27](#figure27) on peut d’ailleurs voir dans l’afficheur de droite la valeur RMS de la sortie pour une commande de 7V, qui est de 6.999V, soit 1mV d’écart.

### 1.5.6. Schématique et routage du PCB

30min + BOM

### 1.5.7. Tests et mesures sur le PCB

1h

# Chapitre X. Conclusions et perspectives

Tout est dans le titre : vos conclusions sur le travail effectué dans ce stage, sur le projet, les perspectives éventuelles qui en découlent.

Un petit bilan :

* Conclusion sur le stage réalisé et sur les suites éventuelles de ce stage pour la société ou pour le laboratoire
* Ce que vous avez apporté pour la réalisation de ce sujet de stage
* Ce que ce stage vous a apporté (approfondissement, complément par rapport à votre formation INSA, par rapport à votre projet professionnel)

Environ 1 à 2 pages

# Annexes

Présentation de la société :

* Secteur ; cœur de métier ; types d’entreprise ; …..
* Nombre de salariés ; localisation ; …..

Et toute autre annexe que vous jugez utile

* Code Matlab
* Bibliographie

Doit commencer sur une page recto

Site script matlab

[LTSPICE #15: Measuring Total Harmonic Distortion (THD) - YouTube](https://www.youtube.com/watch?v=YPO3DEVzk90)

# Liste des Illustrations

Doit commencer sur une page recto

[Figure 1. Ceci est un mouton 1](#_Toc397721280)