



**I**NSTITUT **N**ATIONAL DES **S**CIENCES **A**PPLIQUEES

TOULOUSE

**Département de Génie Electrique & Informatique**

**PROJET DE FIN D’ETUDES**

**Spécialité : 5AE**

**Filière : ESPE**

**Stage ingénieur développement en électronique analogique**

|  |  |
| --- | --- |
| *Auteur* : | *Entreprise* : |
| Pannetier Marvyn | Thales |

|  |  |
| --- | --- |
| *Référent INSA* : | *Responsable du stage* : |
| Escriba Christophe | Tremblier Mégane |

Année 2021-2022

# Résumé

Ce rapport a pour but de présenter et décrire le déroulement de mon stage de fin d’études. Celui-ci est divisé en plusieurs sections afin de mieux appréhender les différentes étapes du stage. Dans un premier temps, une description du sujet est faite afin de cerner ces enjeux. Ensuite une partie est dédiée au planning initial et son évolution au cours du stage en fonctions des obstacles rencontrés ou non. La partie suivante, qui est la plus imposante concerne la réalisation du projet divisé en plusieurs étapes tels que la théorie ou simulation, chacune détaillée. Enfin une partie sur les tests et leur résultats suivi d’une conclusion viendrons terminer ce rapport. Après avoir lu ce rapport, le sujet et ses enjeux, les compétences que j’ai développées et mise à dispositions, mes réalisations, mes conclusions sur l’aspect technique comme humain sur cette expérience, seront clairs est connus du lecteur.

# Remerciements

Je tiens tout d’abord à remercier l’Institut National des Sciences Appliquées (INSA) pour m’avoir fait confiance. L’écoute et l’accompagnement dont j’ai bénéficié m’ont permis de trouver rapidement un stage, dans le but d’affiner mon projet professionnel et d’obtenir le diplôme auquel j’aspire depuis plusieurs années.   
  
Je remercie également Thales, qui a cru en mon potentiel et m’a accueilli au sein de ses équipes.

À ce titre, je souhaiterais remercier tout particulièrement madame, Mégane TREMBLIER, Elina FIAWOO ainsi que François ROBERT qui m’ont épaulées et conseillées et qui m’ont aussi transmis leur expertise dans le domaine de l’électronique analogique.

Ce stage m’a permis d’affiner certaines pistes pour bâtir mon projet d’orientation professionnel et signe l’aboutissement de mes études d’ingénieur.

# Table des matières

A (re)-générer (Menu Références -> Tables des Matières -> Insérer une Table des Matières)

Doit commencer sur une page recto

[Résumé ii](#_Toc12653521)

[Remerciements iii](#_Toc12653522)

[Table des matières iv](#_Toc12653523)

[Glossaire v](#_Toc12653524)

[Chapitre 1. Introduction 1](#_Toc12653525)

[Chapitre 2. Cadre et objectifs du stage 2](#_Toc12653526)

[Chapitre 3 et suivants. Réalisations 3](#_Toc12653527)

[Chapitre X. Conclusions et perspectives 4](#_Toc12653528)

[Annexes 4](#_Toc12653529)

[Chapitre Y. Consignes sur la rédaction (Titre niveau 1) 5](#_Toc12653530)

[1.1. Partie 1 (Titre niveau 2) 5](#_Toc12653531)

[1.1.1. Sous partie 1 (titre niveau 3) 5](#_Toc12653532)

[1.1.2. Sous partie 2 (titre niveau 3) 5](#_Toc12653533)

[1.2. Partie 2 (Titre niveau 2) 6](#_Toc12653534)

[Bibliographie 9](#_Toc12653535)

[Liste des Illustrations 10](#_Toc12653536)

# Glossaire

SEC: (Calculateur)

ACS: Alternating Current Signal

VDT: Variable Differential Transformer

ELAC:

FCC: Flight Control Computer

MFU: Multi Functions Unit

# Chapitre 1. Introduction

L’électronique analogique est un domaine vaste très présent dans de nombreux domaines. Le monde de l’aéronautique, étant le secteur d’activité principal de Thales, n’échappe pas à l’électronique analogique. En effet, même si la tendance est de plus en plus à l’utilisation d’électronique numérique, l’analogique reste néanmoins très présent et indispensable au bon fonctionnement des systèmes développés chez Thales.

Ce stage se déroule au sein de l’entité DMS de Thales, une entité plus orientée militaire, et à pour sujet le développement d’un circuit d’électronique analogique. Pour être plus précis, le but de ce stage est de reprendre un circuit existant et utilisé actuellement et concevoir, tester et valider un nouveau circuit analogique réalisant la même fonction tout en optimisant le coût, la surface, la consommation ou encore le rendement. L’aéronautique est un domaine où les circuits développés sont développés pour être fonctionnel plusieurs dizaines d’années, il est donc courant de trouver des cartes électronique développées avant les années 2000 par exemple. Cependant, les technologies ont grandement évolué ces dernières années, ce qui rend ces cartes beaucoup moins performantes sur les points cités précédemment. De plus, écologiquement parlant il est important de réduire les consommations des produits électroniques développés, ce qui donne à ce stage un enjeu plus fort, je trouve.

Au début de mon stage, 2 sujets plus spécifiques m’ont été proposés. Ils vont donc tous deux être présentés en détail dans la suite de ce rapport et le choix d’un d’eux sera justifié ensuite.

# Chapitre 2. Cadre et objectifs du stage

Les sujets qui vont être présenté ci-dessous, ne font pas partie d’un projet particulier mené par Thalès mais s’apparente plus à de la recherche technologique. En effet, la mission qui m’est confiée consiste à concevoir de nouveau circuits électronique pour remplacer les circuits utilisés actuellement et qui ont été conçu il y a plusieurs années. La but étant d’utiliser des technologies plus récente afin de diminuer la surface, le coût, l’efficacité…etc.

## Description des sujets

### 1.1.1. Sujet 1: Générateur de signaux alternatifs à base d’amplificateur de classe D

Le but de ce projet est de développer une nouvelle fonction analogique ACS\*, afin d'améliorer, si possible, la fonction actuelle. En effet, la solution actuelle utilise un amplificateur opérationnel de puissance linéaire et avait par conséquent une consommation et un rendement non optimaux. Environ 35% en considération optimiste en théorie. L'idée est donc de développer un nouveau circuit à l’aide d’un amplificateur de classe D à la place d'un amplificateur opérationnel linéaire, qui pourrait théoriquement avoir une meilleure efficacité. Cependant, certains points pourraient être problématiques, par exemple, le ripple de sortie due aux commutations qui peuvent engendrer des problèmes de CEM (EMI) et rendre ce circuit inutilisable car il ne respecte pas les gabarits d’émissions conduites imposés par les normes.

La fonction ACS est présente dans de nombreux calculateurs pour FCC (Flight Control Computer), car elle permet de stimuler les capteurs xVDT. Ces capteurs, représentés sur la figure 1, permettent de mesurer l'angle ou le mouvement en excitant la bobine primaire et en regardant les signaux de la bobine secondaire.

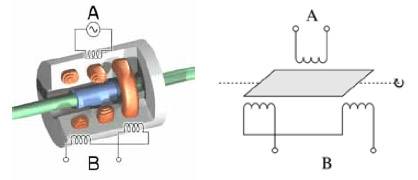


Figure 1: Schéma capteur LVDT

L'amplificateur de classe D sera une partie importante de ce projet. La figure 2, donne une vue globale de son fonctionnement, mais une étude plus spécifique sera faite dans le rapport.



Figure 2: Schéma simplifié d’un amplificateur de classe D

A partir de cette technologie, le but serait de concevoir un circuit générant une sinusoïde ayant une tension RMS imposée par le cahier des charges. De plus les capteurs de type xVDT sont excités par des tensions différentielles, c’est-à-dire que deux sinusoïdes de phases opposées sont appliquées aux bornes des capteurs. Il faut donc concevoir un circuit avec une sortie différentielle. Enfin une partie de ce sujet est axé sur l’asservissement de la tension différentielle au bornes du capteur, il faut donc designer un correcteur PI ou PID afin d’asservir cette tension afin qu’elle soit le plus stable possible.

### 1.1.2. Sujet 2: Solution de substitution à des DAC à l’aide de PWM

Le but de ce sujet est de pouvoir faire remplacer le DAC utilisé dans la conception actuelle par un circuit utilisant un PWM, suivi d'un filtre passe-bas. En jouant sur le duty cycle du PWM ainsi que sur la fréquence de sa porteuse et en utilisant un filtre passe bas on peut en retirer la composante continue. On arrive donc à retrouver le comportement d’un DAC générer notre tension continue à la valeur souhaitée. La Figure ci-dessous donne une idée clair du fonctionnement de ce système. On remarque un lien entre le duty cycle et al tension après filtrage, en commandant le duty cycle on peut donc générer la tension souhaitée en sortie, tout comme un DAC le fait.

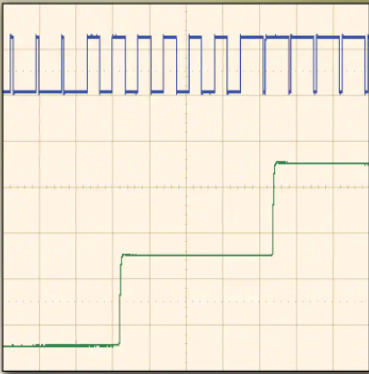


Figure 3 : Lien entre un PWM et le signal après le filtre

Cette solution a déjà fait ses preuves sur plusieurs autres systèmes embarqués et la littérature à son sujet est assez riche et claire. Le but de ce sujet est donc de concevoir un prototype de carte et d'évaluer précisément les gains ou les pertes en consommation, performances, coût et surface utilisée. L'objectif est bien sûr d'optimiser ces points.

En faisant une recherche rapide sur ce sujet, il semble qu'un des enjeux de cette méthode soit de trouver le juste équilibre entre la qualité du filtrage et le temps de réponse du système, selon l'application. En effet, la littérature indique que les filtres passe-bas utilisés sont des filtres d'ordre 1. Augmenter l'ordre de ce filtre rendrait la méthode beaucoup moins intéressante par rapport à la simple utilisation d'un DAC. De plus, réduire la fréquence de coupure du filtre augmentera le temps de réponse du système, mais permettra également d'obtenir un signal de sortie avec moins d'ondulation.

## 1.2. Choix du sujet et détails

Après quelques recherches pour comprendre les projets et leurs enjeux, j'ai décidé de choisir le premier sur la fonction ACS avec des amplificateurs de classe D. En effet, les deux sont très intéressants et pourraient m'apporter beaucoup de compétences, mais la problématique de l'amplificateur classe D avec de la commutation est quelque chose que je trouve vraiment attrayant et dans lequel j'aimerais aller plus loin.

Les deux sujets ont leurs propres particularités. Le second, avec le PWM est quelque chose de plus mature et avec plus de recul, mais les attentes sont par conséquent plus grandes. Cela signifie qu'à la fin du stage un prototype qui montre des améliorations doit être réalisé, alors qu'avec le premier projet le but est plus de déterminer si cette solution peut vraiment fonctionner et être intéressante. Bien sûr, cela ne signifie pas qu'il ne doit pas avoir un prototype complet qui fonctionne correctement à la fin. Dans chaque projet, le but est d'améliorer les solutions actuelles, mais le deuxième projet est un peu plus avancé et donc la problématique et les défis ne sont pas les mêmes.

Pour conclure ce choix, le premier projet a une dimension de challenge que j’apprécie particulièrement, et je suis sûr que j'apprécierai et apprendrai beaucoup en travaillant dessus.

Avant de passer à la suite, il est important de comprendre plus précisément ce qu’est un amplificateur de classe D. Premièrement, le but d'un amplificateur de classe D est d'amplifier la puissance d'un signal, cela signifie que la puissance (P= V\*I) sera plus grand après l’amplificateur qu'avant. Cela peut être fait en augmentant la valeur du courant et/ou de la tension. Si nous revenons à la [Figure 2](#fiure2), nous pouvons identifier plusieurs étapes.

En entrée, il y a deux signaux qui peuvent provenir d’un DAC ou d'un microcontrôleur par exemple. Le premier est le signal que nous voulons amplifier. Les amplificateurs de classe D sont souvent utilisés pour les applications audio pour lesquels le signal d'entrée est donc un signal audio. Pour notre application, ce signal sera une sinusoïde, car nous voulons une sinusoïde en sortie. Le deuxième signal est un signal en dents de scie. En utilisant un comparateur et ces deux signaux, nous pouvons créer un PWM représentant une sinusoïde via ces duty-cycles (SPWM). Ce n'est pas le seul moyen de générer un PWM, il en existe d'autres comme les modulations delta ou delta-sigma, qui permettent de contrôler la stabilité et l'erreur du SPWM, mais sont un peu plus difficiles à mettre en œuvre. La méthode utilisant un comparateur et une dent de scie mettra également les potentiels haut et bas PWM à Vcc et GND, ou Vcc- si l'alimentation est symétrique.



Figure 4: PWM modulation stage

Maintenant qu’un signal PWM est généré, nous pouvons l'utiliser pour contrôler l'étage de sortie avec ses MOSFET. Pour être plus précis cet étage est un demi-pont, les MOSFETS sont allumés et éteints alternativement, pour pousser et tirer le courant vers les potentiels d'alimentation. Le courant du signal sera amplifié dû aux caractéristiques des MOSFET et par conséquent la puissance aussi.



Figure 5: Amplifier stage

Enfin, pour récupérer la sinusoïde, un filtre doit être utilisé. Le filtre peut être un filtre passe-bas pour couper les hautes fréquences et ne garder que le sinus fondamental, mais un filtre passe-bande peut également être utilisé, si nous devons également couper le mode DC, pour supprimer le décalage. Après cette étape, nous avons la sinusoïde que nous voulions



Figure 6: Filter stage

Bien sûr, le fonctionnement du circuit qui va être développé pendant le stage va s’inspirer de ce fonctionnement mais ne va pas lui être identique à 100%. Le choix de l’architecture adapté au stage sera expliqué dans le chapitre 3, en fonction du cahier des charges et de l’objectif du stage.

## 1.3. Les objectifs et compétences

L’objectif fixé au début du stage était de concevoir le circuit décrit ci-dessus, d’estimer son rendement théoriquement ainsi que son coût et la surface qu’il prend, mais aussi de simuler ce circuit à l’aide du logiciel LTspice afin de confirmer la théorie et enfin, si le temps restant suffisait de faire un PCB avec des composants préalablement sélectionnés afin de faire des tests et mesures sur le circuit réel. En parallèle de ça, de la documentation concernant la théorie, mais aussi les simulations et les tests devait être rédigée afin de garder une trace claire de mon stage et réutilisable dans le futur. En résumé, je vais devoir appliquer mes compétences en électronique analogique et numérique, en automatique et informatique embarquées dû à l’asservissement de la tension de sortie expliqué plus tôt dans le rapport. J’ai notamment utiliser des logiciels sur lesquels j’ai été formé lors de mes études à l’INSA, LTspice pour les simulations électroniques, KICAD EDA pour la schématique et le routage MATLAB et Simulink pour les simulations de l’asservissement, STM32CubeIDE pour l’informatique embarquée, mais aussi des sites web tels que Octopart pour la gestion des BOM. De plus, j’ai découvert et me suis formé au logiciel Mathcad, un outil mathématique très puissant et utile.

J’ai réalisé toute ces tâches seul et non dans une équipe particulière, cependant j’ai eu un suivi hebdomadaire tout au long du stage afin de confirmer mes choix, de me réorienter dans la bonne direction si besoin et de me donner des conseils. Ce qui m’a permis d’avoir cette liberté au niveau de mes choix étant donné que je pouvais faire valider ceux-là par des personnes d’expériences et donc être sûr de ne pas m’égarer, mais aussi d’apprendre de leur expérience en discutant avec eux chaque semaine.

Dans la suite nous allons nous attarder sur la partie plus technique de mon stage, dans laquelle je vais détailler les différentes étapes que j’ai eu à traverser tout au long de mon stage.

# Chapitre 3 Réalisation

## 1.1. Planning

Une des premières choses que j'ai faites a été de créer un planning. Pour ce faire j'ai utilisé quelques documents qui présentent un cycle de vie d'un projet en V comme on peut le voir sur la figure 3 ci-dessous.

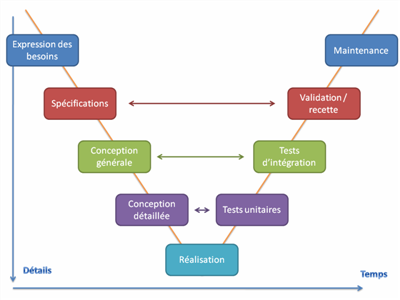


Figure 7 : Schéma du cycle de vie d'un projet

Dans un premier temps, j'ai décidé de faire mon planning au format GANTT. J'ai identifié à partir de la figure 3, les parties globales de ce projet puis j'ai essayé de trouver des sous-parties pour chacune des parties. Ensuite, j'ai estimé le temps pour chaque sous-partie et chaque partie et vérifié s'il était cohérent avec l'équipe qui m'encadrait sur ce projet. Enfin, j'ai obtenu ce que vous pouvez voir sur la figure suivante :

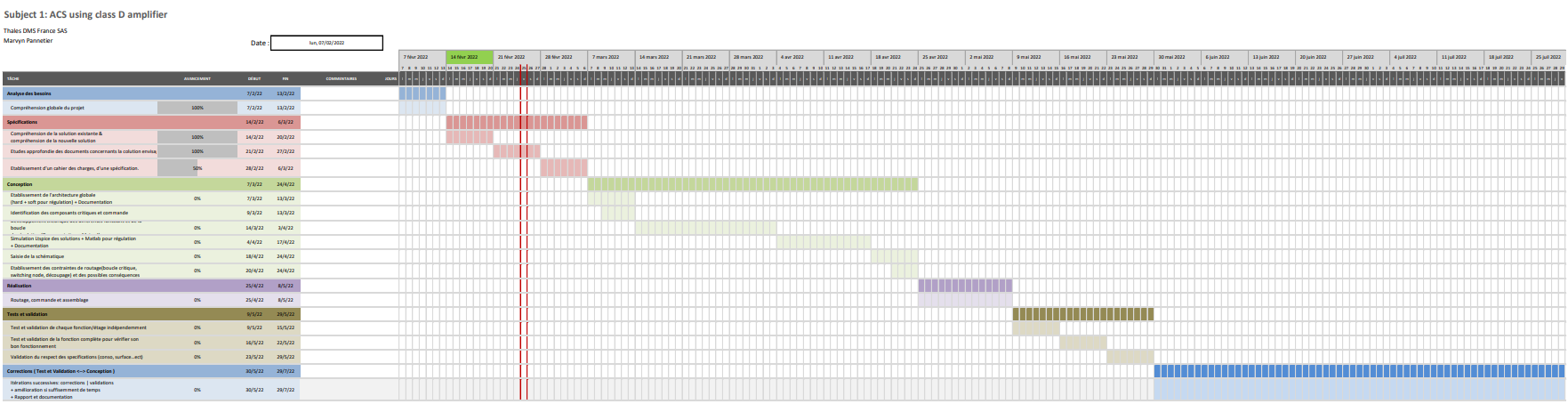


Figure 8: Vue globale du planning

Bien sûr, on ne pas voir grand-chose sur la figure 7, nous allons donc zoomer sur les différentes parties et les détaillées.

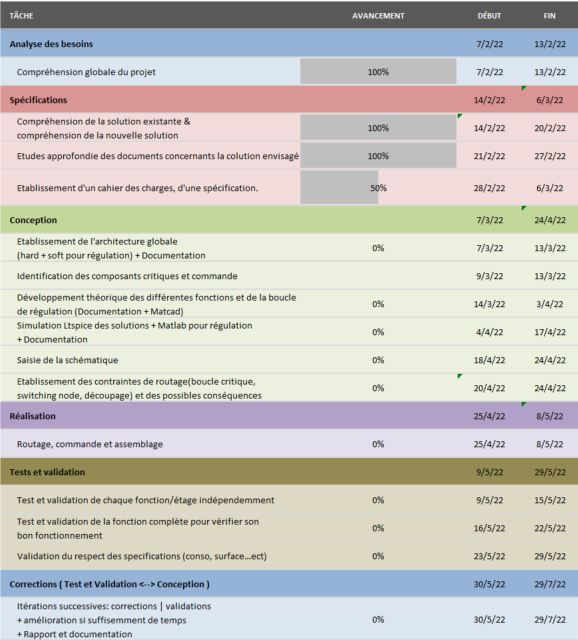


Figure 9: Zoom sur le planning

Sur la figure 5, toutes les parties et sous-parties apparaissent. Vous trouverez ci-dessous une liste des différentes parties et une explication de ce que je ferai à l'intérieur et du temps que j'ai estimé.

1. Analyse des besoins

Cette première partie consiste à appréhender le but du projet et ces enjeux, afin d’être efficace le plus tôt possible.

1. Spécification

Dans cette partie, mon objectif est de comprendre le projet dans sa globalité, d'avoir une première idée des circuits, composants qui seront nécessaires, et de faire des recherches sur les circuits principaux, comme l'amplificateur classe D. De plus, je dois faire un cahier des charges avec des valeurs, des besoins et des attentes claires. Ainsi, j'aurai mes objectifs pour la fin de mon stage.

1. Conception

C'est une partie importante car elle inclut de développer une architecture globale, de trouver des composants critiques, de théoriser et de simuler des solutions, et quand tout cela sera fait correctement, de créer un schéma final et quelques contraintes de routage importantes pour passer à l'étape suivante. Plus facile.

1. Implémentation

L'objectif de cette partie est de prévoir du temps pour acheminer, commander et assembler la carte prototype qui sera utilisée dans les parties suivantes.

1. Tests and validation

Afin de tester correctement le PCB, mon idée est d'abord de tester chaque circuit indépendamment et de les faire fonctionner, puis de tester tous les circuits ensemble pour s'assurer que les fonctions principales fonctionnent. Après cela, l'attention doit être portée sur le cahier des charges, répond-il à toutes les exigences ? Que peut-on encore améliorer ?

1. Corrections

Enfin, ce temps est là pour résoudre les problèmes s'il y en a, pour améliorer certaines choses pour mieux répondre au cahier des charges en revenant à la conception par exemple, mais aussi pour donner une réponse concernant la viabilité de cette solution, si c'est une bonne idée pour les futurs produits ou non. Encore une chose, ce temps servira également à finaliser la documentation et à capitaliser les informations même si cela se fait aussi pendant le reste du stage.

## 1.2. Evolution du planning

Les dates visibles sur la [Figure 9](#figure9) sont celles fixées dès le début du stage. Bien sûr celle-ci ont évolué en fonction des difficultés rencontrées ou non au fur et à mesure. Cette partie a pour but d’expliquer de façon général les changements qu’il y a eu sur ce projet et pourquoi.

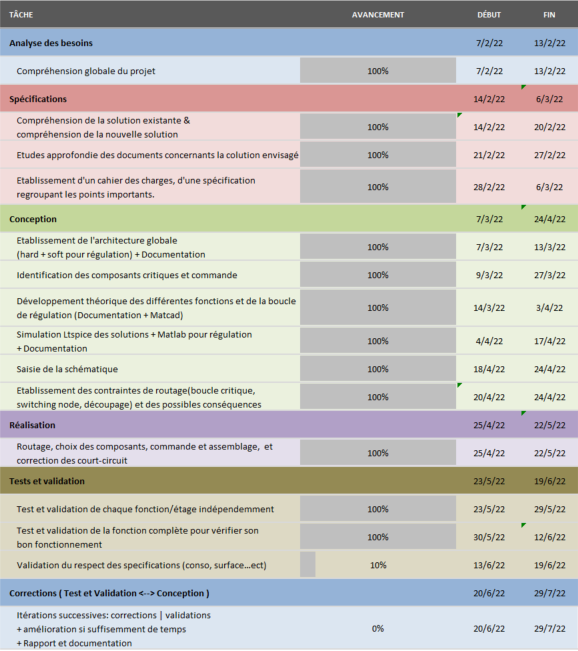
Pour commencer, les deux premières parties se sont passé comme prévu et la 3ème partie sur la conception a même pu débuter fin février. Comme expliqué plus haut, ces deux premières parties consiste essentiellement en la compréhension du projet, des objectifs, la création du cahier des charges…etc. J’ai donc eu le temps nécessaire pour faire cela dans le temps que je m’étais fixé au tout début du stage.

Abordons à présent la partie conception, qui est sans aucun doute une étape majeure de ce stage. Pour essayer de mieux prévoir la durée de cette période, la conception a été divisés en plusieurs sous parties et le temps global a été respecté seulement en réalité l’étape de développement théorique a duré moins longtemps que prévu et l’étape de simulation LTspice plus longtemps, surtout dû à la simulation du filtre passe bande, ce qui au final se compense et respecte relativement bien le planning initial.

L’étape suivante est dédiée au routage et assemblage du PCB. Cette étape était prévue sur deux semaines mais une formation a retardé le routage. De plus, nous avons décidé de faire le PCB en local, avec le Fablab présent à Thales plutôt que de le commander à un fabriquant spécialisé dans la fabrication de PCB mais qui aurait mis plus de temps à le livrer. Ce choix a aussi induit un retard car la technologie utilisée au Fablab ne permet pas de faire des pistes trop petites ou bien d’utiliser des composants avec des pas trop petit. Il a donc fallu chercher des alternatives à des composants déjà sélectionné mais ne pouvant donc pas être utilisés, ce qui a pris une ou deux journées de plus que prévu. Après cela le PCB a pu être fabriqué et il a fallu souder chaque composant à la main et faire des tests de continuité, ce qui a aussi pris 2 ou 3 jours afin d’avoir assemblée.

Enfin l’étape des tests a commencé par l’apparition de quelques court-circuit qu’il a fallu identifier et corriger, ce qui a aussi pris un peu plus quelques jours avant d’avoir une carte réellement fonctionnelle et pouvoir attaquer les tests. Au moment où ce rapport est rédigé les tests sont en cours et il reste environ 2 mois afin d’optimiser les résultats et de conclure sur cette conception.

Pour résumer, environ deux semaines de retards sont apparues par rapport au planning initial, ce qui n’est pas un problème étant donné qu’une période de plus d’un mois a été prévu pour résoudre ce genre de problèmes. Finalement le planning correspondant à l’évolution du stage jusqu’à aujourd’hui ressemble au suivant :



À présent, nous allons passer à l’aspect plus technique de ce stage en commençant par décrire le cahier des charges puis par parler des architectures imaginées pour réaliser la fonction ACS demandée.

## 1.3. Cahier des charges

Ici va être décrit le cahier de charge qui a cadré le stage et a permis de définir les objectifs de ce stage. Pour cela, je me suis appuyé sur deux types d’informations. La première correspond aux performances demandées à la fonction ACS dans les projets en général. La deuxième est la performance du circuit actuel, appelé ELAC, afin de fixer les objectifs à atteindre pour proposer une solution plus performante.

|  |  |
| --- | --- |
| Tension différentielle de sortie, aux bornes de la charge | 7.0+-0.7V RMS |
| Forme du signal de sortie | Sinus |
| Fréquence | Doit être capable de générer des sinusoïde de fréquence entre 1.9kHz et 5kHz |
| Précision de la fréquence du sinus de sortie entre les circuits ACS | Inférieur à 0.1Hz |
| Courant maximum dans la charge | 40mA min |
| Caractéristique de la charge | Charge inductive avec résistance parasite ayant pour facteur de puissance cos(ϕ) = 0.2079 soit ϕ |
| Surface | La surface actuelle pour un ACS ELAC est de 740mm2, il faut donc faire moins |
| Rendement | Un ACS ELAC a un rendement inférieur à 10%, il faut donc battre ce rendement et l’optimiser au maximum. |
| Ondulation sur le signal et stabilité | Inférieur à 100mV |
| Coût | Pas de référence mais le plus bas possible tout en respectant les points ci-dessus. |

## 1.4. Les architectures pour répondre au besoin

Pour rappel, le but est de remplacer un circuit réalisant la fonction ACS à base d’amplificateurs linéaires (AOP), par un circuit utilisant le phénomène de commutation et ses avantages.Pour cela, plusieurs solutions étaient possibles et j’ai donc décidé de les étudier et comparer afin de faire un choix et commencer la conception. Pour être plus précis, j’ai rapidement identifié 3 architectures possibles.

* La première utilise un composant dit COTS, c’est-à-dire un composant disponible sur le marché et prêt à l’emploi. Ce composant est un amplificateur audio de classe D qui prend en entrée un signal, qui serait un sinus dans notre cas et qui a pour sortie, un PWM amplifiée représentant le sinus d’entrée. L’avantage de cette solution est qu’elle peut être meilleure en terme de surface utilisée car c’est composant fonctionne avec de la microélectronique et non des composants analogiques, ce qui permet d’obtenir des composants très peu encombrants. Le coût peut aussi être un atout de cette solution mais avec la crise des composants actuelle, il ne l’est plus vraiment car les seuls composants encore disponibles sont à des prix assez élevés. Concernant les aspects négatifs, on peut y trouver la consommation étant donné que ce sont des composants designer pour une application audio et qui intègres plusieurs circuits de sécurité, filtrage, transformation du signal…etc, qui ne sont pas nécessaire à notre application et qui engendre des consommations supplémentaires. De plus le cahier des charges impose de prendre une PWM en entrée du système global car elle peut être générée avec un FPGA est donc peu coûteux en surface et consommation, ce qui imposerai de prévoir une étape de filtrage avant de rentrer dans l’amplificateur, qui demande une entrée analogique. Ce qui peut perturber le système et rend la solution moins viable.
* La deuxième solution est plus simple à expliquer puisqu’elle consiste aussi à utiliser un composant COTS, mais cette fois-ci avec une entrée PWM directement. Cela permet d’éviter le problème évoqué à la fin du dernier point et de garder le point positif de la surface utilisé assez faible. Seulement ce type de composant est assez rare et cher, surtout avec la crise, ce qui rend cette solution beaucoup moins attrayante. Enfin, encore une fois cette solution pourrait répondre au besoin mais serait toujours surdimensionnée et sur-consommatrice étant donné que ce type de composants intègre des circuits de sécurité, traitement de signal…etc, et son conçus pour fonctionner avec des signaux bien plus complexes qu’un sinus.
* Enfin la dernière architecture imaginée consiste à concevoir par moi-même un circuit à base d’étages push-pull ou demi-pont qui viendrait amplifier la PWM générée par le FPGA avec l’intermédiaire d’un driver de MOSFET pour commander correctement l’étage amplificateur. Cette solution à le bénéfice de s’adapter au cahier des charges sans en faire plus que besoin, elle permet aussi de diminuer la consommation du système de façon assez forte. Quant au coût ainsi qu’à la surface utilisée, ils semblent tout deux pouvoir concurrencer les deux solutions ci-dessus, ou en être proche.

Bien sûr un filtre passe bas ou bande est nécessaire à la sortie de ces trois solutions afin de filtrer les PWM qui ont été amplifiées et récupérer le sinus souhaité. Le tableau ci-dessous compare les trois solutions en exposants des chiffres afin de se faire une idée plus précise quant à la solution à retenir.

|  |  |  |  |
| --- | --- | --- | --- |
|  | Composant COTS avec entrée analogique | Composant COTS avec entrée PWM | MOSFET driver + étage d’amplification |
| Consommation | 35mA + courant tiré par la charge | 7.3mA + courant tiré par la charge | Moins de 1mA + courant tiré par la charge |
| Surface | Sans le filtre, entre 50 et 70mm2 | Sans le filtre, entre 60 et 90mm2 | 4 double NMOS: 4\*4.2=17.2mm2  4 gate drivers:  4\*9=36mm2  Total: 53.2mm2 |
| Prix (pour 500 unités) | Entre 1 et 2€ le composant | Plus de 3€ | NMOS : 4\*0.266€  Driver: 4\*0.243€  Total=2.036€ |
| Disponibilité |  |  |  |

Bien

Moyennement bien

Mauvais

A partir de ces résultats il m’a semblé plus cohérent de choisir la troisième solution n’utilisant pas de composants COTS. De plus cette architecture permet de développer des compétences plus approfondie autour de la commutation puisqu’il faut concevoir un étage d’amplification à base de MOSFET. Dans la suite de ce rapport nous considérerons cette architecture.

## 1.5. Conception

Dans cette partie nous allons aborder les différentes étapes de ma progression dans la conception du circuit. Mais avant ça, on peut observer ci-dessous un schéma plus précis de l’architecture choisie. J’ai fait ce schéma afin de clarifier mettre à plat l’allure global du circuit et les différents points à développer et qui vont d’ailleurs être décrits dans les sous-parties suivante.

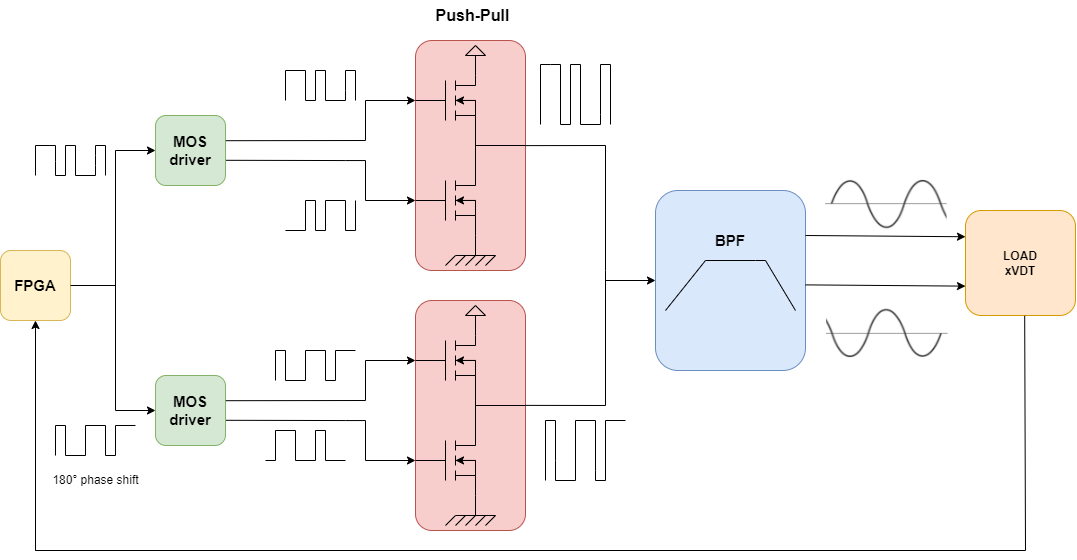


Figure 10 : Schéma du circuit à concevoir

Ce schéma a été réalisé au début du stage et pour le stage aucun FPGA ne sera utilisé mais la génération des PWM et l’asservissement de la tension de sortie seront réalisés à l’aide d’une carte NUCLEO-H743ZI2.

### 1.5.1. Etage d’amplification à base de NMOS

Commençons pat l’étage d’amplification. Afin de développer cet étage j’ai déjà commencé par faire des recherches sur les différents moyens de réaliser cet étage. Il en est ressortis 2 montages différents. Le premier utilisant 2 NMOS et le deuxième utilisant un NMOS et un PMOS comme on peut le voir sur la figure ci-après :

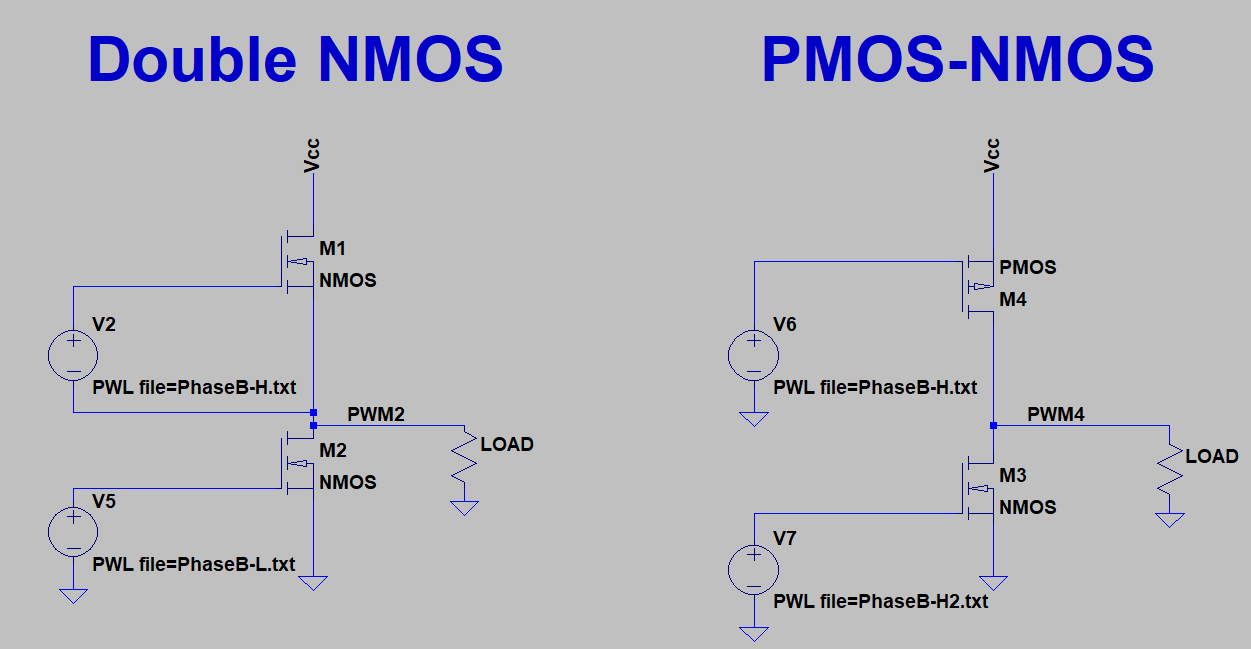


Figure 11 : Schéma des deux types de montage d’amplification

Sur cette figure on remarque, quelques différences. La première concerne la façon de commander les MOSFET. Pour rappel pour commander un MOSFET on agit sur la tension Vbe, celle-ci doit être positive et supérieur à un seuil imposé par le composant pour qu’un NMOS soit passant, et au contraire négative pour qu’un PMOS soit passant.

Sur la configuration à deux NMOS, le NMOS du bas a son émetteur à la masse, il suffit donc d’appliquer une tension positive et supérieur au seuil du NMOS pour qu’il devienne passant, et d’appliquer une tension nulle pour le bloquer, ce qui est fait avec une PWM entre 0 et 3.3V par exemple. Concernant le NMOS du haut, ce n’est pas la même histoire étant donné que le potentiel de son émetteur n’est pas connu à un instant précis. Ma première idée fût de commander ce MOSFET avec une PWM ayant un potentiel haut proche de celui de l’alimentation afin de m’assurer que celui est au-dessus du potentiel de l’émetteur et par conséquent faire entrer le NMOS en conduction. Seulement après quelques recherches, je me suis rendu compte que cette méthode n’était pas optimale et qu’il valait mieux faire ce qu’on peut voir sur le figure 11. Cette méthode consiste à référencer le potentiel bas de la PWM au potentiel de l’émetteur, ce qui est fait dans les driver destinés à commander ce genre de circuit.

Le NMOS du bas sur la configuration utilisant un PMOS et un NMOS fonctionne de la même façon que sur le montage précédent. Le PMOS lui fonctionne à l’inverse, je m’explique. Son émetteur étant à Vcc et ayant rappelé que sa tension Vbe doit être négative pour qu’il soit passant, il faut donc un potentiel sur la grille inférieure à Vcc moins la tension de seuil afin qu’il passe. En revanche, lorsque le potentiel de grille est à Vcc la tension Vbe est nulle est le PMOS devient bloquant. Il faut donc le commander avec une PWM dont l’état haut est à Vcc et bas à 0V ou du moins en dessous du seuil.

Un autre point important est ce qui est appelé Deadtime. Le Deadtime comme son nom l’indique est un temps mort appliqué entre les 2 PWM de commande afin d’éviter des court-circuit. En effet, si les deux transistors commutent en même temps il existe un temps durant lequel les deux transistors sont passant et crées un court-circuit. Ce phénomène est dû aux temps de monter et descente des PWM qui ne sont jamais nul dans la réalité. Un moyen simple de contrer cela et d’insérer un temps mort entre la commande des deux transistors, de cette façon lorsque le devienne commutera, le premier l’aura déjà fait et donc pas de problème de court-circuit.

Finalement, j’ai fait le choix d’utiliser le montage utilisant deux NMOS car ils est plus courant et on trouve donc plus facilement des driver qui ce montage et deuxièmement un NMOS se base sur de la conduction d’électron contrairement aux PMOS qui se base sur la conduction des trous, les électrons ayant une plus grande mobilité que le trous, cela rend les NMOS souvent plus performants.

**EXPLICATION PWM MATHLAB !!!**

**SIMULATION PHOTO !!!!**

### 1.5.2. Filtre passe bande

Explication du filtre

Demo des charges

### 1.5.3. Calcul théorique des pertes

### 1.5.4. Mesure des pertes sur les simulations

### 1.5.5. Implémentation de la génération des PWM

### 1.5.6. Asservissement de la tension de sortie

Conception : théorie( filtre(dimmensionnement), demi-pont (nmos pmos, méthode de commande), autom) + simu + automatique + simu

BOM choix des composatns et justification (Choix solution industrielle et ensuite choix prototype)

Schématique, routage + moyen de tests

Total : environ 25-30 pages

A adapter le sens de « réalisations » selon le contexte (cela peut être un état de l’art, un travail de conception, un travail de développement, de validation, de tests, de gestion de projet, ….)

Ne pas forcément tout présenter mais faire en sorte que l’ensemble corresponde à un volume de travail pertinent.

Présentez l’architecture générale du projet sur lequel (ou dans lequel) vous avez travaillé afin de permettre au lecteur d’avoir une vue d’ensemble de votre travail.

Pour chaque réalisation présentée dans le rapport, explicitez les choix techniques effectués, le travail réalisé, le résultat obtenu, les outils utilisés, …

Bien évidemment, vous n’avez pas forcément la liberté de décider des choix techniques lors de votre PFE, mais dans le rapport on vous demande de prendre du recul sur les choix effectués et de fournir votre analyse de ces choix-là.

Ces chapitres de réalisation ne sont pas une « documentation technique » destinée à la société et n’ont pas vocation à être un « manuel utilisateur ».

Le rapport sert aux enseignants INSA à évaluer votre démarche, la prise de recul ou la synthèse que vous effectuez sur votre travail et l’analyse que vous pouvez mener. Les difficultés rencontrées ou les impasses peuvent être analysées dans ce rapport.

# Chapitre X. Conclusions et perspectives

Tout est dans le titre : vos conclusions sur le travail effectué dans ce stage, sur le projet, les perspectives éventuelles qui en découlent.

Un petit bilan :

* Conclusion sur le stage réalisé et sur les suites éventuelles de ce stage pour la société ou pour le laboratoire
* Ce que vous avez apporté pour la réalisation de ce sujet de stage
* Ce que ce stage vous a apporté (approfondissement, complément par rapport à votre formation INSA, par rapport à votre projet professionnel)

Environ 1 à 2 pages

# Annexes

Présentation de la société :

* Secteur ; cœur de métier ; types d’entreprise ; …..
* Nombre de salariés ; localisation ; …..

Et toute autre annexe que vous jugez utile

Bibliographie

Doit commencer sur une page recto

# Liste des Illustrations

Doit commencer sur une page recto

[Figure 1. Ceci est un mouton 1](#_Toc397721280)