

بسمه تعالی



گزارش کار پنجم آزمایشگاه معماری کامپیوتر

طراحی مبدل دهنده به دودویی

استاد: دکتر سربازی

دستیار آموزشی: سرکار خانم غیبی

نویسندگان

مریم شیران 400109446

فرزام کوهی رونقی 401106403

ثنا بابایان ونستان 401105689

دانشگاه صنعتی شریف

تابستان ۱۴۰۳

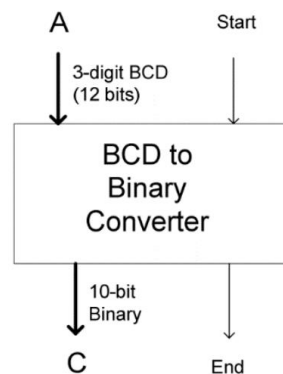
## فهرست مطالب

۱ آزمایش پنجم: طراحی مبدل دهنده به دودویی .....	۱
۱-۱ مقدمه و هدف .....	۱
۱-۲ تجزیه و تحلیل تئوری آزمایش .....	۱
Data Path طراحی .....	۳
و باقی اجزای مدار Control Unit طراحی .....	۳
۱-۳ شرح دستگاه ها و وسایل مورد استفاده .....	۳
۱-۴ شرح آزمایش .....	۵
۱-۵ منابع و مراجع .....	۱۰

## ۱ آزمایش پنجم: طراحی مبدل دهمی به دودویی

### ۱-۱ مقدمه و هدف

هدف این آزمایش طراحی و اجرای یک مبدل BCD به باینری سه رقمی است. ورودی‌ها و خروجی‌های مدار در شکل زیر نشان داده شده‌اند. وقتی سیگنال Start فعال می‌شود، مدار شروع به محاسبه خروجی می‌کند. پس از پایان عملیات، سیگنال End فعال شده و نشان می‌دهد که خروجی آماده است.



شکل ۱. ورودی‌ها و خروجی‌های مدار

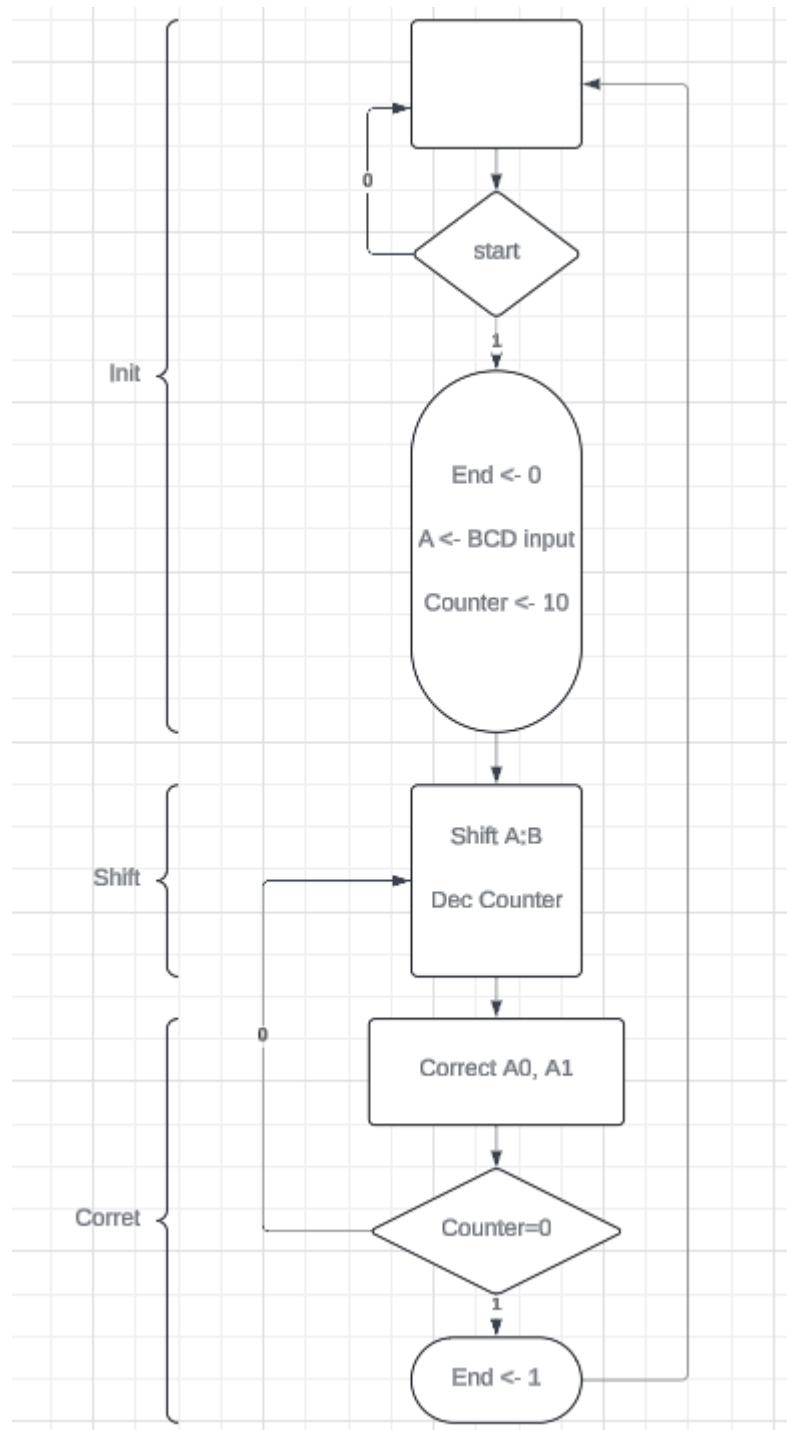
### ۲-۱ تجزیه و تحلیل تئوری آزمایش

برای تبدیل یک عدد دهدهی با  $n$  رقم به باینری، الگوریتم زیر را دنبال می‌کنیم:

- الف) عدد دهدهی ورودی را یک بیت به راست شیفت دهید.
- ب) اگر با ارزش‌ترین بیت رقم  $i$ ام یک باشد، از آن رقم ۳ تا کم کنید  $(1 \leq i < r)$ .
- ج) مراحل الف و ب را تا زمانی که تمام ارقام دهدهی صفر شوند تکرار کنید (حداکثر ۱۰ بار تکرار لازم است).

نسخه باینری عدد اصلی از بیت‌هایی که به سمت راست جابجا شده‌اند، ساخته می‌شود.

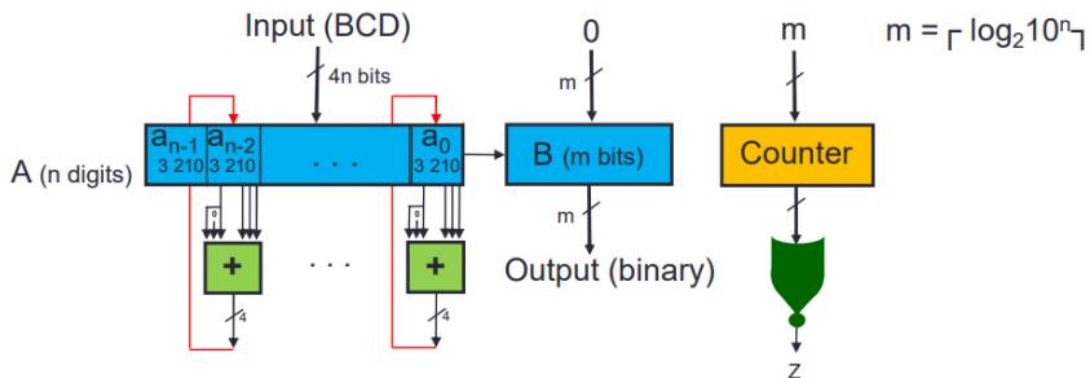
ابتدا ASM Chart مربوط به مساله را طراحی می‌کنیم و سپس با استفاده از آن Data Path و Control Unit را طراحی می‌کنیم.



شکل ۲. چارت  
ASM

## طراحی Data Path

اکنون مطابق RTL های موجود، Data Path را طراحی میکنیم؛ همان طور که در درس معماری، دکترسربازی اشاره میکنند؛ حاصل به قسم زیر میشود:



شکل ۳. طراحی مسیر داده

## طراحی Control Unit و باقی اجزای مدار

الگوریتم مورد نظر را به صورت یک نمودار ASM با سه وضعیت طراحی می‌کنیم. برای اطمینان از اینکه مدار در آغاز به کار در وضعیت INIT قرار گیرد، یک سیگنال Reset به مدار اضافه می‌کنیم که فقط در ابتدای شبیه‌سازی فعال می‌شود (همان‌طور که در ادامه خواهیم دید، این سیگنال به صورت آسنکرون عمل می‌کند).

### ۱-۳ شرح دستگاه‌ها و وسایل مورد استفاده

برای شبیه‌سازی تیوری نرم افزار Proteus استفاده میشود. در زیر نام و توضیح مختصری از قطعات استفاده شده قابل مشاهده است.

#### :7SEG-BCD-GRN

این یک نمایشگر ۷ قسمتی با رنگ سبز است. برای نمایش داده‌های عددی به صورت بصری استفاده می‌شود "BCD". نشان می‌دهد که ورودی آن به صورت کد باینری-دهمی است.

#### :74HC4002

این یک IC دوگانه ۴-ورودی NOR از سری ۷۴HC است. عملیات NOR را بر روی حداکثر چهار ورودی در هر گیت انجام می‌دهد.

**:4072**

این IC شامل دو گیت OR چهار ورودی است. یک دستگاه CMOS است که برای انجام عملیات منطقی OR استفاده می‌شود.

**:7474**

این یک فلیپ‌فلاپ نوع D دوگانه با لبه مثبت تریگر شده است. دارای قابلیت‌های preset و clear است و برای ذخیره داده‌های باینری استفاده می‌شود.

**:7483**

این یک جمع‌کننده کامل باینری ۴ بیتی است. دو عدد باینری ۴ بیتی را جمع می‌کند و خروجی مجموع و carry را تولید می‌کند.

**:74157**

این یک مالتی‌پلکسر چهارگانه ۲-به-۱ است. بین دو خط ورودی ۴ بیتی انتخاب می‌کند و یک خط خروجی ۴ بیتی ارائه می‌دهد.

**:74164**

این یک شیفت رجیستر ۸ بیتی سریال به موازی است. داده‌ها را از طریق یک سری فلیپ‌فلاپ‌ها شیفت می‌دهد و نتیجه را به صورت موازی خروجی می‌دهد.

**:74191**

این یک شمارنده همزمان ۴ بیتی بالا/پایین است. می‌تواند به سمت بالا و پایین شمارش کند و دارای قابلیت preset است.

**:74194**

این یک شیفت رجیستر ۴ بیتی دو طرفه جهانی است. می‌تواند داده‌ها را به سمت چپ، راست شیفت دهد، داده‌های موازی بارگذاری کند و وضعیت فعلی را نگه دارد.

**:AND**

یک گیت AND پایه که برای عملیات منطقی AND استفاده می‌شود. فقط زمانی خروجی درست می‌دهد که همه ورودی‌های آن درست باشند.

## **:BUTTON**

یک کلید فشاری که برای ارائه ورودی دستی، معمولاً برای آزمایش یا تعامل کاربر استفاده می‌شود.

## **:LOGICPROBE**

یک پروب منطقی که برای تست و نشان دادن وضعیت منطقی (بالا، پایین یا نوسانی) یک مدار دیجیتال استفاده می‌شود.

## **:LOGICSTATE**

این قطعه وضعیت منطقی یک نقطه در مدار را نشان می‌دهد، معمولاً برای رفع اشکال استفاده می‌شود.

## **:NAND**

یک گیت NAND پایه که برای عملیات منطقی NAND استفاده می‌شود. مگر اینکه همه ورودی‌های آن درست باشند، خروجی درست می‌دهد.

## **:NOR**

یک گیت NOR پایه که برای عملیات منطقی NOR استفاده می‌شود. فقط زمانی خروجی درست می‌دهد که همه ورودی‌های آن غلط باشند.

## **:NOT**

یک گیت NOT (اینورتر) پایه که برای معکوس کردن وضعیت منطقی ورودی خود استفاده می‌شود.

## **:OR**

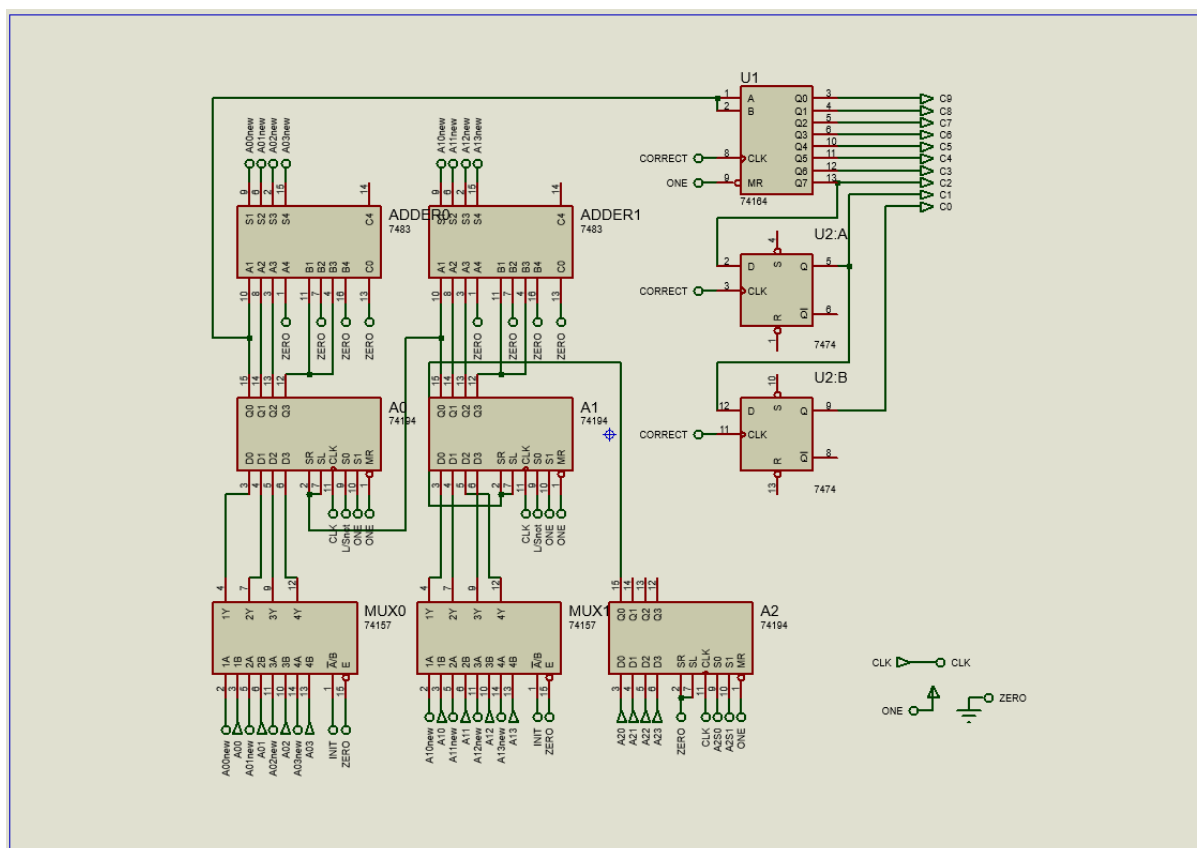
یک گیت OR پایه که برای عملیات منطقی OR استفاده می‌شود. اگر حداقل یکی از ورودی‌های آن درست باشد، خروجی درست می‌دهد.

## **:RESISTOR**

یک قطعه الکترونیکی پسیو که برای محدود کردن جریان یا تقسیم ولتاژ در مدار استفاده می‌شود.

## **۴-۱ شرح آزمایش**

در زیر طراحی داخلی Data Path را بررسی میکنیم.



شکل ۴.

در طراحی این قسمت، از سه جزء اصلی استفاده می‌کنیم:

۱. **شیفت رجیسترها: (74194)** سه شیفت رجیستر ۴ بیتی (تراشه‌های ۷۴۱۹۴) برای ذخیره ارقام دهمی (A2)، A1، (A0) استفاده می‌شوند.
۲. **جمع‌کننده‌ها: (7483)** دو جمع‌کننده ۴ بیتی (تراشه‌های ۷۴۸۳) برای عملیات اصلاح روی ارقام A0 و A1 استفاده می‌شوند.
۳. **شیفت رجیستر + 74164 (فلیپ‌فلاپ‌های D)**؛ یک شیفت رجیستر ۱۰ بیتی با استفاده از یک شیفت رجیستر ۸ بیتی (تراشه ۷۴۱۶۴) و دو فلیپ‌فلاپ نوع D ساخته می‌شود.

پیکربندی شیفت رجیسترها:

- سه شیفت رجیستر ۴ بیتی به صورت سری متصل شده‌اند، به طوری که همه آنها به صورت همزمان به راست شیفت می‌خورند.
- از مالتی‌پلکسرهای در ورودی‌های رجیسترهای A0 و A1 برای بارگذاری مقادیر جدید در مرحله CORRECT استفاده می‌شود.



سیگنال‌های کنترلی:

- واحد کنترل سیگنال‌های کنترلی لازم برای همه اجزا را تولید می‌کند.
- تراشه ۷۴۱۶۴ سیگنال Enable ندارد و با هر پالس کلاک یک بیت به سمت راست شیفت می‌کند. بنابراین، سیگنال CORRECT به عنوان کلاک برای این تراشه استفاده می‌شود تا شیفت در انتهای حالت SHIFT و ابتدای حالت CORRECT، همزمان با لبه بالارونده سیگنال CORRECT انجام شود.
- خروجی‌های شیفت رجیستر ۱۰ بیتی به عنوان خروجی‌های اصلی مدار در نظر گرفته می‌شوند.

در زیر به حالت‌های عملیاتی شیفت رجیستر اشاره می‌کنیم:

$S1$	$S0$	Operation
1	1	Parallel Load
1	0	Shift Right
0	1	Shift Left
0	0	Hold

شکل ۵.

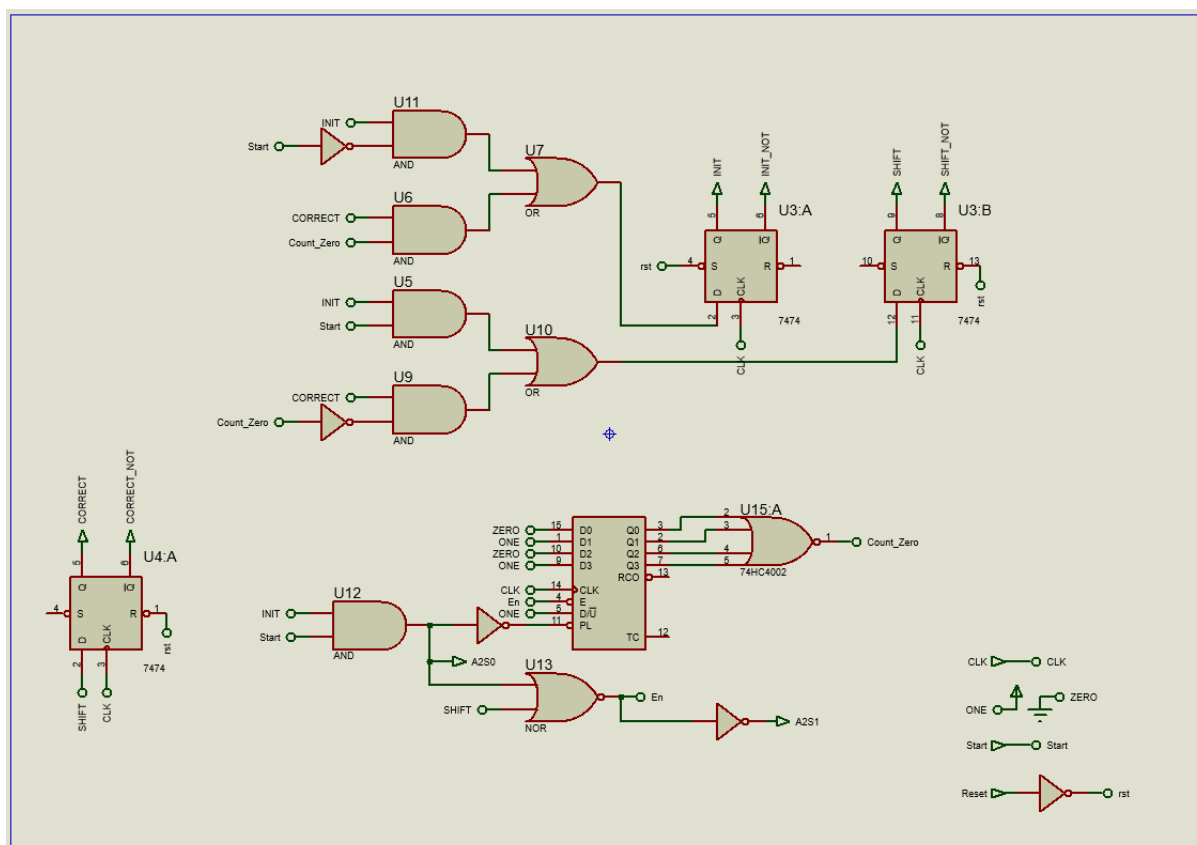
پیکربندی رجیسترهای A0 و A1

- رجیسترهای A0 و A1 یا در هر پالس کلاک شیفت می‌خورند یا بارگذاری می‌شوند، بنابراین نیازی به حالت نگه داشتن و شیفت به چپ ندارند.
- سیگنال S1 برای این رجیسترها همیشه ۱ تنظیم می‌شود.
- سیگنال S0 فقط در حالت SHIFT برابر با ۰ و در سایر حالات برابر با ۱ تنظیم می‌شود.

پیکربندی رجیستر A2

- رجیستر A2 فقط در حالت INIT بارگذاری می‌شود و باید در حالت CORRECT مقدار خود را نگه دارد، بنابراین به حالت نگه داشتن نیاز دارد.
- سیگنال‌های S1 و S0 برای این رجیستر مستقیماً توسط واحد کنترل ساخته می‌شوند.

در زیر طراحی داخلی Control Unit را بررسی می‌کنیم.



شکل ۶.

واحد کنترل به صورت Hot-One طراحی شده و مستقیماً از روی نمودار ASM شکل ۳ حاصل می‌شود. مراحل طراحی به صورت زیر است:

پیکربندی فلیپ‌فلاپ‌ها

- **حالت‌ها:** سه فلیپ‌فلاپ برای سه حالت استفاده می‌شود.
- **سیگنال ریست:**
  - سیگنال ریست به ورودی Set فلیپ‌فلاپ INIT وصل می‌شود.
  - سیگنال ریست به ورودی Clear فلیپ‌فلاپ‌های SHIFT و CORRECT وصل می‌شود.
  - این پیکربندی تضمین می‌کند که با فعال شدن سیگنال ریست، مدار به صورت آسنکرون وارد حالت INIT شود.

انتقال حالت:

- **مراجعه به نمودار ASM:** با استفاده از فلش‌های ورودی به هر حالت در نمودار ASM (شکل ۳)، منطق ورود به هر حالت ساخته می‌شود.
- **ورودی‌های فلیپ‌فلاپ:** منطق ورود به هر حالت به ورودی فلیپ‌فلاپ مربوط به آن حالت داده می‌شود.

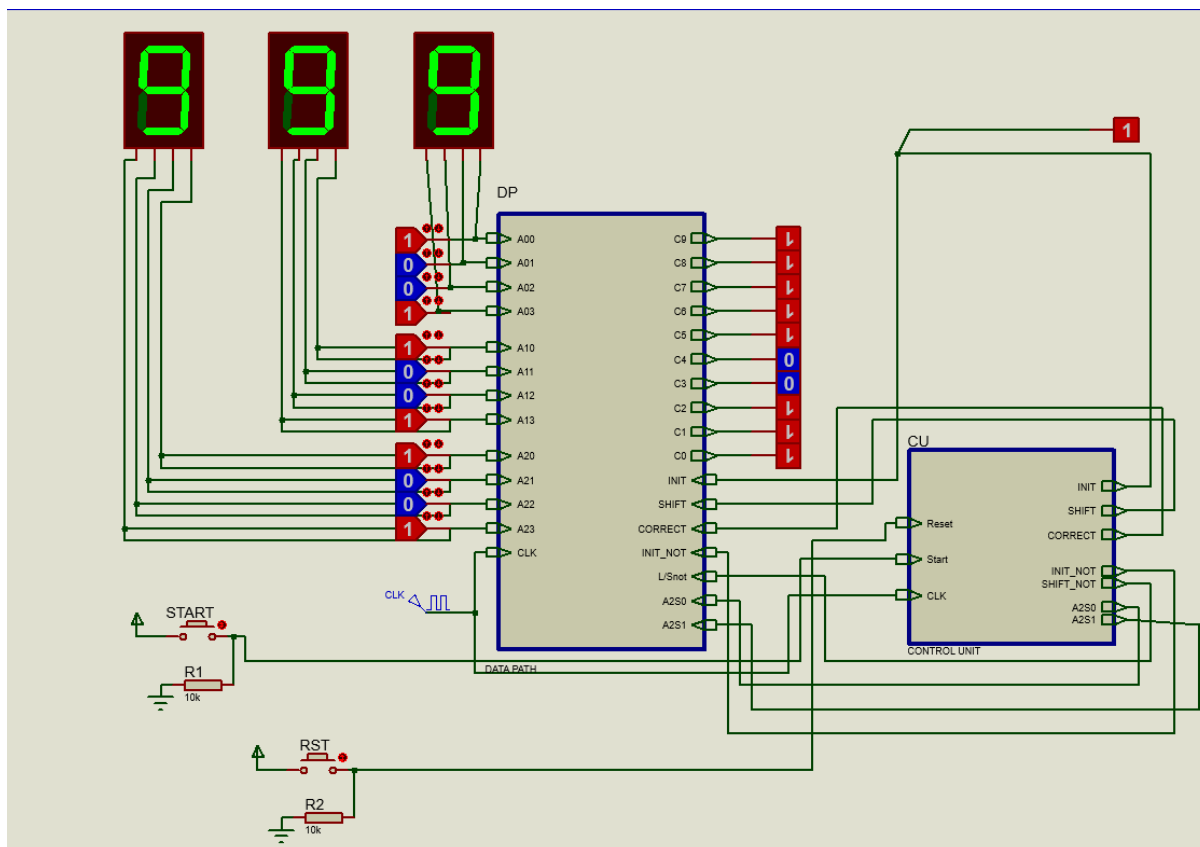
پیاده سازی شمارنده:

- **تنظیم شمارنده:** یک شمارنده که از ۱۰ به پایین می‌شمارد پیاده‌سازی می‌شود.
- **ورودی Load:** عدد ۱۰ به ورودی Load شمارنده داده می‌شود.
- **سیگنال Zero\_Count:**
  - سیگنال Zero\_Count با NOR کردن بیت‌های خروجی شمارنده تولید می‌شود.
  - این سیگنال نشان می‌دهد که شمارش تمام شده و عملیات محاسبه عدد باینری به اتمام رسیده است.
- **عملیات بارگذاری موازی:**
  - عملیات بارگذاری موازی شمارنده فقط در زمان انتقال از حالت INIT به حالت SHIFT اتفاق می‌افتد.
  - این انتقال با یک گیت AND تولید می‌شود.
  - این سیگنال همچنین نمایانگر سیگنال S0 برای رجیستر A2 است، زیرا عملیات بارگذاری این رجیستر نیز فقط در این زمان اتفاق می‌افتد.

تولید سیگنال:

- **شرایط برای سیگنال Enable:** شمارنده باید یا در حال بارگذاری باشد یا در حالت SHIFT و نیاز به شمارش پایین داشته باشد.
- **منطق برای سیگنال Enable:** سیگنال بارگذاری موازی را با سیگنال SHIFT OR می‌کنیم تا سیگنال Enable شمارنده به دست آید.
- **رجیستر A2:**
  - سیگنال Enable همچنین نمایانگر سیگنال S1 برای رجیستر A2 است.
  - در سایر حالات، این رجیستر باید مقدار داخل خود را نگه دارد و در حالت Hold باشد.

شکل کلی مدار طراحی شده به قسم زیر میباشد.



شکل ۷.

در بالا طراحی سیگنال های سیگنال های کنترلی و نمای شماتیک از باقی قطعات را میبینیم.

## ۵-۱ منابع و مراجع

- وبسایت گیکزفورگیکز
- وبسایت یوتیوب
- وبسایت ویکی پدیا
- اسلایدهای درس معماری کامپیوتر دکتر سربازی