

بسمه تعالی



گزارش کار سوم آزمایشگاه معماری کامپیوتر

ضرب کننده ممیز ثابت

استاد: دکتر سربازی

دستیار آموزشی: سرکار خانم غیبی

نویسندگان

فرزام کوهی رونقی ۴۰۱۱۰۶۴۰۳

مریم شیران ۴۰۰۱۰۹۴۴۶

ثنا بابایان ونستان ۴۰۱۱۰۵۶۸۹

دانشگاه صنعتی شریف

تابستان ۱۴۰۳

## فهرست مطالب

۱	..... ۱ آزمایش سوم: ضرب کننده ممیز ثابت
۱	..... ۱-۱ مقدمه و هدف
۱	..... ۱-۲ تجزیه و تحلیل تئوری آزمایش
۳	..... ۱-۳ شرح دستگاه ها و قطعات مورد استفاده
۴	..... ۱-۴ شرح آزمایش در پروتیوس
۶	..... ۱-۵ منابع و مراجع

## ۱ آزمایش سوم: ضرب کننده ممیز ثابت

### ۱-۱ مقدمه و هدف

هدف از این آزمایش، طراحی و پیاده‌سازی یک مدار ضرب کننده دو ورودی چهار بیتی است. در این مدار، ورودی‌ها شامل دو عدد چهار بیتی هستند که ضرب آنها محاسبه می‌شود. مدار به گونه‌ای طراحی می‌شود که با دریافت سیگنال شروع، عملیات ضرب را آغاز و پس از اتمام آن سیگنال پایان و خروجی ضرب را خروجی دهد. مشخصات و ورودی‌ها و خروجی‌های مدار به شرح زیر هستند:

1. مضروب (ورودی) A
2. مضروبه (ورودی) B
3. حاصل ضرب (خروجی) C
4. شروع ضرب (ورودی) Start
5. پایان ضرب (خروجی) End

### ۱-۲ تجزیه و تحلیل تئوری آزمایش

یکی از روش‌های پیاده‌سازی مدار مد نظر ساخت Shift & Add Multiplier هست.

کارکرد روش Shift-and-Add Multiplication به صورت زیر است:

ضرب به روش شیفت و جمع، مشابه ضرب با قلم و کاغذ است. این روش شامل جمع زدن مضروب  $X$  به خودش  $Y$  بار است، که  $Y$  همان ضارب می‌باشد. مراحل به این صورت است: ابتدایی: مضروب را در ثبات  $B$  و ضارب را در ثبات  $Q$  بارگذاری کنید. ثبات  $A$  (ثبات حاصل) را به ۰ مقداردهی اولیه کنید و یک شمارنده  $N$  را به تعداد بیت‌ها ( $n$ ) تنظیم کنید.

فرآیند ضرب:

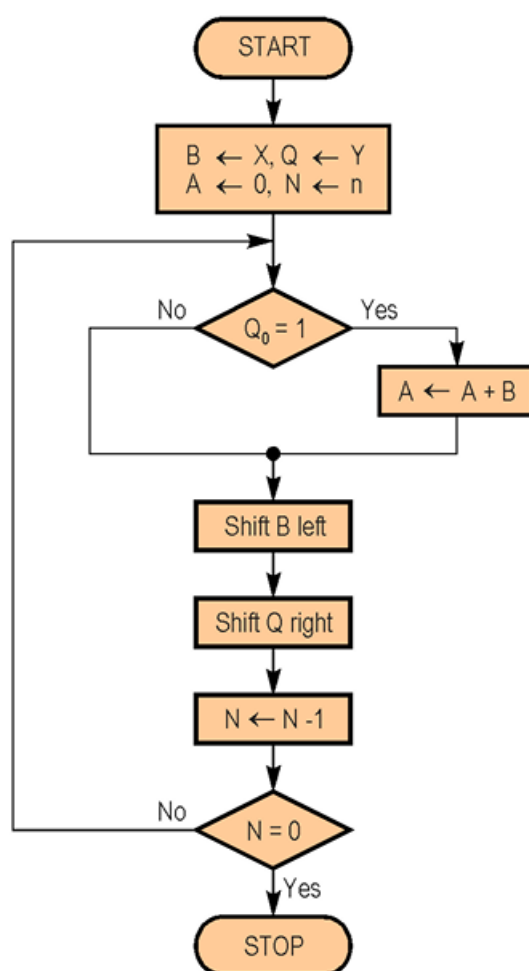
مرحله ۱: کم اهمیت‌ترین بیت ثبات  $Q$  را بررسی کنید. اگر  $Q_0 = 1$  باشد، ثبات  $B$  (مضروب) را به ثبات  $A$  (ثبات حاصل) اضافه کنید.

مرحله ۲: ثبات‌های  $A$  و  $Q$  را یک بیت به راست شیفت دهید. این کار بیت بعدی ضارب را برای بررسی آماده می‌کند.

مرحله ۳: ثبات  $B$  (مضروب) را یک بیت به چپ شیفت دهید تا مضروب با مجموع انباشته شده در ثبات  $A$  (ثبات حاصل) هم‌تراز شود.

تکرار: این فرآیند را برای  $n$  مرحله تکرار کنید و هر بار شمارنده  $N$  را کاهش دهید. ادامه دهید تا شمارنده به صفر برسد.

حاصل نهایی: محتویات ترکیبی ثبات‌های  $A$  و  $Q$  حاصل نهایی ضرب را نشان می‌دهد.



شکل ۱. فلوچارت الگوریتم

برای توضیح بیشتر در زیر یک مثال را بررسی می‌کنیم.

مثال: حاصل ضرب ۹ در ۱۲

Step	A	Q	B	Operation
0	0000 0000	110 <u>0</u>	0000 1001	Initialization
1	0000 0000	110 <u>0</u>	0001 0010	Shift left B
	0000 0000	011 <u>0</u>	0001 0010	Shift right Q
2	0000 0000	011 <u>0</u>	0010 0100	Shift left B
	0000 0000	001 <u>1</u>	0010 0100	Shift right Q
3	0010 0100	001 <u>1</u>	0010 0100	Add B to A
	0010 0100	001 <u>1</u>	0100 1000	Shift left B
	0010 0100	000 <u>1</u>	0100 1000	Shift right Q
4	0110 1100	000 <u>1</u>	0100 1000	Add B to A
	0110 1100	000 <u>1</u>	1001 0000	Shift left B
	0110 1100	0000	1001 0000	Shift right Q

شکل ۲. مثال ضرب ۹ در ۱۲

### ۳-۱ شرح دستگاه ها و قطعات مورد استفاده

برای شبیه سازی از نرم افزار Proteus استفاده میشود و در خود پروتوس از قطعات زیر برای ساخت مدار استفاده میکنیم.

۷۴۱۶۵ (U۲): این یک ثبات شیفتر سریالی به موازی است. این قطعه امکان بارگذاری داده‌های موازی در ثبات و سپس شیفتر کردن آن به صورت سریالی را فراهم می‌کند.

۷۴۱۹۳ (U۸): این یک شمارنده باینری ۴ بیتی با کلاک‌های جداگانه برای شمارش بالا و پایین است. این قطعه می‌تواند بر اساس سیگنال‌های کلاک داده شده، شمارش بالا یا پایین را انجام دهد.

۷۴۸۳ (U۴ و U۵): این‌ها جمع‌کننده‌های کامل باینری ۴ بیتی هستند. این قطعات اعداد باینری را جمع می‌کنند و مقادیر جمع و حمل را خروجی می‌دهند.

۷۴۱۸۹ (U۱): این یک حافظه دسترسی تصادفی ۶۴ (RAM) بیتی است که به صورت ۱۶ کلمه ۴ بیتی سازماندهی شده است.

۷۴۱۹۸ (U۳): این یک ثبات شیفتر ۸ بیتی یونیورسال است که قابلیت بارگذاری موازی و شیفتر سریالی/موازی به راست/چپ را دارد.

گیت‌های AND (U۹, U۱۲): این‌ها گیت‌های منطقی هستند که خروجی صحیح می‌دهند تنها در صورتی که همه ورودی‌ها صحیح باشند.

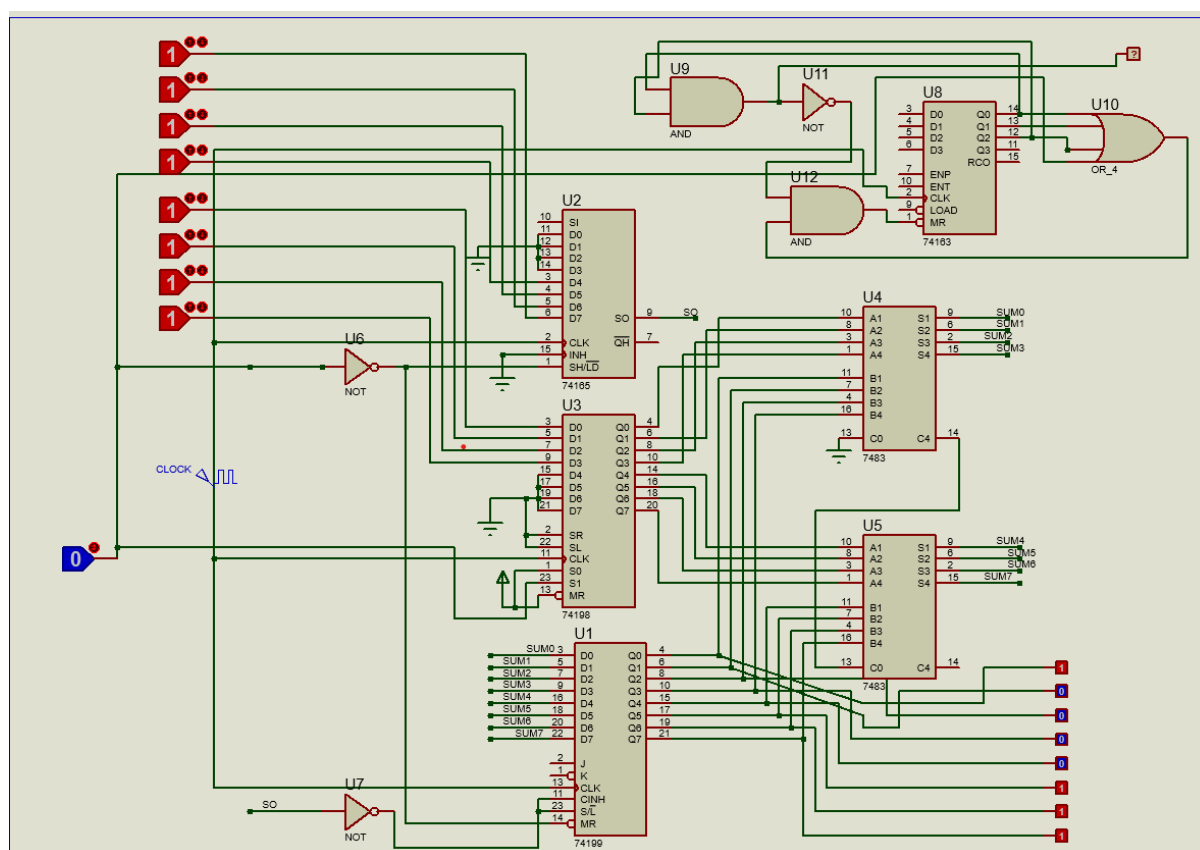
گیت OR (U۱۰): این یک گیت منطقی است که خروجی صحیح می‌دهد اگر حداقل یکی از ورودی‌ها صحیح باشد.

گیت‌های NOT (U۶, U۱۱, U۷): این‌ها معکوس‌کننده‌هایی هستند که سطح منطقی مخالف ورودی را خروجی می‌دهند. سیگنال کلاک: این سیگنال زمان‌بندی را برای عناصر ترتیبی در مدار فراهم می‌کند. شمارنده ۴ بیتی:

کلیدهای ورودی: این‌ها برای وارد کردن دستی داده‌های باینری به مدار استفاده می‌شوند.

prob های خروجی: این‌ها برای نمایش خروجی باینری از نقاط مختلف در مدار استفاده می‌شوند.

### ۴-۱ شرح آزمایش در پروتئوس



شکل ۳. شکل کلی مدار در پروتئوس

۸ logic state در سمت بالا چپ قرار دارد که ۴ تای اول آنها عدد اول و ۴ تای دوم عدد دوم ضرب را نمایان میکنند. (نمایش از پایین به بالا، معادل نمایش از چپ به راست)

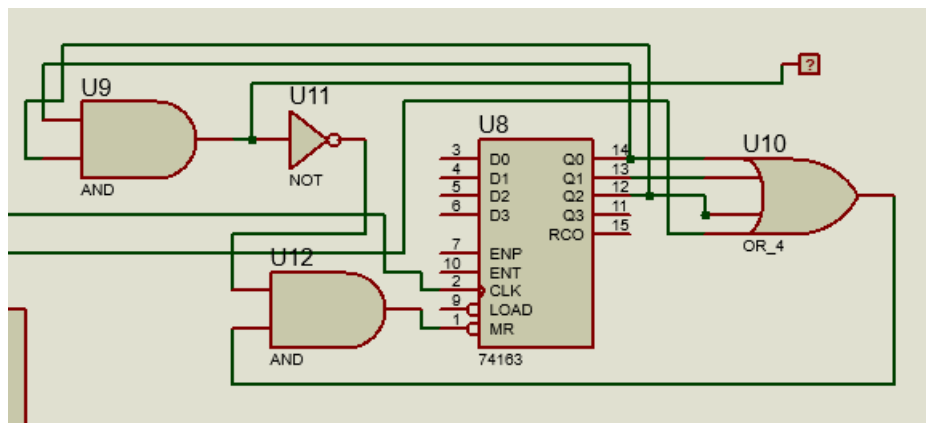
قطعه ی ۲ U مضروب را هر بار به راست شیفت میدهد و یکان آن را در S0 خروجی میدهد. در ادامه بر اساس این یکان تصمیم گرفته میشود که حاصل جمع نوشته شود یا خیر.

قطعه ۳ U یک شیفت رجیستر ۸ بیتی است که در ابتدا ضارب در آن قرار دارد.

قطعات ۴ U و ۵ U نیز برای جمع ۸ بیتی استفاده میشوند. چون در آزمایشگاه جمع کننده ۸ بیتی نداشته ایم، دو جمع کننده ۴ بیتی را به صورت سری متصل کرده ایم.

قطعه ۱ U یک رجیستر است که خروجی آن مقدار نهایی ضرب و ورودی آن حاصل جمع و چند خط کنترلی میباشد. مقدار حاصل جمع تنها در صورتی در خروجی نوشته میشود که S0 برابر ۱ باشد.

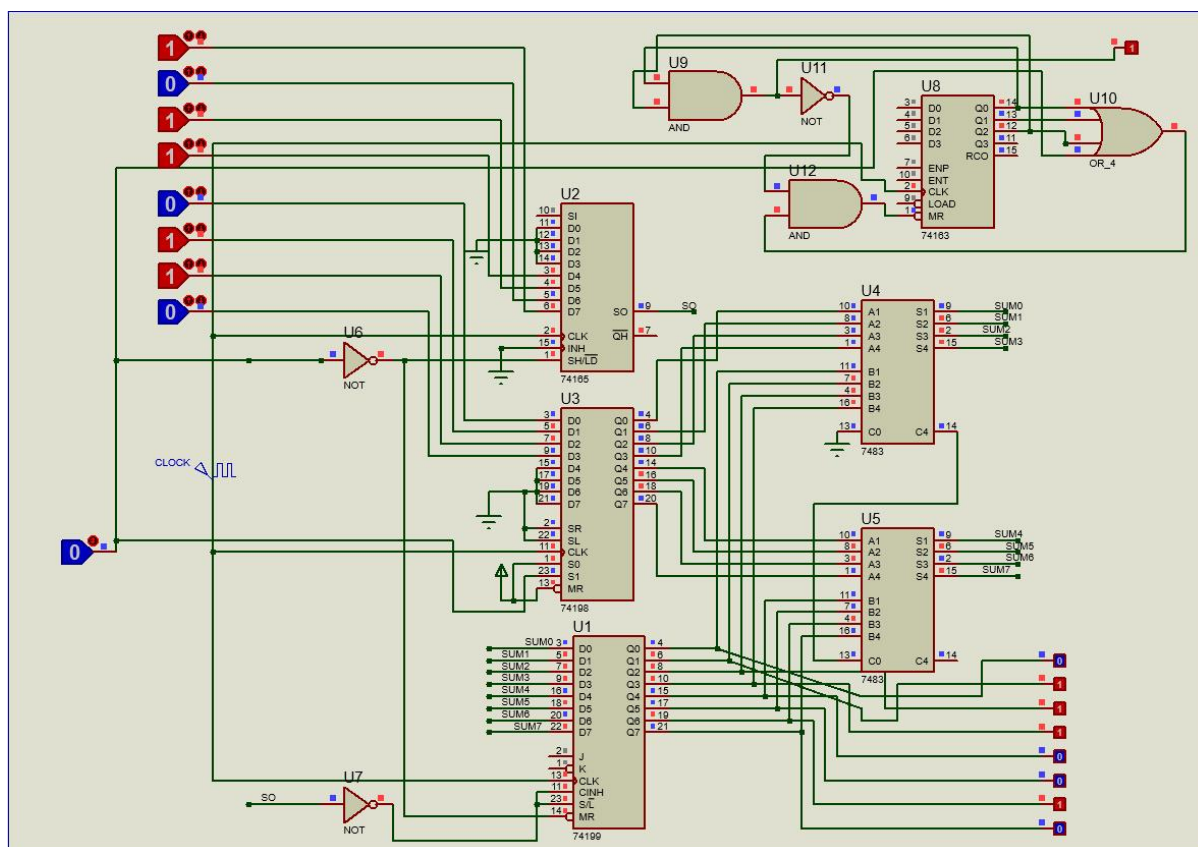
برای طراحی خروجی End نیاز است که بدانیم ضرب چه زمانی پایان میابد بدین منظور قسمت زیر طراحی شده است.



شکل ۴. تولید خروجی End

از آنجا که کل عملیات ۴ سایکل طول میکشد؛ در اینجا یک شمارنده ۴ بیتی داریم که تنها دو زمان شمارش را از اول آغاز میکند؛ اول وقتی که سیگنال شروع ۱ شده و در حال شمردن نباشیم و دوم وقتی که یک دوره ضرب تمام شود. که این شرایط در بالا ریست شمارنده را میسازند.

در پایان نیز یک تست از مدار قرار داده ایم.



شکل ۵: تست مدار به ازای مقادیر ۶ در ۱۳ و پاسخ ۷۸

## ۵-۱ منابع و مراجع

- وبسایت گیکز فور گیکز
  - وبسایت یوتیوب
  - وبسایت ویکی پدیا
  - Structure of Computer Systems, Shift-and-Add Multiplication
- Universitatea Tehnică din Cluj-Napoca