

بسمه تعالی



آزمایش سوم درس مدارهای منطقی  
دکتر حسابی

شمارنده ها

مریم شیران

دانشگاه صنعتی شریف

بهار ۱۴۰۲

## فهرست

۳	مقدمه .....
۳	بخش اول - شمارنده دودویی آسنکرون .....
۳	1.1- شمارنده بالا/پایین شمار .....
۴	۱.۲- شمارنده بالا/پایین شمار با امکان لود موازی .....
۵	بخش دوم - شمارنده دودویی سنکرون .....
۸	بخش سوم - شمارنده BCD .....
۱۰	نتیجه و بحث .....
۱۰	منابع و مراجع .....

## مقدمه

هدف از این آزمایش آشنایی با انواع شمارنده ها است.  
تمام بخش های این آزمایش در نرم افزار proteus انجام شده است.

## بخش اول – شمارنده دودویی آسنکرون

### 1.1 – شمارنده بالا/پایین شمار

تجزیه و تحلیل تیوری آزمایش:

در این مدار به جای استفاده از فلیپ فلاپ T از JK\_FF استفاده شده است به همین دلیل دو ورودی J , K به یکدیگر وصل هستند تا مانند T عمل کند، چون ورودی های J,K آن ها به power وصل شده است، با هر بار کلاک خوردن یک فلیپ فلاپ خروجی مکمل حالت قبلی آن میشود.

Symbol

Truth Table

CLK	J	K	$Q_{n+1}$
↑	0	0	$Q_n$
↑	0	1	0
↑	1	0	1
↑	1	1	$Q_n'$

ورودی R در فلیپ فلاپ ها برای reset است که همواره در همه ی آن ها برابر ۱ است از این رو خروجی هیچ فلیپ فلاپی هیچ وقت ریست نمیشود.

اگر Down برابر صفر و up برابر یک باشد، خروجی Q هر فلیپ فلاپ روی کلاک فلیپ فلاپ بعدی اثر می گذارد، یعنی اگر خروجی فلیپ فلاپ از ۰ به ۱ تغییر کند، آنگاه فلیپ فلاپ بعدی کلاک میخورد پس در واقع شمارش به بالا انجام میشود.

اگر Down برابر یک و up برابر صفر باشد، خروجی  $\bar{Q}$  هر فلیپ فلاپ روی کلاک فلیپ فلاپ بعدی اثر می گذارد، یعنی اگر خروجی فلیپ فلاپ از ۱ به ۰ تغییر کند، آنگاه خروجی  $\bar{Q}$  از ۰ به ۱ تغییر می کند و فلیپ فلاپ بعدی کلاک میخورد پس در واقع شمارش به پایین انجام میشود.

دو ورودی Up و Down گیت xor نیز اگر هردو برابر باشند فلیپ فلاپ اول کلاک نمیخورد و در نتیجه شمارش انجام نمیشود.

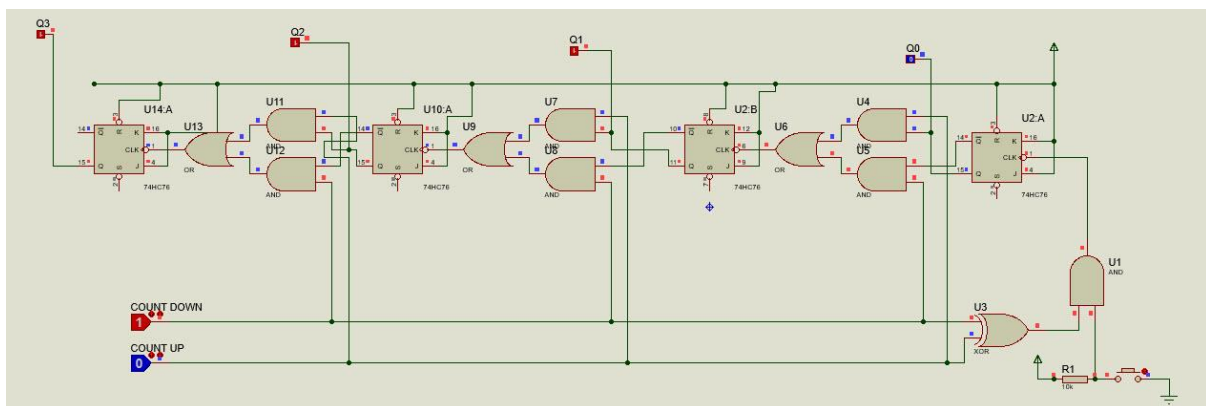
چهار خروجی Q0 تا Q3 خروجی های متصل به هر فلیپ فلاپ هستند که نتیجه شمارش را نمایش می دهند.

نحوه انجام آزمایش :

در نرم افزار Proteus، در قسمت Devices قطعات مورد نیاز مانند گیت های AND، OR، CLOCK، LOGICSTATE، JKFF(74HC76) و LOGICPROB را پیدا می کنیم از قسمت Terminals هم power و GROUND را پیدا می کنیم تا در دسترس قرار بگیرند. سپس به کمک تصویر موجود در شرح آزمایش مدار را طراحی می کنیم. طراحی کلاک را هم مانند آزمایش قبلی انجام می دهیم.

حال آزمایش می کنیم:

ورودی Down را برابر ۱ قرار داده و Up را برابر ۰، خروجی اولیه ۰۰۰۰ بوده وبا اعمال دو پالس ساعت عدد ۱۱۱۰ به دست آمده است.



## ۱.۲ – شمارنده بالا/پایین شمار با امکان لود موازی

تجزیه و تحلیل تیوری آزمایش:

اگر ورودی Load برابر ۰ باشد و count برابر یک باشد، خروجی  $\bar{Q}$  در کلاک فلیپ فلاپ بعدی اثر می گذارد و اگر ورودی Load برابر ۰ باشد و count برابر صفر باشد، خروجی Q اثر دارد. و همه چیز همانطور خواهد بود که در بخش قبل برای Up و Down توضیح داده شد.

اگر ورودی Load برابر ۱ باشد و وردی count برابر صفر بارگذاری موازی انجام میشود بدین شکل که ۴ گیت از ۸ گیت NAND متصل به ورودی های Set و Reset فلیپ فلاپ ها خروجی ۱ داشته و هریک ورودی فلیپ فلاپ متناظر را آماده میکند. ورودی این گیت ها برای Set هر فلیپ فلاپ، مقدار  $\overline{\text{count}}$ ، Load و ورودی متناظر L0 تا L3 می باشد.

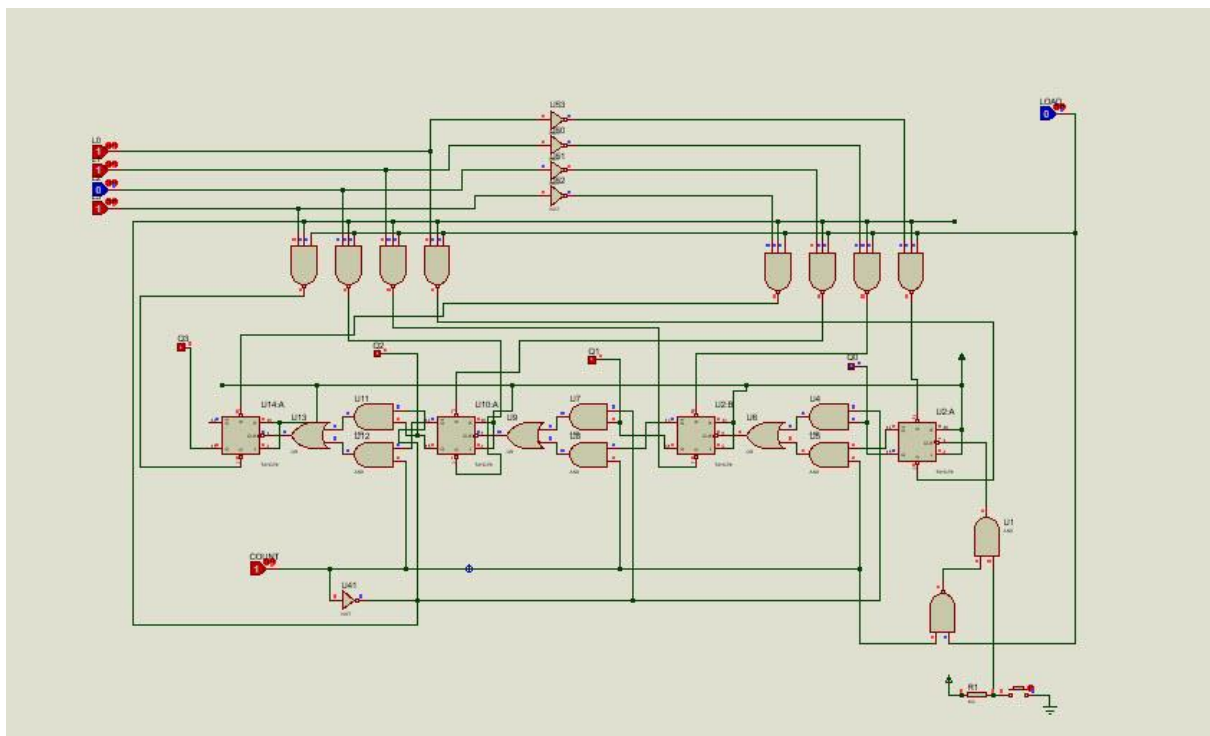
اگر هر دو ورودی Count و Load برابر یک بودند همه ی ۸ گیت خروجی ۱ داشته و عمل لود رخ نمیدهد و نیز گیت NAND استفاده شده در کنار Clock سبب میشود تا فلیپ فلاپ اول هم کلاک نخورده و هیچ اتفاقی رخ ندهد.

نحوه انجام آزمایش :

همه چیز مانند بخش قبلی است با این تفاوت که از تعداد بیشتری گیت استفاده شده و طراحی مدار مانند بالا شده است .

حال آزمایش می کنیم:

ورودی count را برابر ۱ قرار داده و Load را برابر ۰، خروجی اولیه ۰۰۰۰ بوده وبا اعمال دو پالس ساعت عدد ۱۱۱۰ به دست آمده است.



## بخش دوم – شمارنده دودویی سنکرون

تجزیه و تحلیل تیوری آزمایش :

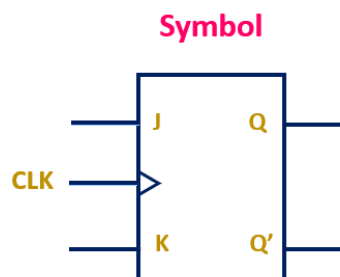
اعداد شمارش شده توسط شمارنده را برای یک دوره تناوب آن به شرح زیر است :

0 < -> 5 < -> 2 < -> 7 < -> 4 < -> 1 < -> 6 < -> 3 < -> 0

اگر X برابر ۰ باشد از عددی که در آن هستیم به سمت راست حرکت کرده و اگر X برابر ۱ باشد به سمت چپ حرکت میکنیم.

	+	+
q2q1q0	q2q1q0	q2q1q0
	x=0	x=0
000	101	011
001	110	100
010	111	101
011	000	110
100	001	111
101	010	000
110	011	001
111	100	010

همانند بخش قبلی برای طراحی این مدار هم فلیپ فلاپ نوع T مورد نیاز و کافی است اما گفته شده که از JK\_FF استفاده شود ، به همین دلیل دو ورودی J , K به یکدیگر وصل میکنیم تا مانند T عمل کند، و برای ساخت ورودی های J,K از جدول های کارنوی زیر استفاده میکنیم.



**Truth Table**

CLK	J	K	$Q_{n+1}$
↑	0	0	$Q_n$
↑	0	1	0
↑	1	0	1
↑	1	1	$Q_n'$

جدول های کارنو را میکشیم :

برای  $J_0$ :

$$J_0 = K_0 = 1$$

$q_1q_0$	00	01	11	10
$q_2x$				
00	1	1	1	1
01	1	1	1	1
11	1	1	1	1
10	1	1	1	1

برای  $J_1$ :

$$J_1 = K_1 = x'q_0 + xq_0' = x \oplus q_0$$

$q_1q_0$	00	01	11	10
$q_2x$				
00	0	1	1	0
01	1	0	0	1
11	1	0	0	1
10	0	1	1	0

برای  $J_2$ :

$$J_2 = K_2 = q_0q_1' + xq_1 + x'q_0'$$

$q_1q_0$	00	01	11	10
$q_2x$				
00	1	1	0	1
01	0	1	1	1
11	0	1	1	1
10	1	1	0	1

پس معادله ورودی های FF ها به صورت زیر خواهد بود:

$$k_2 = j_2 = \overline{Q_0} \bar{x} + Q_1x + \overline{Q_1}Q_0$$

$$k_1 = j_1 = Q_0 \oplus x$$

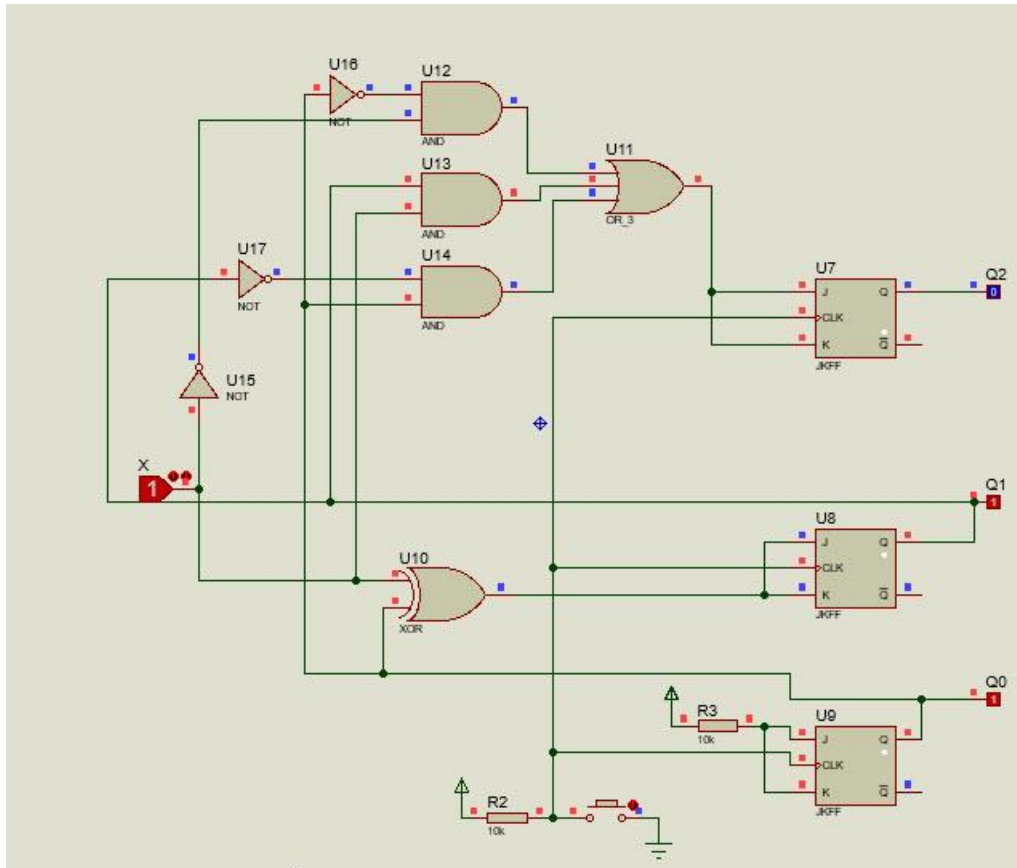
$$k_0 = j_0 = 1$$

نحوه انجام آزمایش:

حال بر اساس این توضیحات مانند نحوه انجام بخش های پیشین ، مدار زیر را میسازیم.

حال آزمایش میکنیم:

ورودی X برابر ۱ بوده و خروجی اولیه ۰ بوده ، سپس یک کلاک خورده و خروجی ۳ میشود.



## بخش سوم – شمارنده BCD

تجزیه تحلیل تیوری آزمایش:

تراشه ۷۴۱۹۰ یک شمارنده BCD با قابلیت لود و شمارش رو به بالا و پایین است، به صورت معمول خروجی RCO همواره برابر ۱ است ، تنها هنگامی که بعد از شمردن عدد ۹ کلاک بخورد برابر صفر میشود. در اینجا که RCO نقیض شده است ، پس همواره برابر ۰ بوده و هنگام کلاک بعد از شمردن عدد ۹ برابر ۱ میشود.



از یک شمارنده برای نمایش یکان و از دیگری برای دهگان استفاده میکنیم طبق توضیح بالا از خروجی نقیض شده ی RCO شمارنده اول به عنوان کلاک شمارنده رقم دهگان میتوان استفاده کرد. تا دقیقاً بعد از اتمام شمارش اعداد ۱ تا ۹ یکی به رقم دهگان اضافه شود.

برای اینکه تنها تا عدد ۶۳ را بشماریم در هر لحظه چک میکنیم که اگر دهگان ۶ و یکان برابر ۴ شده باشد، دوباره عدد ۰ را نمایش دهیم. یعنی هر دوی شمارنده ها مقدار ۰ را لود کنند، پس از یک گیت and هشت ورودی استفاده میکنیم که با ورودی های ۰۱۰۰ (یکان ۴) و ۰۱۱۰ (دهگان ۶) خروجی آن یک شود.

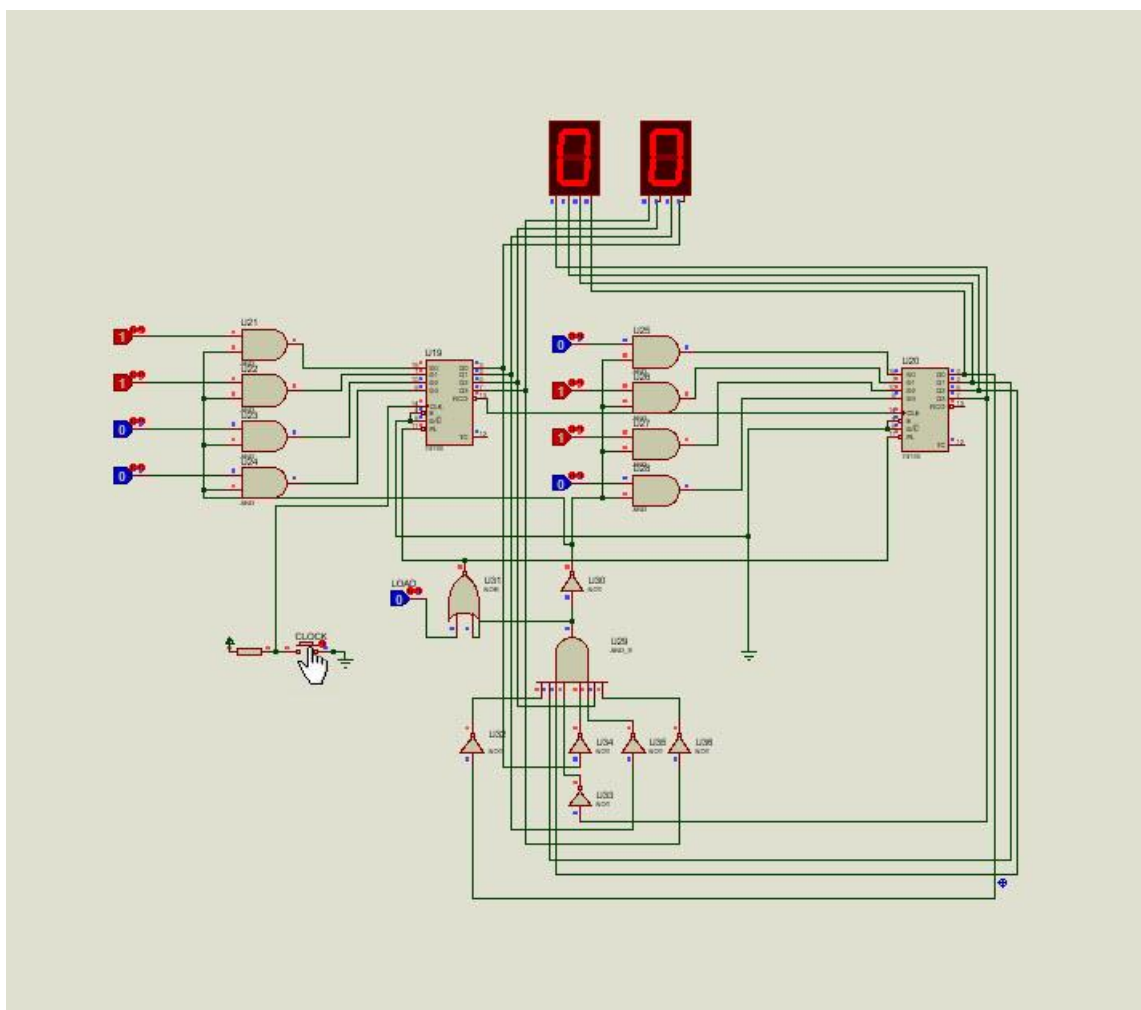
این تراشه ها قابلیت بارگذاری نیز دارند در واقع هنگامی که ورودی PL که active low است برابر ۰ شود؛ مقادیر D0,D1,D2,D3 لود شده و برابر خروجی های نظیرشان میشوند.

طبق توضیحات پس کافی است مدار را به گونه ای طراحی کنیم که هنگامی که خروجی آن گیت and هشت ورودی برابر ۱ میشود، ورودی های D0,D1,D2,D3 برابر ۰ شوند و ورودی PL نیز برابر ۰ شود.

نحوه انجام آزمایش:

طبق توضیحات بخش تجزیه تحلیل تیوری و مانند قسمت های قبل عمل کرده و مدار را مانند شکل زیر میسازیم تنها دقت کنید که باید در قسمت Devices ، 7SEG-BCD و 74190 را هم پیدا کنیم.

ورودی های دیگر مانند D/U, E را نیز چون استفاده نمیکنیم به ground متصل می کنیم.



حال آزمایش میکنیم:

شکل بالا حاصل LOAD عدد ۶۳ و سپس ۰ کردن LOAD و زدن کلاک میباشد .

### نتیجه و بحث

این آزمایش در مورد انواع شمارنده‌ها و نحوه پیاده‌سازی آن‌ها بود. در بخش اول آزمایش، یک شمارنده آسنکرون و در بخش دوم یک شمارنده سنکرون طراحی کردیم و در بخش سوم آزمایش با استفاده از دو شمارنده آماده و دو 7-Segment شمارش تا عدد ۶۳ و لود موازی را پیاده‌سازی کردیم. در این آزمایش مدارهای شمارنده به کمک فلیپ‌فلاپ‌های JK پیاده‌سازی شد و همچنین با استفاده از طراحی مدارهای کمکی، امکاناتی همچون شمارش رو به بالا، شمارش رو به پایین و بارگذاری موازی نیز به شمارنده‌ها اضافه شد.

### منابع و مراجع

[1] Mano, M. Morris. Computer system architecture. Prentice-Hall of India, 2003.