

بسمه تعالی



گزارش کار دوم آزمایشگاه مدارهای منطقی

شیفت رجیستر

دکتر شاهین حسابی

نویسنده

مریم شیران

بهار ۱۴۰۲

## آزمایش دوم

فہرست مطالب

۱ طراحی و ساخت یک شیفت رجیستر ..... ۱

۱-۱ مقدمه و هدف ..... ۱

۱-۱-۱ بخش اول ..... ۱

۱-۱-۲ بخش دوم ..... ۱

۱-۱-۳ بخش سوم ..... ۱

۱-۱-۴ بخش چهارم ..... ۱

۲ تجزیه و تحلیل تئوری آزمایش ..... ۲

۲-۱ بخش اول ..... ۲

۲-۱-۱ بخش دوم ..... ۲

۲-۱-۲ بخش سوم ..... ۲

۲-۱-۳ بخش چهارم ..... ۲

۳-۱ شرح دستگاه‌ها و وسایل مورد نیاز ..... ۳

۴-۱ روش انجام آزمایش ..... ۴

۴-۱-۱ بخش اول ..... ۴

۴-۱-۲ بخش دوم ..... ۴

۴-۱-۳ بخش سوم ..... ۴

۴-۱-۴ بخش چهارم ..... ۵

۵-۱ بحث و تفسیر اطلاعات و نتیجه به دست آمده از آزمایش ..... ۵

۵-۱-۱ بخش اول ..... ۵

۵-۱-۲ بخش دوم ..... ۵

۵-۱-۳ بخش سوم ..... ۵

۵-۱-۴ بخش چهارم ..... ۵

۶-۱ منابع و مراجع ..... ۶

۶.....	۲ استفاده از شیفت رجیستر آماده
۶.....	۱-۲ مقدمه و هدف
۶.....	۱-۱-۲ بخش اول
۷.....	۲-۱-۲ بخش دوم
۷.....	۲-۲ تجزیه و تحلیل تئوری آزمایش
۷.....	۱-۲-۲ بخش اول
۸.....	۲-۲-۲ بخش دوم
۸.....	۳-۲ شرح دستگاه‌ها و وسایل مورد نیاز
۸.....	۴-۲ روش انجام آزمایش
۹.....	۱-۴-۲ بخش اول
۹.....	۲-۴-۲ بخش دوم
۹.....	۵-۲ بحث و تفسیر اطلاعات و نتایج به دست آمده از آزمایش
۹.....	۱-۵-۲ بخش اول
۱۱.....	۲-۵-۲ بخش دوم



## ۱ طراحی و ساخت یک شیفت رجیستر

### ۱-۱ مقدمه و هدف

#### ۱-۱-۱ بخش اول

در بخش اول می‌خواهیم یک شیفت رجیستر با قابلیت بارگذاری موازی را با چهار عدد DFF و گیت‌های AND و OR در نرم‌افزار Proteus شبیه سازی کنیم.

هدف این آزمایش آشنایی با کارکرد دقیق شیفت رجیستر می‌باشد.

#### ۱-۱-۲ بخش دوم

در بخش دوم می‌خواهیم با وارد کردن ورودی ۱۰۱۰ به شیفت رجیستر، کارکرد آنرا درستی آزمایشی کرده و ورودی مذکور را در DFF ها ذخیره نماییم.

هدف این آزمایش آشنایی بیشتر با نحوه کارکرد شیفت رجیستر می‌باشد.

#### ۱-۱-۳ بخش سوم

در بخش سوم می‌خواهیم با استفاده از ۴ عدد DFF به صورت serial input ، یک شیفت رجیستر با قابلیت شیفت به راست شبیه سازی کنیم.

هدف از انجام آزمایش آشنایی با کارکرد شیفت رجیستر به قابلیت شیفت به راست و تفاوت ساختار شیفت رجیسترها می‌باشد.

#### ۱-۴-۱ بخش چهارم

در بخش چهارم می‌خواهیم ، بر شیفت رجیستری که در بخش قبلی شبیه سازی کردیم تغییرات لازم را اعمال کنیم تا به یک شیفت رجیستر دو طرفه تبدیل شود.

هدف از انجام آزمایش آشنایی با شیفت رجیستر دوطرفه و تفاوت آن با شیفت رجیسترهای پیشین است.

## ۲-۱ تجزیه و تحلیل تئوری آزمایش

### ۱-۲-۱ بخش اول

در شکل مدار در دستور کار آزمایش، با بسته شدن کلید هر یک از mode و یا Sin خروجی سیم های نظیر آنها ۰ شده و با باز بودن هر یک از کلید ها خروجی نظیر آن ۱ میشود ، چون در حالت اول به زمین وصل شده و در حالت دوم به ولتاژ بالا وصل شده است ، push button هم در حالت شبیه سازی مانند کلاک عمل میکند وقتی که فشار داده شود ، میدانیم که طرز کار مدار اینگونه است که ورودی DFF ممکن است تغییر کند اما تنها زمانی وارد DFF میشود که کلاک بخورد ، اگر mode برابر ۱ باشد خروجی هر یک از گیت های پایینی OR ها ۰ شده و خروجی هر یک از بالایی ها برابر ورودی نظیر از state ها شده پس حاصل هر OR (ورودی هر DFF) برابر state متناظر آن شده و به محض خوردن کلاک آپدیت صورت میگیرد.

اگر mode برابر ۰ باشد خروجی هر یک از گیت های بالایی OR ها ۰ شده و خروجی هر یک از پایینی ها به جز A برابر خروجی DFF قبل از خود میشود و همین برابر حاصل هر OR و ورودی DFF متناظر آن میشود و به محض خوردن کلاک DFF ها آپدیت صورت میگیرد.

### ۲-۲-۱ بخش دوم

دو راه حل موجود است :

۱: استفاده از چهار شیفت متوالی ، اگر ورودی شیفت را به ترتیب ۰ و ۱ و ۰ و ۱ بگذاریم و چهار بار شیفت دهیم به عدد مذکور میرسیم ، در چهار کلاک انجام میشود.

۲: لود موازی : کافی است استیت ها را برابر عدد قرار داده و لود کنیم ، در یک کلاک انجام میشود.

### ۱-۲-۳ بخش سوم

میدانیم برای ساخت شیفت رجیستر راست به صورت serial input کافی است که ورودی (Sin) را به چپ ترین DFF متصل کرده و پس از آن ورودی هر DFF خروجی DFF چپی خود باشد ، در این قسمت از mode استفاده نمیشود.

نحوه شبیه سازی CLK و ورودی (Sin) مانند بخش ۱ است.

### ۱-۲-۴ بخش چهارم

تنها کافی است از ۴ عدد MUX استفاده کنیم تا با ورودی Mode مدیریت کنند که ورودی یک DFF خروجی DFF چپی یا راستی خود باشد .

نحوه شبیه سازی CLK و ورودی (Sin) و mode مانند بخش ۱ است.

## ۳-۱ شرح دستگاه ها و وسایل مورد نیاز

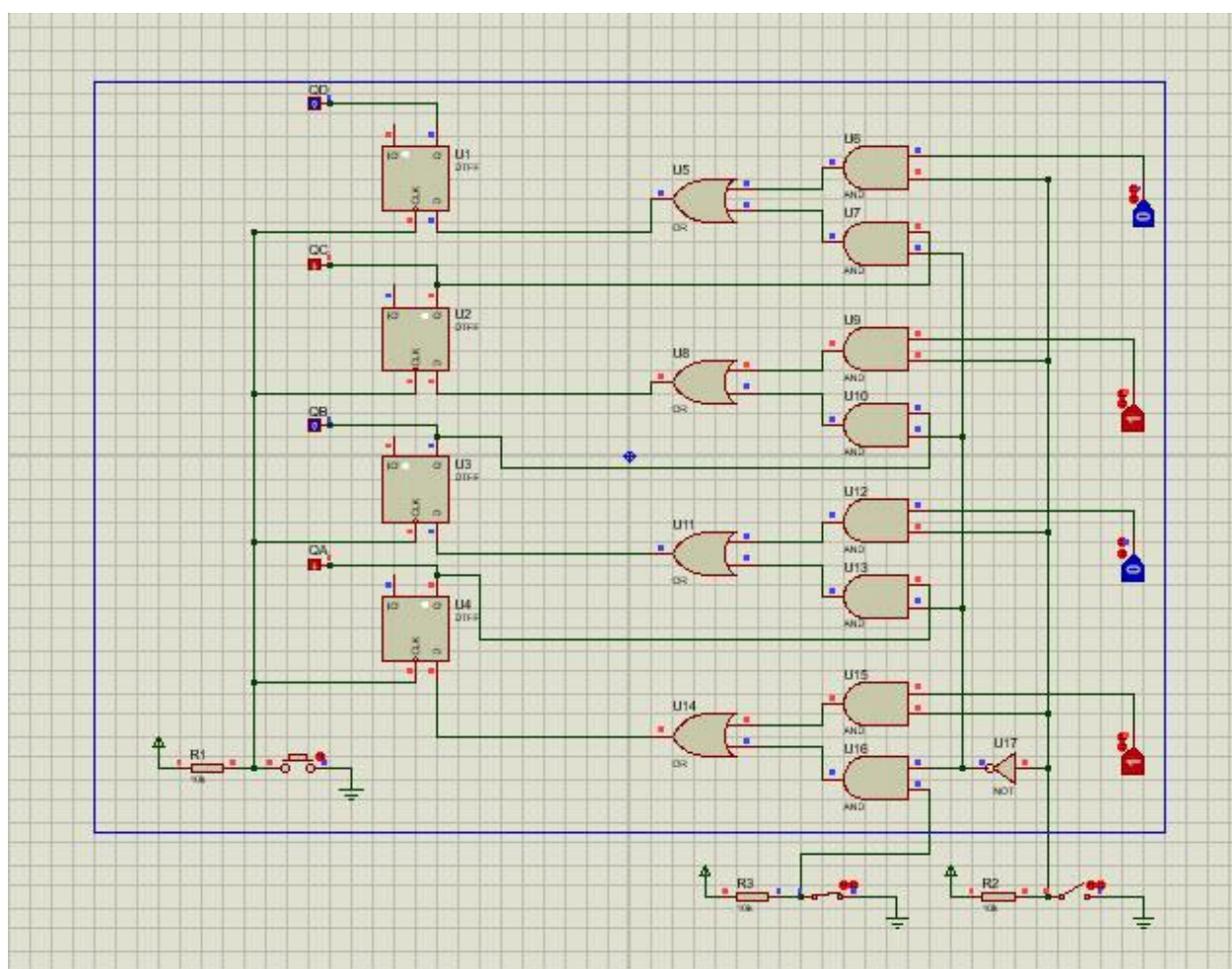
یک سیستم کامپیوتری که نرم افزار Proteus بر روی آن نصب شده باشد.

## ۴-۱ روش انجام آزمایش

## ۱-۴-۱ بخش اول

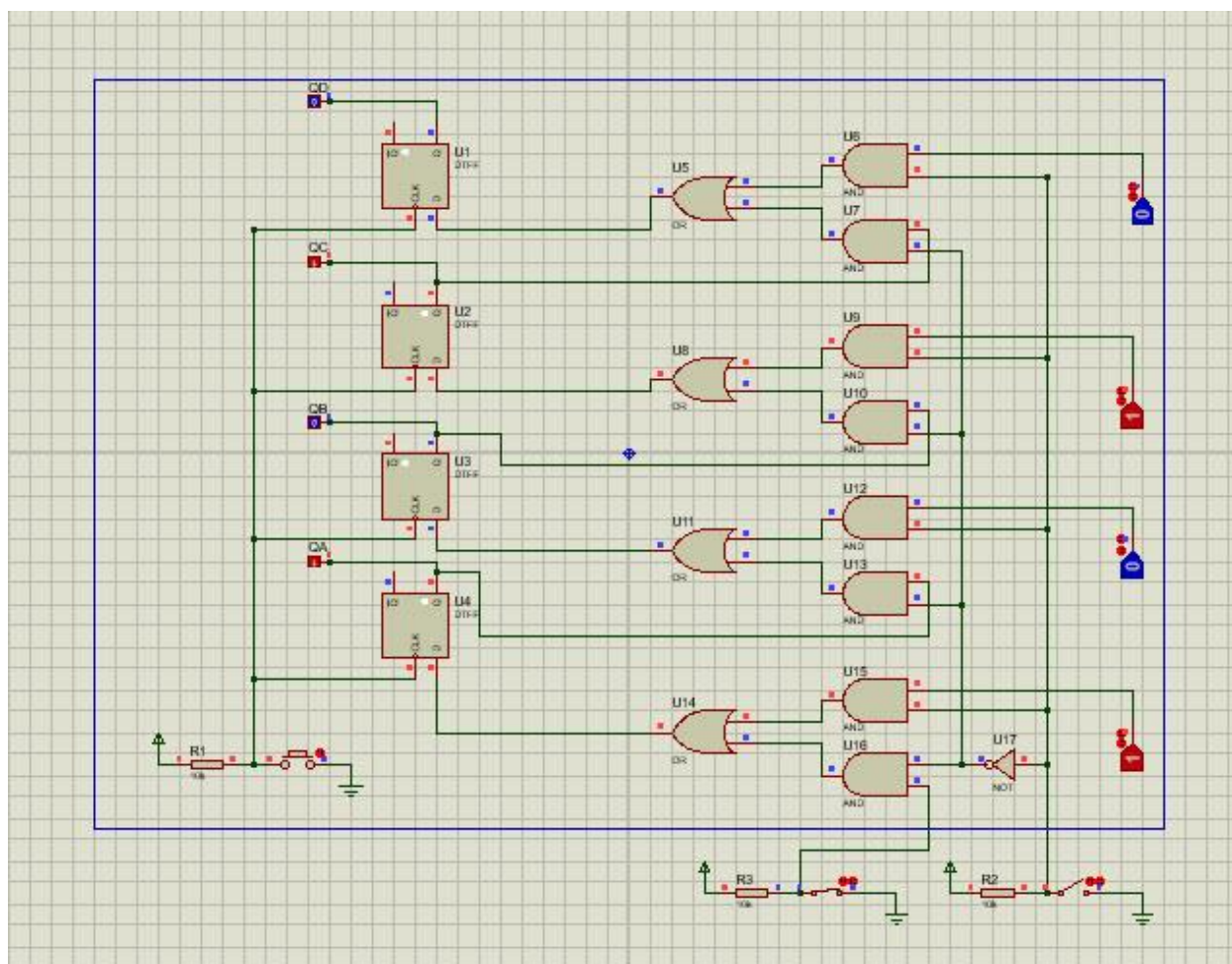
در نرم افزار Proteus، در قسمت Devices دستگاه‌های مورد نیاز مانند گیت‌های AND، OR، NOT، DTFF، BUTTON، LOGICSTATE، LOGICPROB و SWITCH و RESISTOR را از کتابخانه‌ها انتخاب میکنیم تا در پنجره سمت چپ صفحه قرار بگیرند. سپس شروع به شبیه ساخت مدار در شرح آزمایش میکنیم.

برای mode و CLK نیاز به GROUND و POWER داریم که آن‌ها را از قسمت Terminal Mode در نرم‌افزار به مدار اضافه میکنیم.



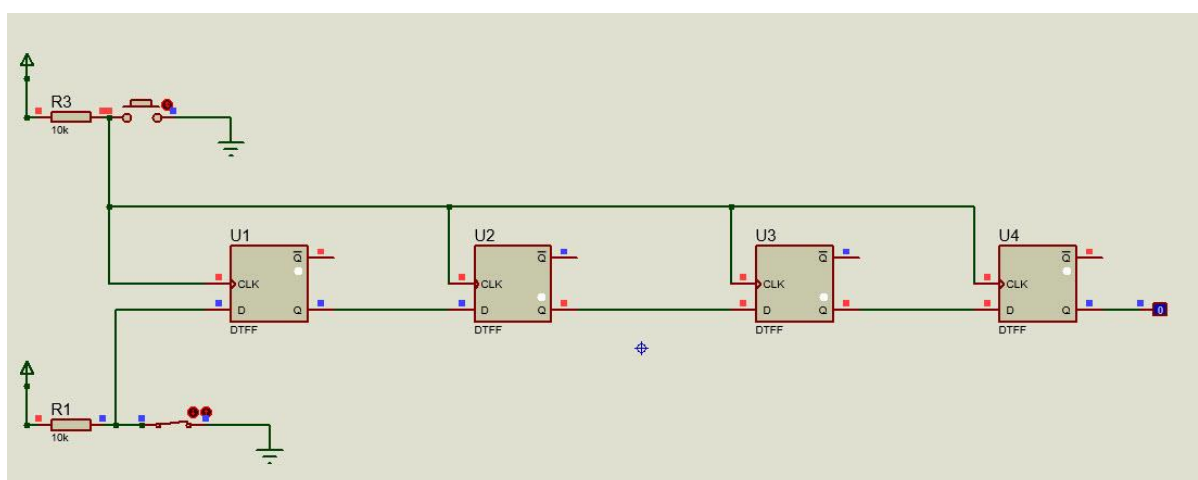
## ۱-۴-۲ بخش دوم

مطابق روش دومی که در قسمت تجزیه تحلیل تیوری گفته شد عمل میکنیم؛ با کلیک روی رو LOGICSTATE های A تا D مقدار آن‌ها را عوض کرده تا ورودی ۱۰۱۰ حاصل شود و همچنین mode را روی یک تنظیم میکنیم. سپس با شروع شبیه سازی نتیجه را به دست می‌آوریم.



### ۱-۴-۳ بخش سوم

شبیه سازی CLK و  $S_{in}$  و آوردن DFF ها مانند بخش ۱ انجام میشود،  $S_{in}$  را به ورودی چپ ترین DFF وصل کرده و پس از آن ورودی هر DFF را خروجی DFF چپ خود قرار میدهیم. لازم به ذکر است از آنجا که مدار باید تنها توانایی شیفت به راست داشته باشد در این قسمت، از mode استفاده ای نمیشود.



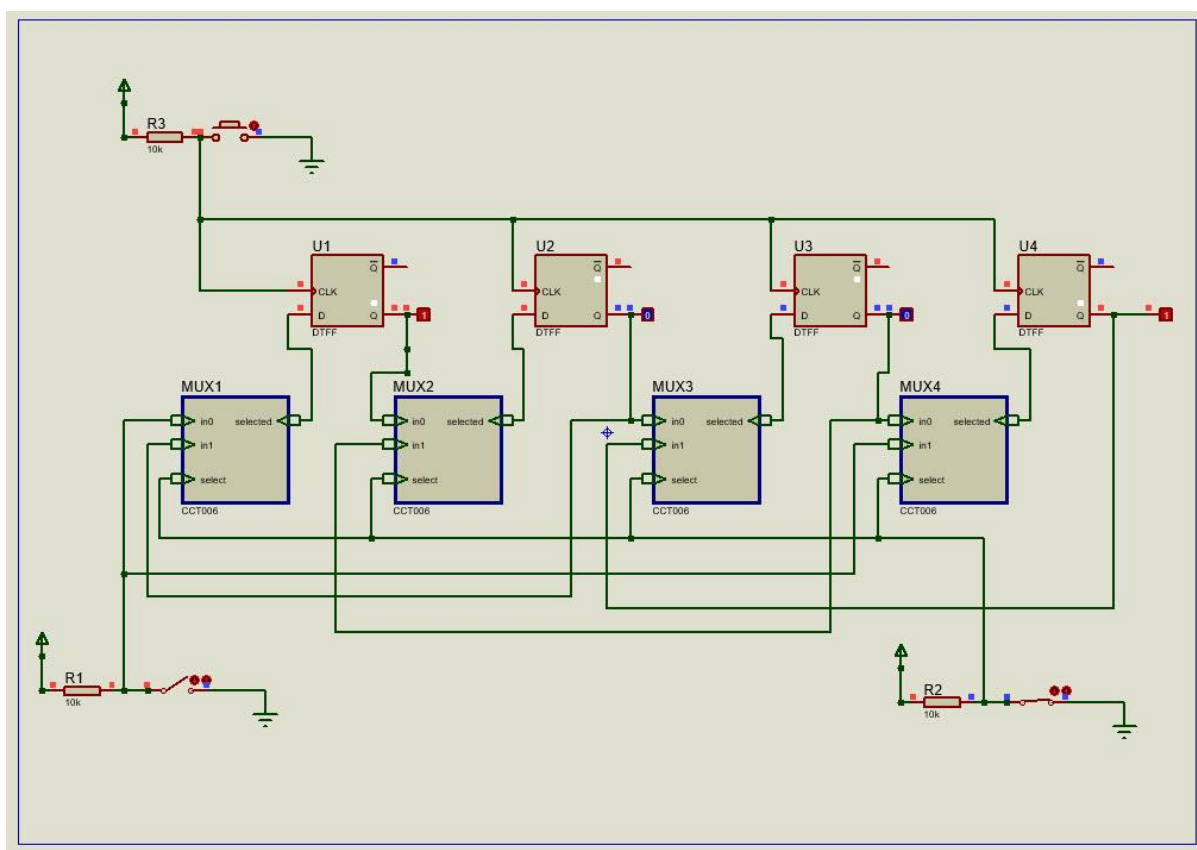


## ۴-۴-۱ بخش چهارم

ابتدا یک ام میسازیم ، بدین شکل که از سمت چپ subcircuit mode را انتخاب کرده و سپس یک مستطیل میکشیم و از همان قسمت سه input و دو output برای مستطیل قرار میدهیم و در بالا چپ آن ، نام برای مستطیل قرار میدهیم.

سپس بر روی مستطیل کلیک چپ کرده و به child sheet میرویم ، در چایلد شیت به قسمت component mode رفته و گیت ها را میکشیم و از قسمت ترمینال هم input و output قرار میدهیم سپس به input ها و output ها نام نسبت میدهیم و به parent sheet میرویم و در آن نیز به input ها و output ها اسم نظیر درونی شان را نسبت میدهیم، برای بار های بعدی MUX را کپی کرده و فقط اسم آن را تغییر میدهیم.

این گونه ۴ عدد MUX ساختیم select همه شان را به ورودی Mode وصل میکنیم و ورودی ۰ هر یک را به خروجی DFF چپی و ورودی یک هر یک را به خروجی DFF راستی وصل میکنیم. نحوه شبیه سازی CLK و ورودی ( $S_{in}$ ) و mode نیز مانند بخش ۱ است.



## ۵-۱ بحث و تفسیر اطلاعات و نتیجه به دست آمده از آزمایش

### ۱-۵-۱ بخش اول

در بخش اول در نرم افزار Proteus با استفاده از چهار DFF و چند گیت و چند ترمینال یک شیفت رجیستر طراحی کردیم که توانایی Shift و Parallel load دارد.

### ۱-۵-۲ بخش دوم

در بخش دوم Parallel load مدار را امتحان میکنیم بدین صورت که یک ورودی خاص به مدار داده سپس در حالت شبیه سازی قرار داده و خروجی متناظر مدار را میبینیم و از ذخیره سازی و عملکرد صحیح مدار مطمئن میشویم.

### ۱-۵-۳ بخش سوم

در بخش سوم با اجرا کردن شبیه سازی میتوان به کمک سویچ تعبیه شده برای  $S_{in}$ ، شیفت شیفت به راست انجام داد و با ورودی های مختلف نتایج دلخواه را شبیه سازی نماییم.

### ۱-۵-۴ بخش چهارم

در بخش چهارم با اجرا کردن شبیه سازی میتوان به کمک سویچ های تعبیه شده برای  $S_{in}$  و mode، شیفت به راست و یا چپ انجام داد و با ورودی های مختلف نتایج دلخواه را شبیه سازی نماییم.

با اجرا کردن شبیه سازی خواهیم دید که در صورت قرار دادن  $mode = 1$  پس از هر کلاک، یک شیفت به چپ در صورت قرار دادن  $mode = 0$  پس از هر کلاک، یک شیفت به راست خواهیم داشت و بدین ترتیب متوجه خواهیم شد که شیفت رجیستر دو حالت به درستی طراحی شده و کار میکند.

## ۶-۱ منابع و مراجع

- وبسایت ویکی پدیا
- وبسایت یوتیوب

## ۲ استفاده از شیفت رجیستر آماده

### ۱-۲ مقدمه و هدف

### ۱-۱-۲ بخش اول

در بخش اول قصد داریم به کمک تراشه ی ۷۴۹۵، شیفت رجیستری که در قسمت قبلی این آزمایش ساختیم را به شکل ساده تر و در سطح تراشه طراحی کنیم.

هدف از این بخش آشنایی با تراشه ی ۷۴۹۵ و کارکرد آن و نحوه ساخت شیفت رجیستر به کمک آن میباشد.

## ۲-۱-۲ بخش دوم

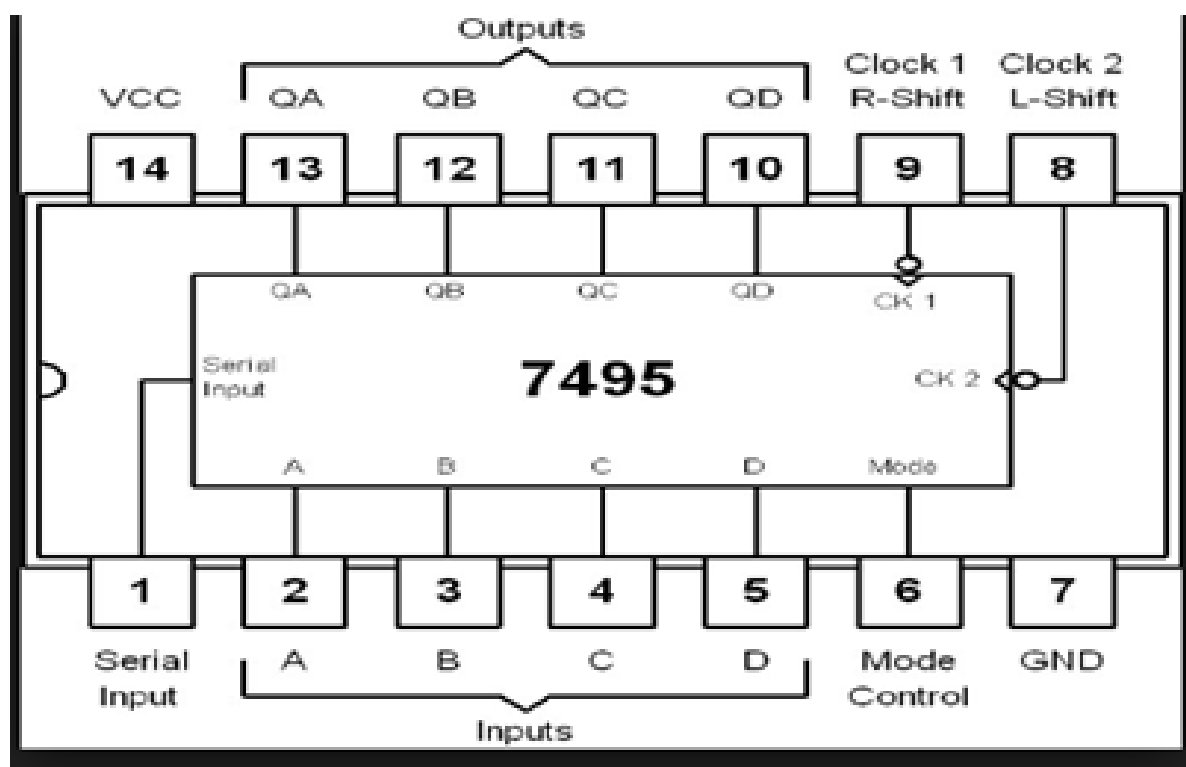
در بخش دوم میخواهیم به کمک شیفت رجیستر بخش قبلی با اضافه کردن چند گیت ساده، چند رشته ی خاص را شناسایی کنیم.

هدف از انجام این آزمایش یادآوری نحوه پیدا کردن رشته های مختلف می باشد.

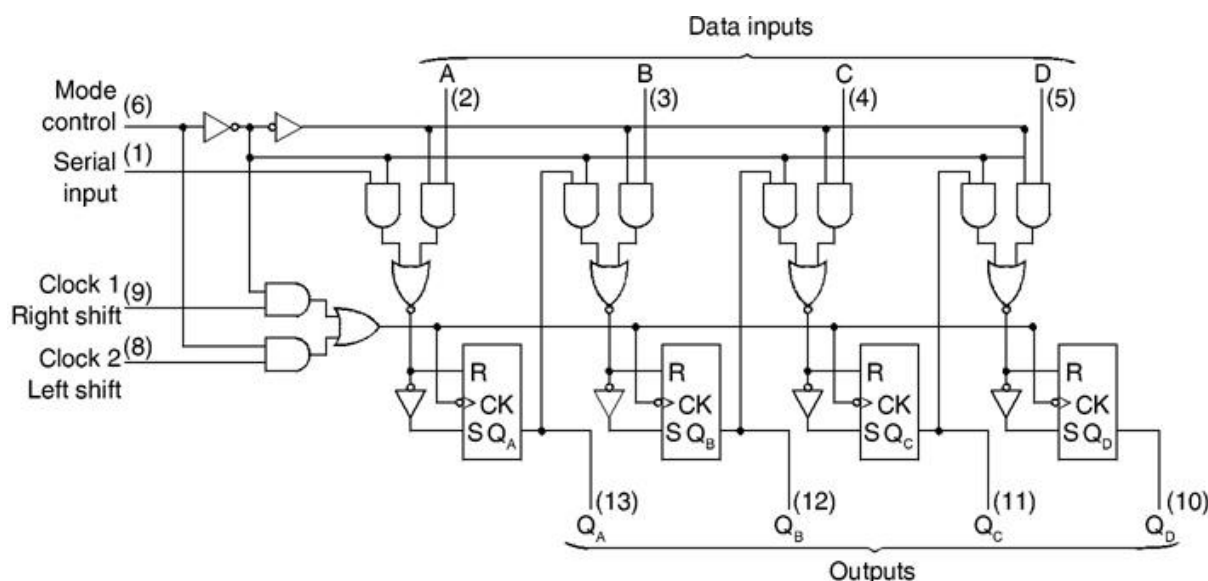
## ۲-۲ تجزیه و تحلیل تئوری آزمایش

### ۲-۲-۱ بخش اول

پین های تراشه ی ۷۴۹۵ به شرح زیر است:



و ساختار داخلی آن نیز مانند زیر است :



توضیحات بیشتر: این تراشه دو قابلیت لود و شیفت به راست را دارد و با لبه منفی CLK کار میکند، دو CLK دارد این تراشه یک CLK برای شیفت به راست و یک CLK برای شیفت به چپ دارد؛ اگر به ساختار درونی آن دقت کنید میبینید که تنها زمانی CLK رخ میدهد که یا CLK شیفت به چپ بخورد و mode ۱ باشد و یا CLK شیفت به راست بخورد و mode ۰ باشد، اگر شرایط اول رخ دهد load صورت گرفته و اگر شرایط دوم رخ دهد محتویات A Flip-flop برابر Sin شده و باقی Flip-flop ها هر یک برابر قبلی میشود.

## ۲-۲-۲ بخش دوم

ما میخواهیم که خروجی مدار به ازای موارد زیر ۱ شود.

$$0001 = Q_A Q'_B Q'_C Q'_D \quad 0010 = Q'_A Q'_B Q_C Q'_D \quad 1110 = Q_A Q_B Q_C Q'_D \quad 1101 = Q_A Q_B Q'_C Q_D$$

اگر دقت کنید در همه ی این موارد C,D متفاوت بوده و A,B یکسانند، و هر عددی که با این شرایط وجود داشته باشد حتما یکی از این ۴ عدد است پس میتوان گفت:

$$\text{Out} = (Q_C \oplus Q_D) \cdot (Q_A \oplus Q_B)'$$

حال تنها باید با استفاده از دو گیت XOR و یک گیت NOT و خروجی هایی که قبلا داشتیم عبارت بالا را طراحی کنیم.

## ۳-۲ شرح دستگاه ها و وسایل مورد نیاز

یک سیستم کامپیوتری که نرم افزار Proteus بر روی آن نصب شده باشد.

## ۴-۲ روش انجام آزمایش

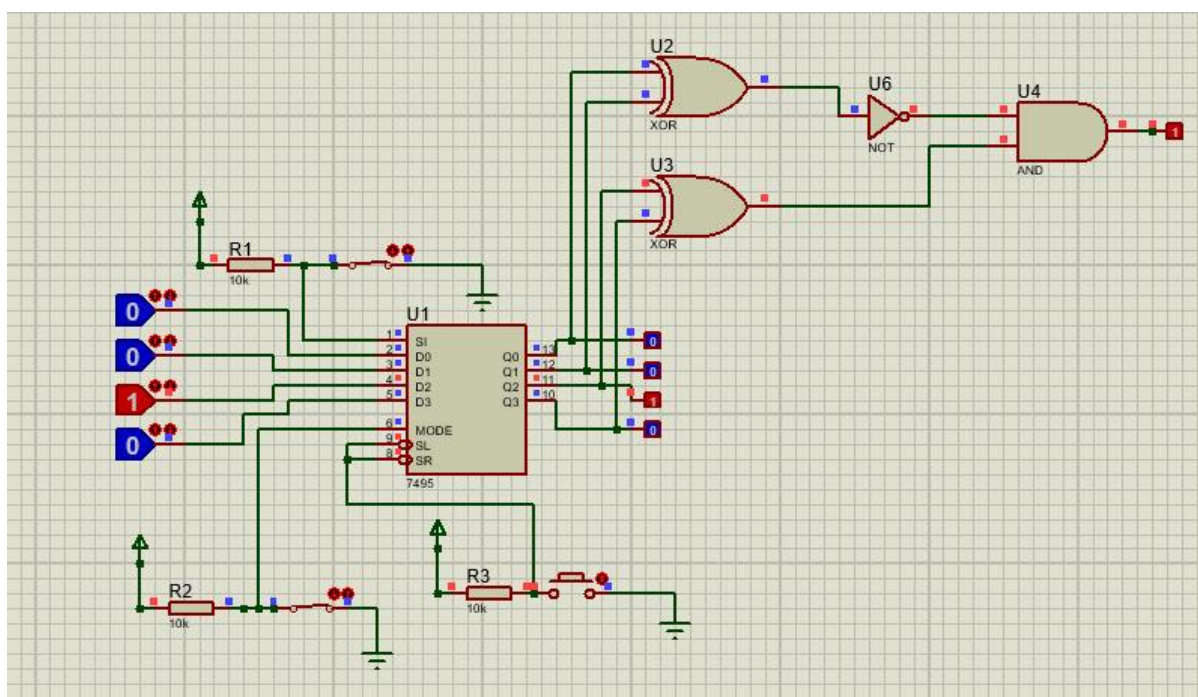
## ۲-۴-۱ بخش اول

از قسمت Devices در نرم افزار تراشه ۷۴۹۵، LOGICSTATE، LOGICPROB و RESISTOR و BOUTTON را از کتابخانه انتخاب کرده و از قسمت ترمینال ها نیز POWER, GEOUND را انتخاب میکنیم، مدار را مانند زیر طراحی میکنیم .

با توجه به توضیحاتی که در بخش تیوری دادم در اینجا چون تنها دو انتظار لود و شیفت را از مدار داریم میتوانیم ۲ کلاک را به یک کلاک متصل کنیم و هر بار لود تایین کننده این است که چه کاری در مدار صورت گیرد.

## ۲-۴-۲ بخش دوم

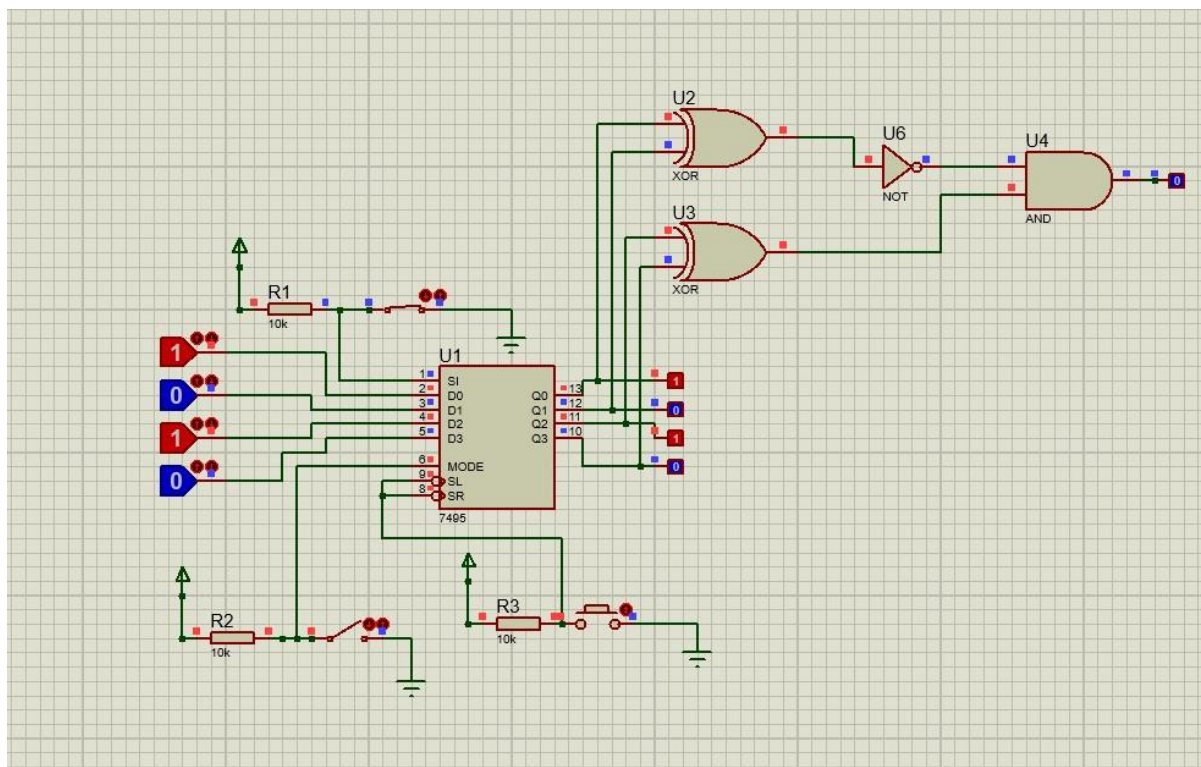
در این بخش ابتدا گیت های XOR و AND را به بخش Devices در نرم افزار اضافه کرده و سپس طبق فرمول های بخش تئوری آن ها را به هم متصل کرده تا همانطور که در تصویر ذیل نمایش داده شده است، مدار نهایی شکل گیرد.



## ۲-۵ بحث و تفسیر اطلاعات و نتایج به دست آمده از آزمایش

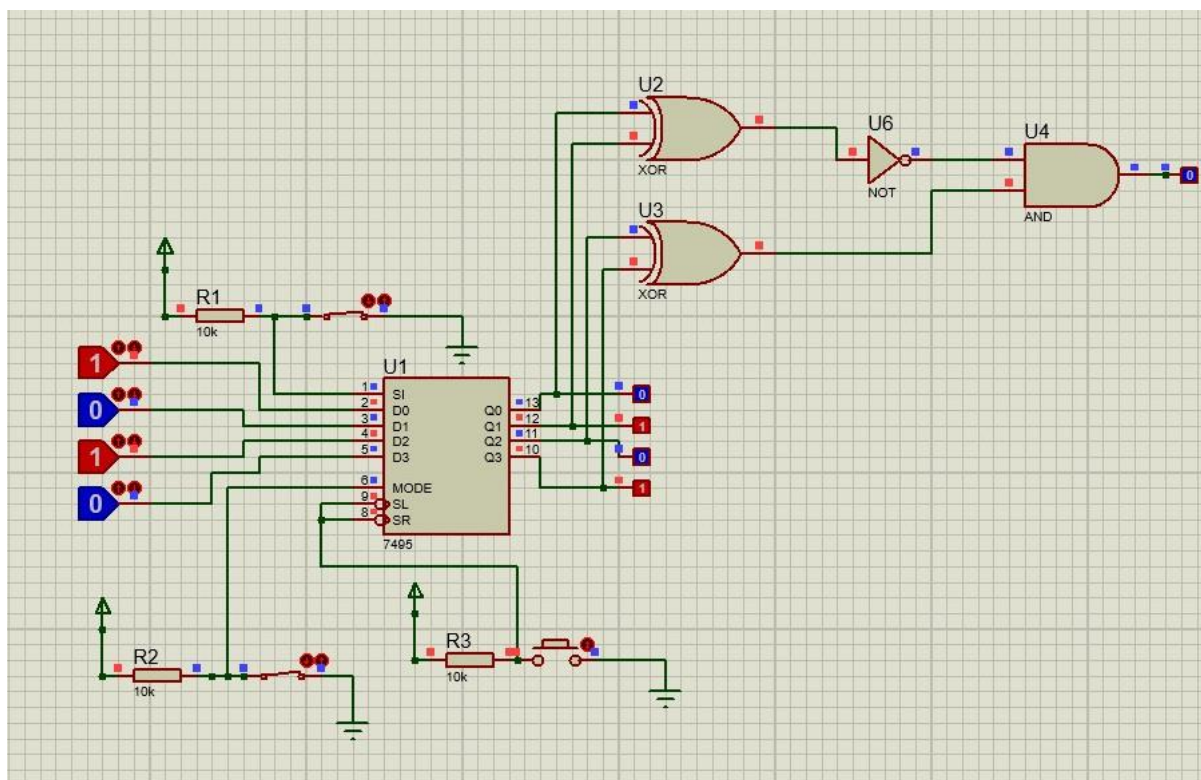
### ۲-۵-۱ بخش اول

برای آزمایش شیفت رجیستر ورودی های ۱۰۱۰ را مانند بخش دوم قسمت قبلی به آن داده و مود را هم ۱ میکنیم سپس یک کلاک میزنیم.



مطابق بالا میبینیم که لود به درستی انجام شده است.

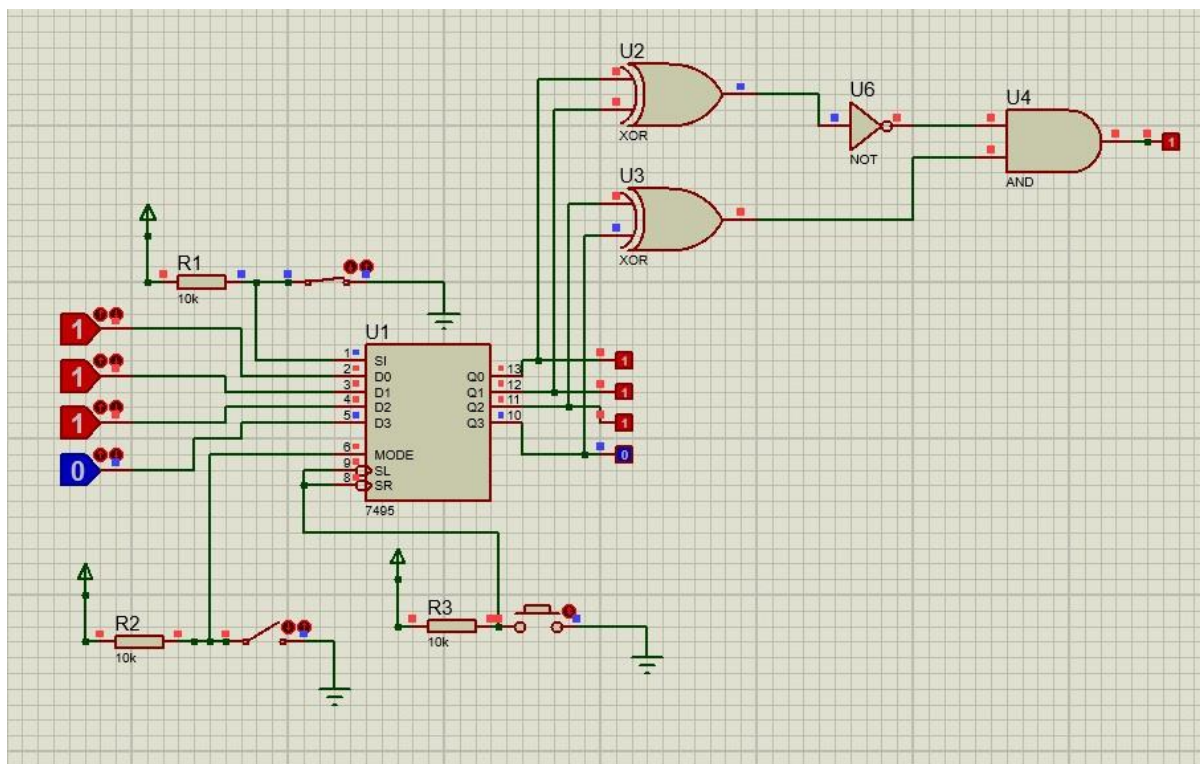
حال مود را ۰ کرده ورودی شیفت را ۰ کرده و یک کلاک میزنیم.



میبینیم که حاصل ۰۱۰۱ شده و شیفتت به راست درست عمل میکند.

## ۲-۵-۲ بخش دوم

همانطور که در بخش انجام آزمایش توضیح داده شد، مدار موردنظر با توانایی شناسایی ۴ رشته خاص، به کمک تراشه ۷۴۹۵ طراحی شد. برای اطمینان از درستی کارکرد مدار در شناسایی این رشته ها، یک مثال میزنیم.



## ۲-۶ منابع و مراجع:

- وبسایت ویکی‌پدیا
- [1] Mano, M. Morris. Computer system architecture. Prentice-Hall of India, 2003