

**Nombre:** Freddy Ismael Gómez Rojas

**Código:** 261711

**Tarea Técnicas de Integración.**

## **SEMÁFORO SOBRE CRUCE VEHICULAR CON PASO DE PEATONES. DISEÑO ESTRUCTURAL Y FUNCIONAL**

Se requiere el diseño estructural y funcional de un semáforo sobre un cruce vehicular con paso de peatones, el cual cuenta con sensores que permite el paso a los peatones cuando se llega a cierta cantidad esperando pasar.

### **PROCEDIMIENTO:**

#### **DISEÑO FUNCIONAL**

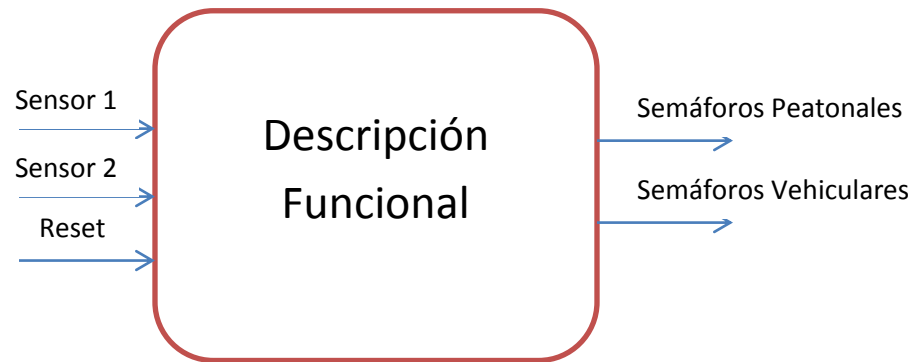
El diseño funcional o comportamental del sistema nos permite definir el funcionamiento general del mismo, estableciendo condiciones sobre que es lo que va hacer el sistema, cuales son sus objetivos, pero no entra en detalles sobre las operaciones que se ejecutan a su interior ni de los componentes del mismo.

Para el problema del semáforo el sistema cuenta con entradas las cuales son dos sensores, uno de ellos para los vehículos y otro para los peatones, además de una opción de borrado (*reset*) que permita reiniciar el contador del semáforo vehicular.

Como salidas se cuenta con cuatro semáforos, los dos primeros de tipo vehicular, con tres estados diferentes, siendo estos los colores del semáforo, rojo, amarillo y verde que popularmente se conocen. Los otros dos semáforos son para los peatones, estos cuentan con dos estados que son luz roja y verde. En la figura 1 se muestra el diagrama general de la descripción funcional del sistema.

El sistema habilita el semáforo vehicular 1 siempre que no haya peatones para cruzar la avenida, mejorando así el tráfico ya que si no hay necesidad de frenar, no se hace. De esta forma, el semáforo vehicular siempre estará en verde y el peatonal en rojo, a menos que activen el sensor peatonal para permitir el paso al peatón. Cuando el sensor de peatones se activa, éste habilita el semáforo peatonal 1, y cambia de estado el semáforo vehicular 1, primero a amarillo y luego a rojo. De esta forma el semáforo vehicular 2 cambia de estado rojo a amarillo hasta llegar a verde, dando paso a los carros y desactivando el semáforo peatonal 2. Este estado se mantiene hasta que acaben de cruzar todos los peatones, es decir hasta que el sensor 2 se desactive, o si se llega a activar la señal de *reset*, que devuelve el

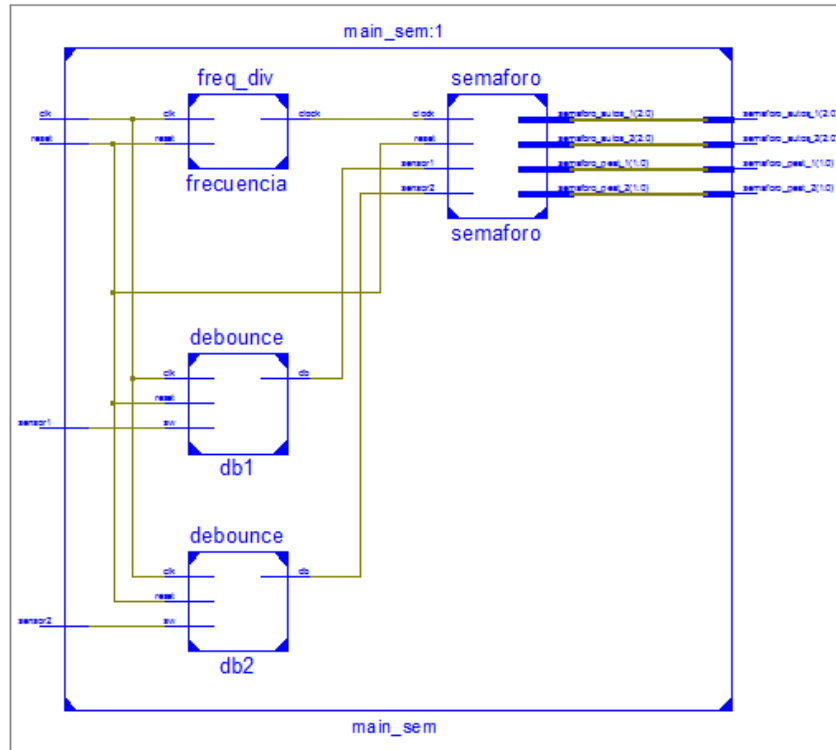
sistema a su estado inicial, donde se habilita el semáforo vehicular 1 y el semáforo peatonal 1 cambia a rojo.



**Figura 1. Descripción funcional del sistema.**

## **DISEÑO ESTRUCTURAL**

El diseño estructural permite obtener la estructura del sistema, de sus componentes y conexiones internas. Aunque no es posible deducir con precisión la función del sistema ya que es un sistema de cierto grado de complejidad, es posible definir con claridad la implementación del sistema. Para dicha representación se utilizan bloques funcionales predefinidos, de las cuales no se hace referencia distinta a su función, sin entrar en mayores detalles. En la figura 2 se observa el diagrama de bloques general del camino de datos del sistema, donde se observan los 4 módulos principales, como el divisor de frecuencia, el anti rebote y la máquina de estados que controla las secuencias.



**Figura 2. Descripción estructural del sistema.**

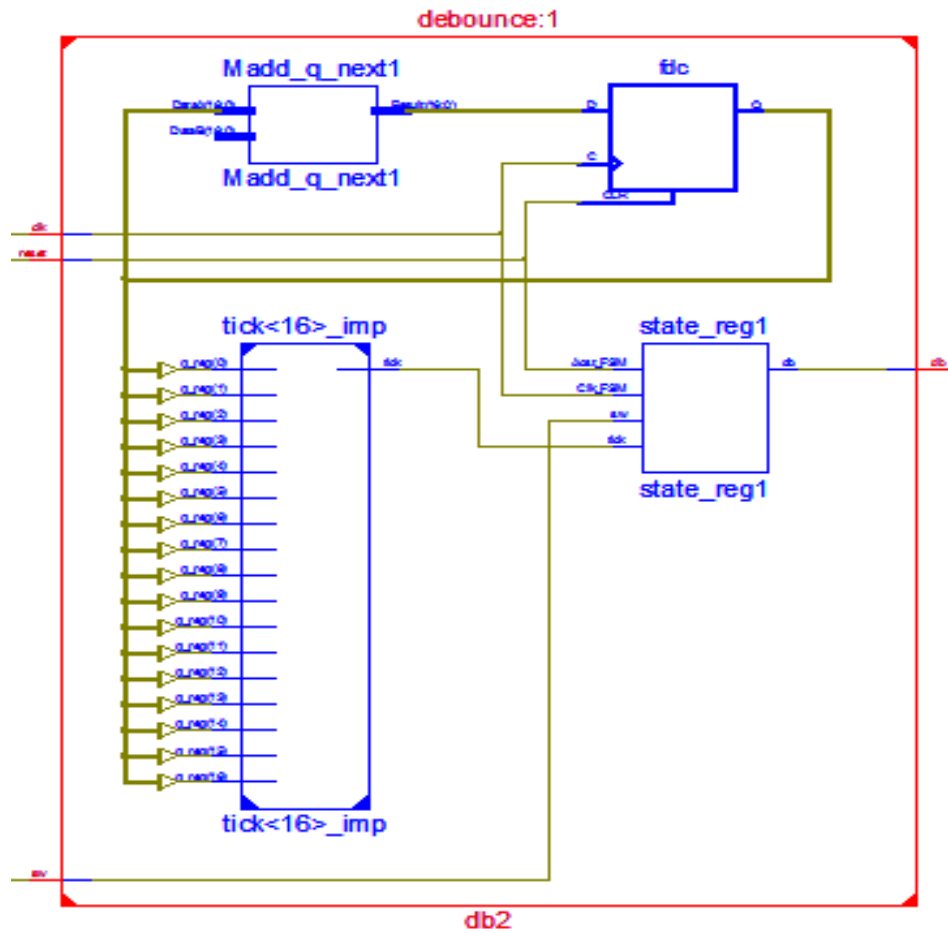
Cada uno de los bloques se conecta a un módulo llamado semáforo, donde se controla la lógica de estados del sistema. El modulo principal main instancia cada uno de los módulos y controla el sistema en su totalidad.

La implementación física del sistema se hace sobre un dispositivo de lógica programable, para realizar pruebas, en este caso la FPGA *nexys 3*, utilizando para las entradas pulsadores integrados al dispositivo, tanto para simular los sensores como para el reset. Las salidas se implementan externas al dispositivo, conectando para ello, LEDs de color rojo, amarillo y verde para simular los semáforos. Para limitar la corriente de los mismos se coloca una resistencia de 220  $\Omega$ . En total la implementación física del dispositivo conlleva:

- 1 FPGA
- 3 Pulsadores integrados a la FPGA
- 4 LEDs de color rojo
- 4 LEDs de color verde
- 2 LEDs de color amarillo
- 10 resistencias de 220  $\Omega$
- Cable AWG 24

En las figuras 3, 4 y 5 se muestra la implementación física de cada uno de los módulos del sistema.





**Figura 5. Descripción funcional del módulo anti rebote.**

## REFERENCIAS:

Jaramillo Jaramillo, Iván. “Tendencias en diseño digital CMOS-VLSI”.  
 Universidad Nacional de Colombia, Sede Bogotá. Agosto de 2012.