

Modeling I²C Communication Between SoCs with SystemC-AMS

David Ricardo Martínez Hernández
Sergio Andrés Zapata Palomino

Universidad Nacional de Colombia

Bogotá 6 de diciembre 2013

Tabla de Contenidos

- 1 Introducción
 - SystemC-AMS
- 2 Protocolo I²C
 - Transmisión
 - Validación
 - Comunicación Multimaster
- 3 Controlador para la arquitectura del bus I²C
 - Arquitectura General y Lenguaje de Modelamiento
 - Arquitectura Digital de Bloques
 - Bloques Analógicos
- 4 Simulación del Controlador I²C
 - Simulación de un Micro-Controlador del Nodo
 - Simulación de una SoC del Nodo
 - Simulación Rendimiento
- 5 Bibliografía

SystemC-AMS

- Sistemas embebidos, combinación elementos digitales y análogos.
- VHDL-AMS y SystemC.
- SystemC-AMS.

Transmisión

Protocolo I²C

- Frecuencia de transferencia de 100 *Kbits/s*.
- Modo de direccionamiento de 7 *bits*.
- Transferencias inician cuando hay flanco de bajada en el SDA mientras el SCL está en alto.
- Transferencias terminan cuando hay un flanco de subida en el SDA mientras el SCL está en alto.

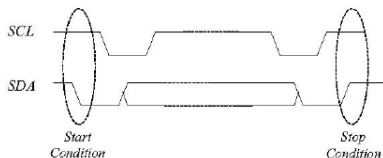


Figura: Inicio y terminación de una transmisión.

Validación

- La información transmitida es considerada válida cuando SCL se mantiene en estado alto.

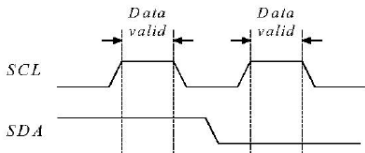


Figura: Validación de datos.

Comunicación Multimaster

- Arbitraje en la línea SDA.

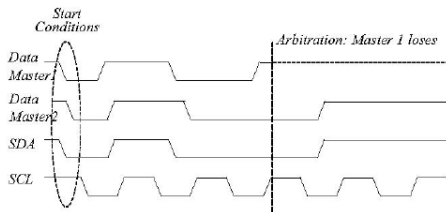


Figura: Procedimiento de arbitraje con 2 masters.

Arquitectura General y Lenguaje de Modelamiento

- Inventado para proveer comunicación en un bus bi-direccional de dos cables, usado en sensores, microcontroladores, LCD.
- Compatible con los estandares manejados por Philips.
- Detección de uso de bus.

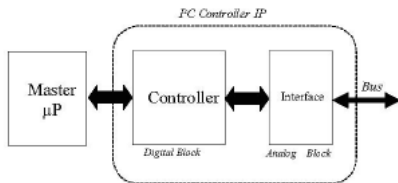


Figura: Arquitectura de bloque.

Bloques de la Arquitectura Digital

- Hay una lista FIFO que guarda las ordenes que vienen del procesador.
- Esas ordenes que provienen del micoprosesador se convierten en secuencias detalladas usando el protocolo I²C.
- Mediante un generador de señales se manejan las líneas del bus SCL y DSA.

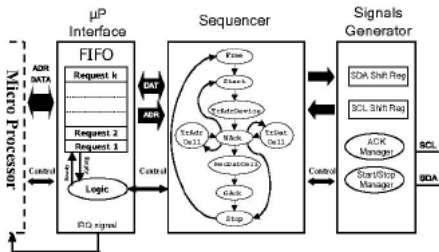


Figura: Arquitectura digital de bloques.

Bloques Analógicos

- Puede tener salidas de tipo Colector-Abierto o de Drenador-Abierto.
- El capacitor se utiliza para controlar el tiempo de salida y de bajada para la señal SDA.

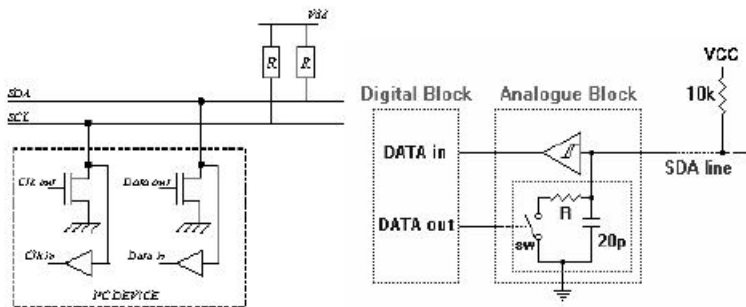


Figura: Arquitectura análoga de bloques.

Simulación de un Micro-Controlador del Nodo

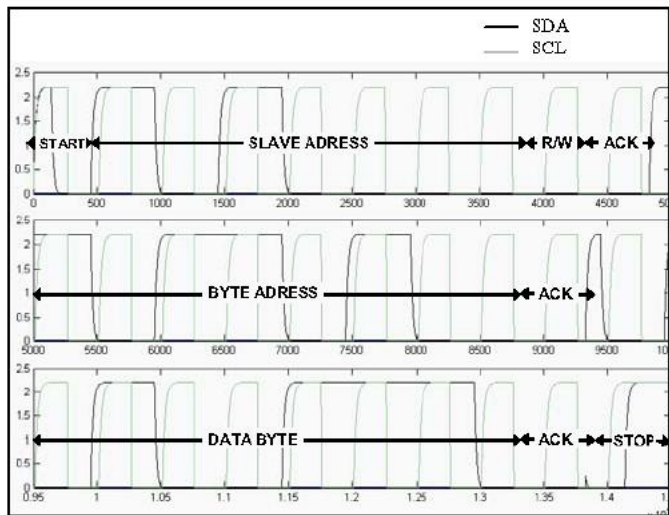


Figura: Simulación análoga con master 8051.

Simulación de una SoC del Nodo

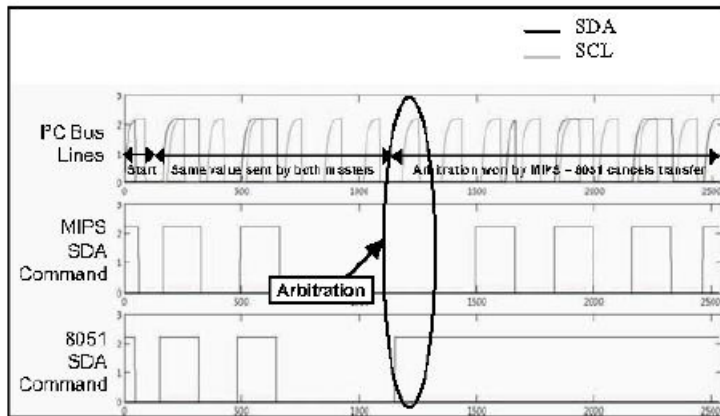


Figura: Multimaster Arbitraje.

Simulación Rendimiento

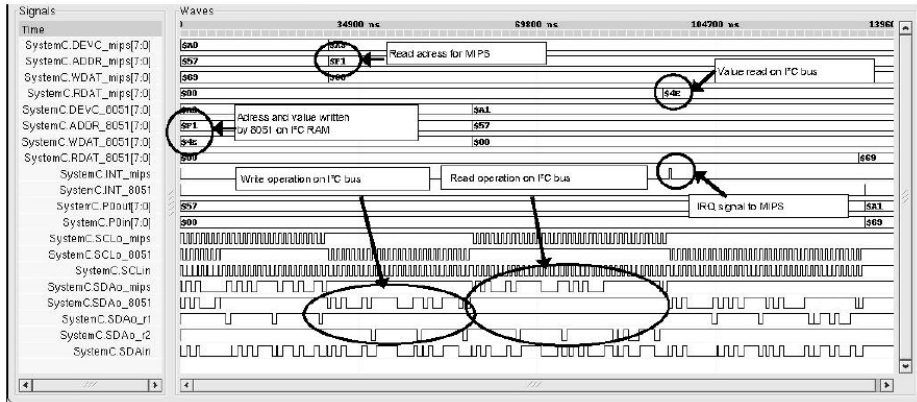


Figura: Simulación con master 8051 y mastert MIPS.

Bibliografía



Mohamad Alassir, Julien Denoulet, Olivier Romain, Patrick Garda.

Modelado de Comunicación P^2C entre SoCs con SystemC-AMS.

Universite Pierre et Marie Curie - Paris 6 - EA2385, 3 Rue Galilee - Boite
Courrier 252 94200 - Ivry sur Seine, France.