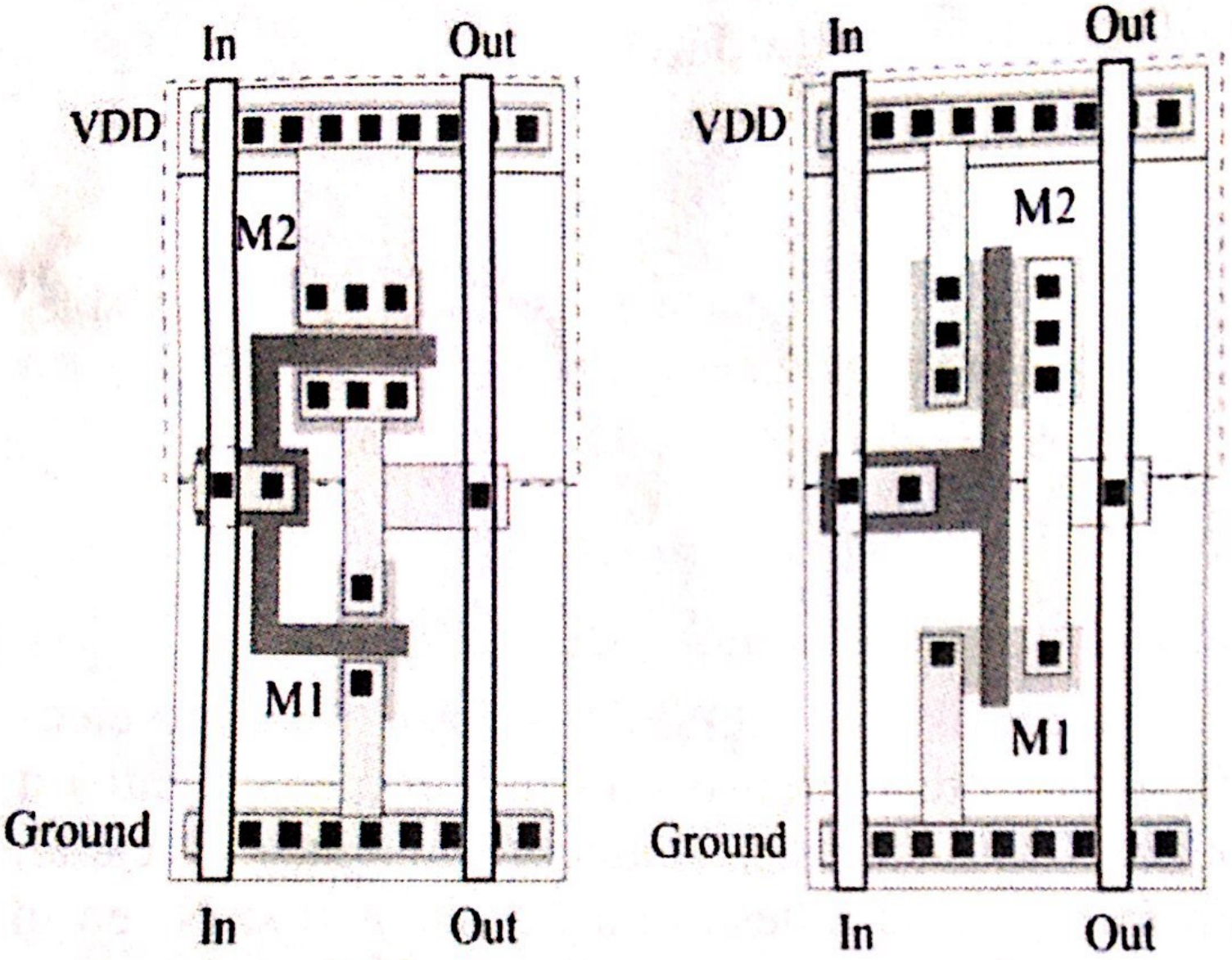

Fig. 2: Estilos de layout para el inversor de la familia CMOS.

La Fig. 2 ilustra dos métodos para desollar a cabo una compuerta inversora. Cabe notar como las entradas y salidas de las celdas utilizan la segunda capa de metal, mientras que los conductores de alimentación y tierra se enrutan con una capa de metal diferente a la anterior.

Operating Voltage	5, 12 V
Substrate Material	P-Type, Bulk or EPI
Drawn Transistor Length	0.6 µm
Gate Oxide Thickness	13.5 nm
Contact/Via Size	0.5 µm
Contacted Gate Pitch	3.9 µm
Top Metal Thickness	675 nm
Contacted Metal Pitch	
Metal 1	1.5 µm
Metal 2, 3	1.6 µm
Metal Composition	TiN/AlCu/TiN

Fig. 3: Caracteristicas del proceso C5 .

N-Channel	**Typical Value**	**Unit**
V_t	0.7	V
I_{dsat}	450	µA/µm
P-Channel		
V_t	-0.9	V
I_{dsat}	-260	µA/µm

Fig. 4: Características de los transistores estándar de la tecnología C5.

Rule	Description	Lambda		
		SCMOS	SUBM	DEEP
3.1	Minimum width	2	2	2
3.2	Minimum spacing over field	2	3	3
3.2.a	Minimum spacing over active	2	3	4
3.3	Minimum gate extension of active	2	2	2.5
3.4	Minimum active extension of poly	3	3	4
3.5	Minimum field poly to active	1	1	1

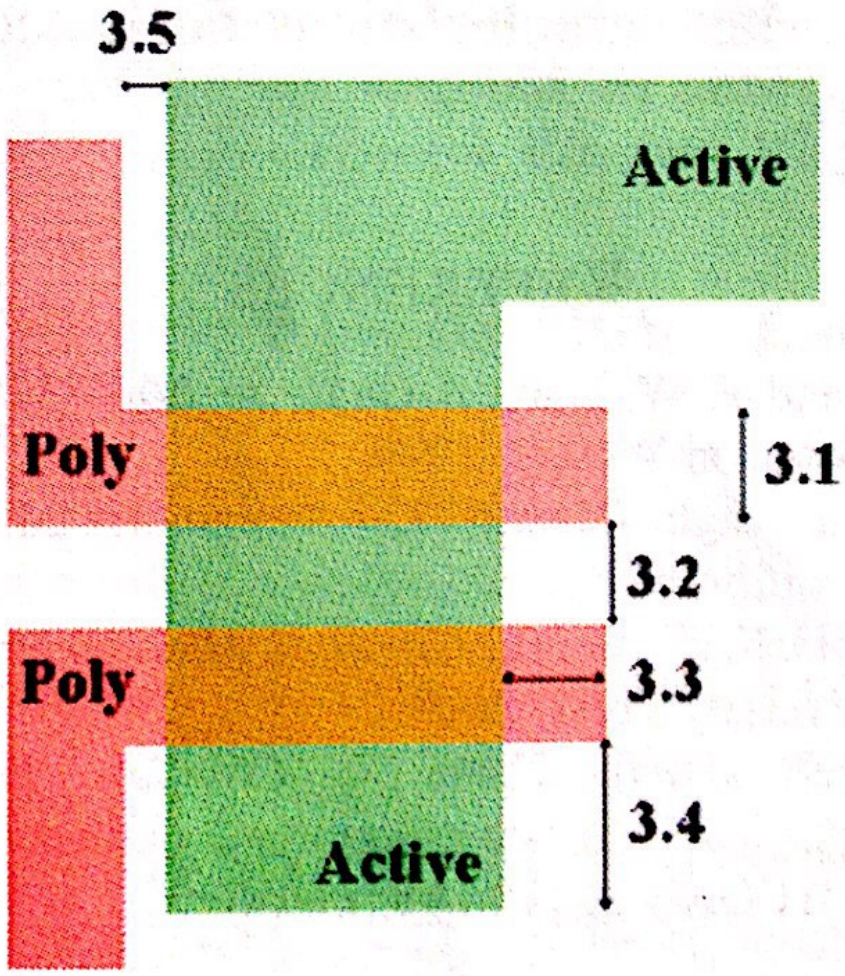

Fig. 5: Reglas de diseño MOSIS para la tecnología de proceso C5.

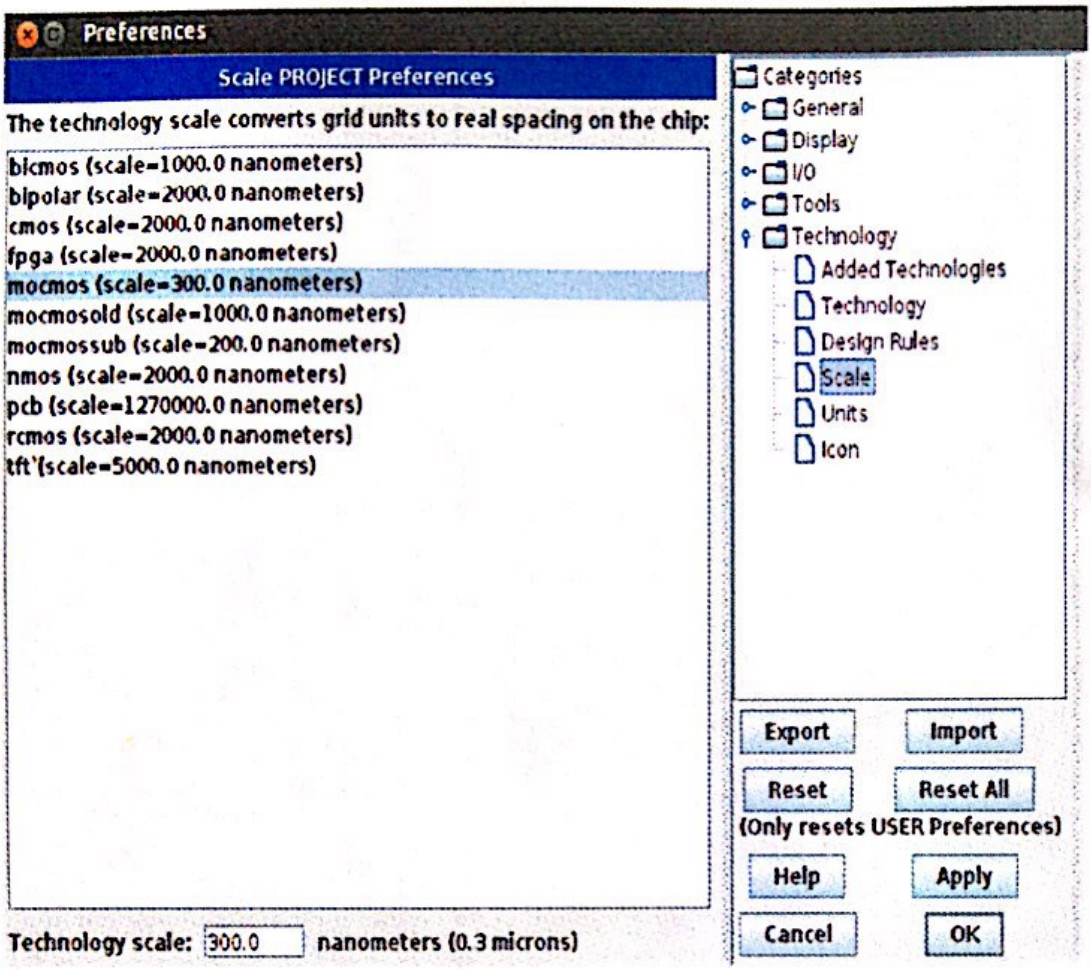

Fig. 6: Ventana del Programa donde se realizo el cambio del parámetro Lambda

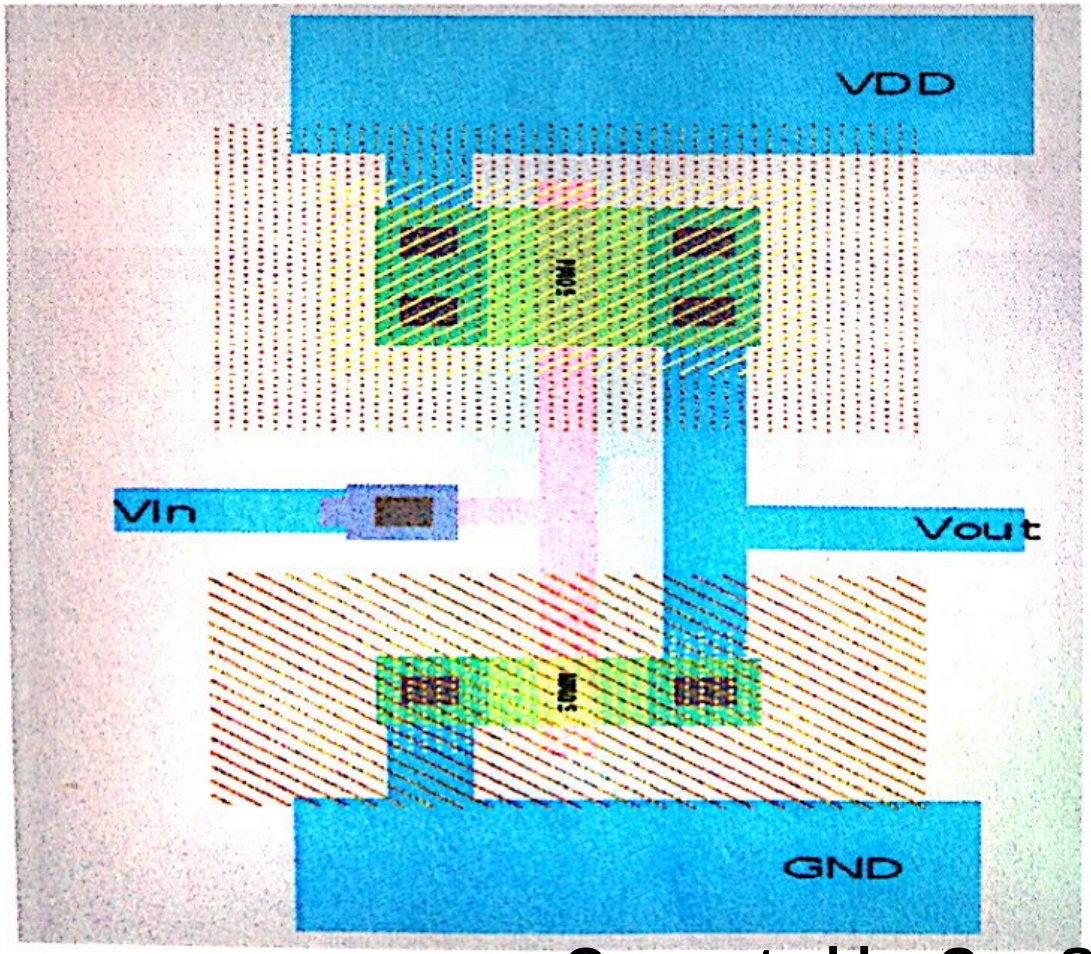

Fig. 7: Layout del inversor vista 2D

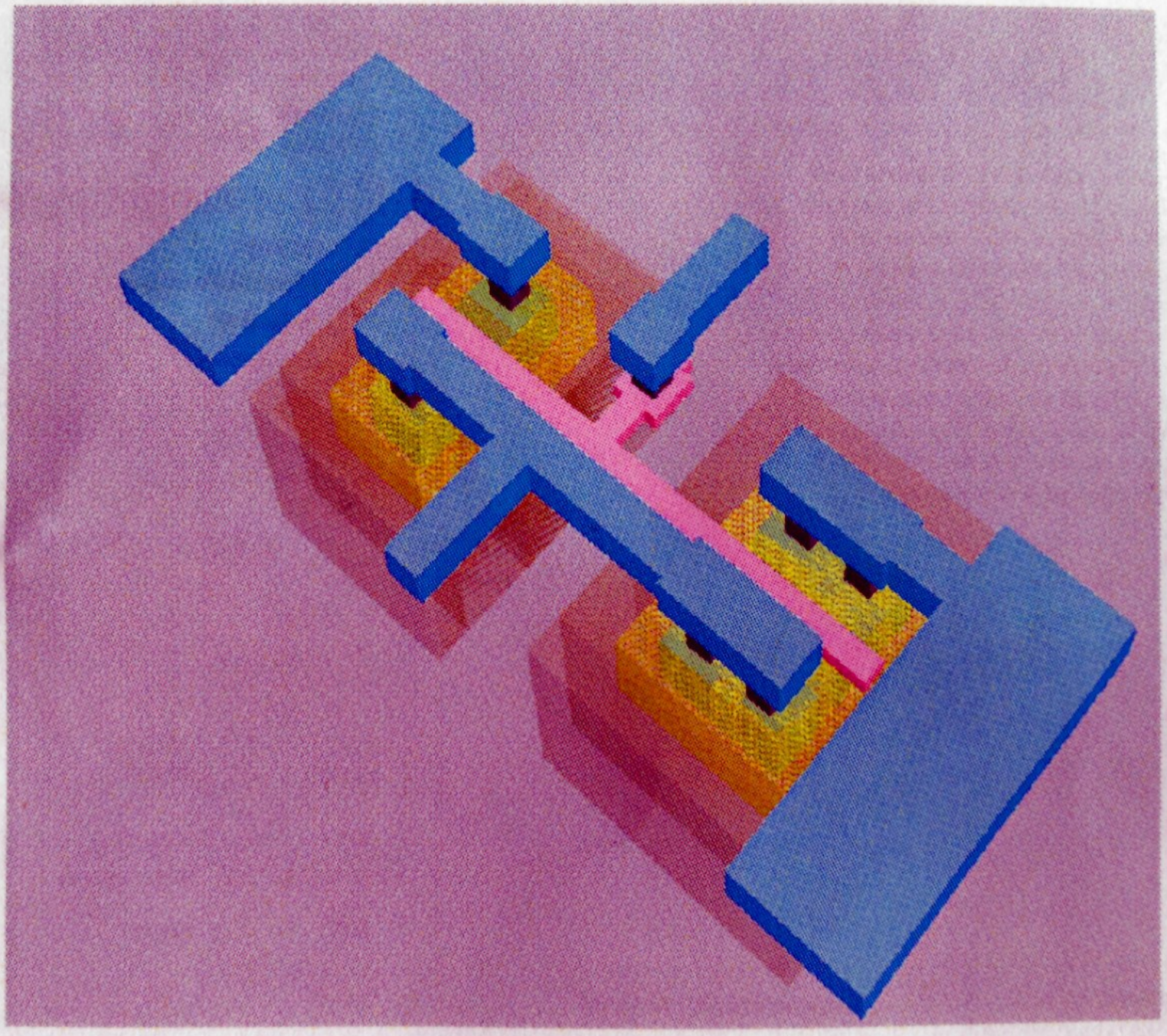

Fig. 8: Layout del inversor vista 3D