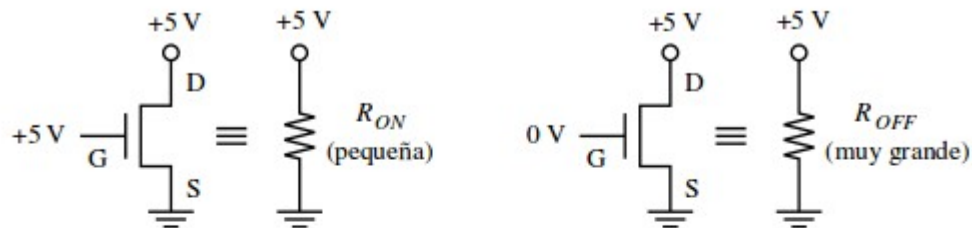


Nombre: Sergio Daniel Torres Linares
Código: 261591
Presentado a: Iván Jaramillo

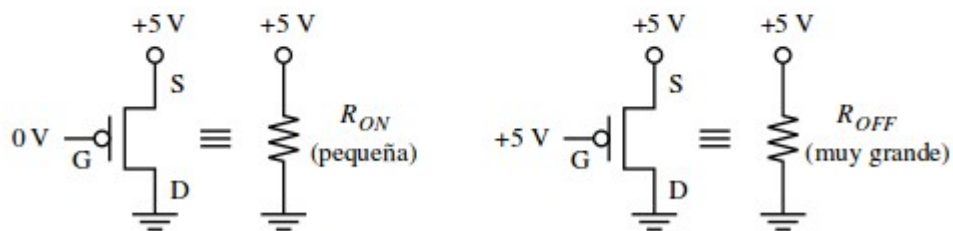
SIMULACIÓN EN SPICE DE UNA COMPUERTA INVERSORA UTILIZANDO LA TECNOLOGÍA CNM25

Con el fin de realizar la simulación en spice de la compuerta inversora es necesario entender el funcionamiento de la misma en primer lugar. Para ello es necesario comprender el funcionamiento de los transistores MOSFET como interruptores. Para el caso de un transistor NMOS, Si la tensión de compuerta es más positiva que la de la fuente se forma un canal entre drenaje y fuente permitiendo la conducción de la corriente eléctrica. En este caso, se puede decir que el transistor se encuentra en estado ON y la resistencia del canal es pequeña. Si por el contrario, la tensión compuerta-fuente es cero, el canal deja de existir y el dispositivo no conduce entre drenaje y fuente; es decir, el transistor se encuentra en OFF.

De manera similar, los transistores tipo P también pueden actuar como conmutadores. En este caso, dichos dispositivos se encuentran en ON cuando la tensión de compuerta es 0; por el contrario, cuando dicha tensión es más positiva que la tensión de fuente el transistor pasará al estado OFF.

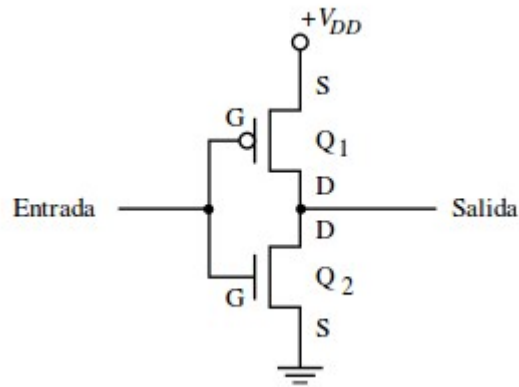


(a) Interruptor de canal n



(b) Interruptor de canal p

Teniendo en cuenta lo anterior, dicho principio se puede aplicar al diseño de compuertas lógicas que permitan un comportamiento adecuado para su implementación en sistemas digitales. Así las cosas, el propósito de la simulación es poder observar el comportamiento de una compuerta inversora cuya configuración se muestra a continuación:



El funcionamiento de dicha configuración es simple: La tensión V_{DD} es la tensión pico que determinará el nivel de voltaje en la salida. Cuando en la entrada se encuentra un "1 lógico", el transistor tipo N está en ON mientras que el PMOS se encuentra en estado OFF. Esto significa que la diferencia de potencial entre el drenaje y la fuente será de 0V y esta será la tensión que tendrá la salida.

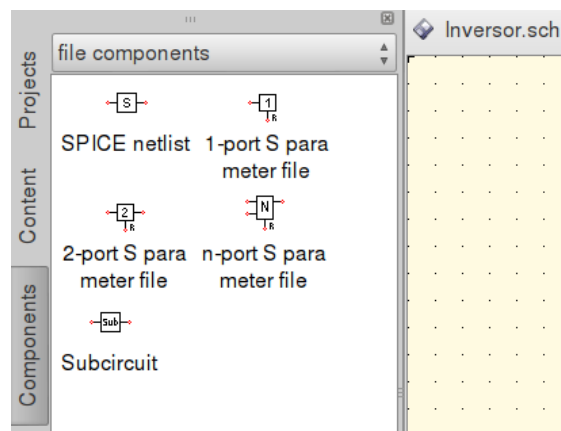
Por otro lado, si la tensión de entrada se encuentra en un "0 lógico", el NMOS se pondrá en estado OFF y el PMOS estará en ON. Esto significa que la tensión de salida será de V_{DD} con respecto a tierra.

Una vez que se ha analizado dicho comportamiento se puede observar que efectivamente esta configuración corresponde a la de una compuerta negadora, por lo cual se procederá a realizar la simulación para corroborar el funcionamiento esperado.

Para ello se tendrá en cuenta la utilización de la tecnología CMN25 según los requerimientos dados en clase. Por lo tanto, para la simulación se requirió la librería C5_models.txt la cual contiene los modelos SPICE de un transistor NMOS y de uno PMOS cuyas características corresponden a dicha tecnología. El archivo de modelo pudo ser obtenido en el siguiente enlace: http://cmosedu.com/jbaker/courses/ece5410/s10/C5_models.txt.

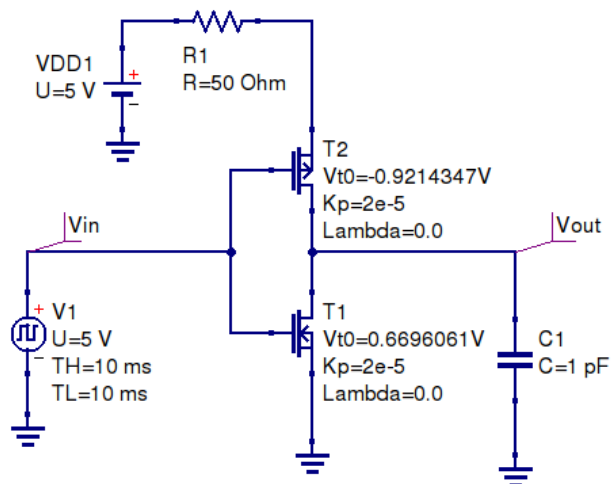
El siguiente paso consistió en la elección del software a utilizar. Existen múltiples opciones que permiten implementar SPICE, entre las que se destacan OrCAD, LtSpice, NtSPICE, entre otras. Sin embargo, se eligió el simulador QUCS por ser este un programa libre y permitir resultados de alta calidad.

Para poder importar los modelos, estos fueron separados en dos archivos; uno para el NMOS y el otro para CMOS. Posteriormente se inserta en el esquemático un componente llamado "SPICE netlist" como se muestra en la imagen:



Al colocar el componente se hace doble click y se selecciona el archivo del modelo o netlist; en este caso NMOS.cir y PMOS.cir para el otro transistor.

Posteriormente, se termina de construir el diagrama incluyendo fuentes, componentes comunes y etiquetas en los nodos de interés (V_{in} y V_{out}). El diagrama final se muestra a continuación:



Finalmente, se especifican el tipo de simulación, los parámetros de parada, de inicio y de paso. Luego se puede colocar un diagrama en el cual se ubican las señales de interés cuya salida (como se esperaba) es la siguiente:

