

# Laboratorio N° 4

## SIMULACION DE UN BUS DE COMUNICACIONES MEDIANTE SYSTEMC.

### Resumen --.

Juan David Caicedo, Néstor Romero Arismendi,  
UNIVERSIDAD NACIONAL DE COLOMBIA  
*Índice de Términos —*

## I. INTRODUCCIÓN

### II. PROCEDIMIENTO

Para el desarrollo de esta práctica se utilizó la descripción de un bus de datos anexa al paquete systemC, llamado `simple_bus`; se le realizaron las medidas temporales para su descripción, tales como la latencia y el `trouput`; también se sometió el bus a diversos tipos de arbitrajes y se compararon los resultados.

#### A. Medidas de latencia y `trouput` del bus con maestro no bloqueante.

Para la obtención de estas variables en el bus se implementó un sistema de un solo maestro no bloqueante y se compararon los resultados utilizando una memoria rápida y una memoria lenta.

- **Latencia con memoria rápida.**

Como se es conocida la latencia es la diferencia del tiempo entre cuando el maestro da una instrucción y esta se realiza, por lo tanto vamos a analizar 2 latencias, la de escritura y lectura, por lo tanto se simuló un proceso en el cual el maestro realiza una escritura y una lectura, los resultados obtenidos fueron los siguientes:

```
0 top.bus : read(1) @ 4c
500 top.bus : request (1) [SIMPLE_BUS_REQUEST]
500 top.bus Handle Slave(1)
--> status=(SIMPLE_BUS_OK)
1000 top.bus : write(1) @ 4c
1500 top.bus : request (1) [SIMPLE_BUS_REQUEST]
1500 top.bus Handle Slave(1)
--> status=(SIMPLE_BUS_OK)
```

Como se es posible observar para la operación de lectura, el maestro requiere el bus para la lectura en el tiempo 0, y la operación es completada en 0.5ns, por lo tanto:

$$Latencia_{lectura} \uparrow 0.5ns - 0ns \uparrow 0.5ns$$

Mientras que para la escritura la escritura, el maestro solicita el bus en el tiempo de 1ns y la operación se realiza en el tiempo de 1.5ns por lo tanto:

$$Latencia_{escritura} \uparrow 1.5ns - 1.0ns \uparrow 0.5ns$$

- **Latencia con memoria lenta**

De igual manera como se realizó en la sección anterior, vamos a analizar ahora los tiempos de latencia teniendo un maestro no bloqueante y una memoria lenta. Se simuló un proceso en el cual el maestro realiza una escritura y una lectura, los resultados obtenidos fueron los siguientes:

```
0 top.bus : read(1) @ 4c
500 top.bus : request (1) [SIMPLE_BUS_REQUEST]
500 top.bus Handle Slave(1)
--> status=(SIMPLE_BUS_WAIT)
1500 SLV [76]
1500 top.bus Handle Slave(1)
--> status=(SIMPLE_BUS_OK)
2000 top.bus : write(1) @ 4c
2500 top.bus : request (1) [SIMPLE_BUS_REQUEST]
2500 top.bus Handle Slave(1)
--> status=(SIMPLE_BUS_WAIT)
3500 SLV [76]
3500 top.bus Handle Slave(1)
--> status=(SIMPLE_BUS_OK)
```

Como se es posible observar para la operación de lectura, el maestro requiere el bus para la lectura en el tiempo 0, y la operación es completada en 1.5ns, por lo tanto:

$$Latencia_{lectura} \uparrow 1.5ns - 0ns \uparrow 1.5ns$$

Mientras que para la escritura la escritura, el maestro solicita el bus en el tiempo de 2ns y la operación se realiza en el tiempo de 3.5ns por lo tanto:

$$Latencia_{escritura} \uparrow 3.5ns - 2.0ns \uparrow 1.5ns$$

- **Trouput con memoria rápida.**

El `trouput` se refiere a la cantidad de información que viaja a lo largo del sistema como se mencionó anteriormente este se calcula de la siguiente manera:

$$Th \uparrow \frac{Mylength * tamaño_{bus}}{t_{operacion}}$$

Con los resultados obtenidos en la sección anterior vamos a hallar el `trouput` por operación para la memoria rápida, sabiendo que `mylength=9` y el tamaño del bus =32 bits (valores del `simple_bus`); de modo que tenemos :

$$Th \uparrow \frac{9 * 32}{0.5ns} \uparrow 576 \frac{bits}{ns}$$

- **Trouput con memoria lenta**

De igual manera para la memoria lenta tenemos:

$$Th \uparrow \frac{Mylength * tamaño_{bus}}{t_{operacion}}$$

$$Th \uparrow \frac{9 * 32}{1,5} ns \uparrow 192 \frac{bits}{ns}$$

### B. Medidas de latencia y trougput del bus con maestro bloqueante.

Para la obtención de estas variables en el bus se implemento un sistema de un solo maestro bloqueante y una memoria rápida.

#### • Latencia con memoria rápida.

Como se es conocida la latencia es la diferencia del tiempo entre cuando el maestro da una instrucción y esta se realiza, por lo tanto vamos a analizar 2 latencias, la de escritura y lectura, por lo tanto se simulo un proceso en el cual el maestro realiza una escritura y una lectura, los resultados obtenidos fueron los siguientes:

Para la operación de lectura, el maestro requiere el bus para la lectura en el tiempo 0, y la operación es completada en 15.5 ns, por lo tanto:

$$Latencia_{lectura} \uparrow 15.5ns - 0ns \uparrow 15.5ns$$

Mientras que para la escritura la escritura, el maestro solicita el bus en el tiempo de 33ns y la operación se realiza en el tiempo de 48.5ns por lo tanto:

$$Latencia_{escritura} \uparrow 48.5ns - 33 ns \uparrow 15.5 ns$$

#### • Latencia con memoria lenta

De igual manera como se realizo en la sección anterior, vamos a analizar ahora los tiempos de latencia teniendo un maestro bloqueante y una memoria lenta. Se simulo un proceso en el cual el maestro realiza una escritura y una lectura, los resultados obtenidos fueron los siguientes:

Para la operación de lectura, el maestro requiere el bus para la lectura en el tiempo 0, y la operación es completada en 31.5ns, por lo tanto:

$$Latencia_{lectura} \uparrow 31.5 ns - 0ns \uparrow 31,5 ns$$

Mientras que para la escritura la escritura, el maestro solicita el bus en el tiempo de 48ns y la operación se realiza en el tiempo de 79.5ns por lo tanto:

$$Latencia_{escritura} \uparrow 79.5ns - 48 ns \uparrow 31,5 ns$$

#### • Trougput con memoria rápida.

El trougput se refiere a la cantidad de información que viaja a lo largo del sistema como se menciono anteriormente este se calcula de la siguiente manera:

$$Th \uparrow \frac{Mylength * tamaño_{bus}}{t_{operacion}}$$

Con los resultados obtenidos en la sección anterior vamos a hallar el trougput por operación para la memoria rápida, sabiendo que mylength=9 y el tamaño del bus =32 bits (valores del simple\_bus); de modo que tenemos :

$$Th \uparrow \frac{9 * 32}{0.5ns} \uparrow 576 \frac{bits}{ns}$$

#### • Trougput con memoria lenta

De igual manera para la memoria lenta tenemos:

$$Th \uparrow \frac{Mylength * tamaño_{bus}}{t_{operacion}}$$

$$Th \uparrow \frac{9 * 32}{1,5} ns \uparrow 192 \frac{bits}{ns}$$

### C. Políticas de Arbitraje con dos maestros y dos memorias..

En esta sección de la practica se implementó un sistema de bus descrito en la siguiente figura:

en el cual se encuentran 2 maestros no bloqueantes, dos memorias rápidas y un arbitro, cada maestro requerirá el bus para 3 operaciones de lectura y 3 de escritura cada 20 ns. Se implementaran 3 políticas de arbitraje (Prioridades fijas, Round Robin y TDMA), y se evaluara cada una de sus medidas de desempeño y se compararan entre ellas:

#### • Propiedades Fijas

Se realizo la simulación del simple bus con la política de arbitraje de Prioridades Fijas y se obtuvieron los siguientes resultados:

	Maestro 1	Maestro 2
Numero de operaciones	12	12
Tiempo de simulación	40ns	

	Maestro 1	Maestro 2
Numero de operaciones	18	18
Tiempo de simulación	70ns	

Conociendo los valores de latencia para los maestros no bloqueantes podemos obtener el tiempo de utilización de cada maestro, así como la latencia total del sistemas y el trougput total del sistemas de manera que tenemos:

Para la simulación de 40ns

	<b>Maestro 1</b>	<b>Maestro 2</b>
Numero de operaciones	12	12
Tiempo de uso	6 ns	6ns
% de utilización de bus	15%	15%
Tiempo de utilización del bus	12 ns	
Tiempo de espera del bus	28 ns	
% de utilización del bus	30%	

Para la simulación de 70ns

	<b>Maestro 1</b>	<b>Maestro 2</b>
Numero de operaciones	18	18
Tiempo de uso	9ns	9ns
% de utilización de bus	12.8%	12.8%
Tiempo de utilización del bus	18 ns	
Tiempo de espera del bus	52 ns	
% de utilización del bus	25.6%	

- **Round Robin**

Tiempo de simulación

	<b>Maestro 1</b>	<b>Maestro 2</b>
Numero de operaciones	11	10
Tiempo de simulación	40ns	

	<b>Maestro 1</b>	<b>Maestro 2</b>
Numero de operaciones	16	16
Tiempo de simulación	70ns	

Conociendo los valores de latencia para los maestros no bloqueantes podemos obtener el tiempo de utilización de cada maestro, así como la latencia total del sistemas y el trougputh total del sistemas de manera que tenemos:

Para la simulación de 40ns

	<b>Maestro 1</b>	<b>Maestro 2</b>
Numero de operaciones	11	10
Tiempo de uso	5.5ns	5ns
% de utilización de bus	13.75%	12.5%
Tiempo de utilización del bus	10.5ns	
Tiempo de espera del bus	29.5 ns	
% de utilización del bus	26.25%	

Para la simulación de 70ns

	<b>Maestro 1</b>	<b>Maestro 2</b>
Numero de operaciones	18	18
Tiempo de uso	9ns	9ns
% de utilización de bus	12.8%	12.8%
Tiempo de utilización del bus	18 ns	

Tiempo de espera del bus	52 ns
% de utilización del bus	25.6%

- **TDMA**

Se realizo la simulación del simple bus con la política de arbitraje de TDMA y se obtuvieron los siguientes resultados:

	<b>Maestro 1</b>	<b>Maestro 2</b>
Numero de operaciones	10	10
Tiempo de simulación	40ns	

	<b>Maestro 1</b>	<b>Maestro 2</b>
Numero de operaciones	16	14
Tiempo de simulación	70ns	

Conociendo los valores de latencia para los maestros no bloqueantes podemos obtener el tiempo de utilización de cada maestro, así como la latencia total del sistemas y el trougputh total del sistemas de manera que tenemos:

Para la simulación de 40ns

	<b>Maestro 1</b>	<b>Maestro 2</b>
Numero de operaciones	10	10
Tiempo de uso	5ns	5ns
% de utilización de bus	12.5%	12.5%
Tiempo de utilización del bus	10ns	
Tiempo de espera del bus	30ns	
% de utilización del bus	25%	

Para la simulación de 70ns

	<b>Maestro 1</b>	<b>Maestro 2</b>
Numero de operaciones	16	14
Tiempo de uso	8ns	7ns
% de utilización de bus	11.42%	10%
Tiempo de utilización del bus	15 ns	
Tiempo de espera del bus	55 ns	
% de utilización del bus	21.46%	

Ahora, se cambiara el trafico de los maestros, ambos utilizaran el bus para 3 operaciones de lectura y escritura el primer maestro lo hará cada 5 ns y el segundo maestro lo requerirá cada 10 ns, y luego se invertirá este tiempo. Se analizara cada política de arbitraje.

- **Propiedades Fijas**

Se realizo la simulación del simple bus con la política de arbitraje de Prioridades Fijas y se obtuvieron los siguientes resultados:

	<b>Maestro 1 (5ns)</b>	<b>Maestro 2 (10ns)</b>
Numero de operaciones	24	12
Tiempo de simulación	40ns	

	<b>Maestro 1 (10ns)</b>	<b>Maestro 2 (5ns)</b>
Numero de operaciones	21	15
Tiempo de simulación	40ns	

Conociendo los valores de latencia para los maestros no bloqueantes podemos obtener el tiempo de utilización de cada maestro, así como la latencia total del sistemas y el trougputh total del sistemas de manera que tenemos:

Para la simulación con mayor trafico del maestro 1

	<b>Maestro 1</b>	<b>Maestro 2</b>
Numero de operaciones	24	12
Tiempo de uso	12ns	6ns
% de utilización de bus	30%	15%
Tiempo de utilización del bus	18 ns	
Tiempo de espera del bus	22 ns	
% de utilización del bus	45%	

Para la simulación con mayor trafico del maestro 2.

	<b>Maestro 1</b>	<b>Maestro 2</b>
Numero de operaciones	21	15
Tiempo de uso	10.5ns	7.5ns
% de utilización de bus	26.25%	18.75%
Tiempo de utilización del bus	18 ns	
Tiempo de espera del bus	22 ns	
% de utilización del bus	45%	

#### • Round Robin

Se realizo la simulación del simple bus con la política de arbitraje de Round Robin y se obtuvieron los siguientes resultados:

	<b>Maestro 1 (5ns)</b>	<b>Maestro 2 (10ns)</b>
Numero de operaciones	18	14
Tiempo de simulación	40ns	

	<b>Maestro 1 (10ns)</b>	<b>Maestro 2 (5ns)</b>
Numero de operaciones	13	18
Tiempo de simulación	40ns	

Conociendo los valores de latencia para los maestros no bloqueantes podemos obtener el tiempo de utilización de cada maestro, así como la latencia total del sistemas y el trougputh total del sistemas de manera que tenemos:

Para la simulación con mayor trafico del maestro 1

	<b>Maestro 1</b>	<b>Maestro 2</b>
Numero de operaciones	18	14
Tiempo de uso	9ns	7ns
% de utilización de bus	22.5%	17.5%
Tiempo de utilización del bus	16ns	
Tiempo de espera del bus	24ns	
% de utilización del bus	40%	

Para la simulación con mayor trafico del maestro 2

	<b>Maestro 1</b>	<b>Maestro 2</b>
Numero de operaciones	13	18
Tiempo de uso	6,5ns	9ns
% de utilización de bus	15.25%	22.5%
Tiempo de utilización del bus	15.5ns	
Tiempo de espera del bus	54.5ns	
% de utilización del bus	37.75%	

#### • TDMA

Se realizo la simulación del simple bus con la política de arbitraje de TDMA y se obtuvieron los siguientes resultados:

	<b>Maestro 1 (10ns)</b>	<b>Maestro 2 (5ns)</b>
Numero de operaciones	16	12
Tiempo de simulación	40ns	

	<b>Maestro 1 (5ns)</b>	<b>Maestro 2 (10ns)</b>
Numero de operaciones	14	17
Tiempo de simulación	40ns	

Conociendo los valores de latencia para los maestros no bloqueantes podemos obtener el tiempo de utilización de cada maestro, así como la latencia total del sistemas y el trougputh total del sistemas de manera que tenemos:

Para la simulación con mayor trafico del maestro 1

	<b>Maestro 1</b>	<b>Maestro 2</b>
Numero de operaciones	16	12
Tiempo de uso	8ns	6ns
% de utilización de bus	20%	15%
Tiempo de utilización del bus	14ns	

bus	
Tiempo de espera del bus	26ns
% de utilización del bus	35%

Para la simulación con mayor trafico del maestro 2

	Maestro 1	Maestro 2
Numero de operaciones	14	17
Tiempo de uso	7ns	8.5ns
% de utilización de bus	17.5%	21.25%
Tiempo de utilización del bus	15.5 ns	
Tiempo de espera del bus	24.5 ns	
% de utilización del bus	38.75%	

#### • Análisis para 2 maestros.

Para el análisis de los resultados obtenidos de las diferentes políticas de arbitraje con dos maestros, es importante señalar que la frecuencia con que un maestro es aleatoria, por lo tanto para poder decidir acerca de la mejor política de arbitraje, se debe escoger la que mejor se comporte en los casos en que alguno de los dos maestros tenga mayor recurrencia al bus y cuando los maestros lo utilizan con la misma frecuencia.

Con los resultados obtenidos de la política de prioridades fijas se puede observar, que si bien esta política es la que cuenta con un mayor % de utilización del bus, cuando los maestros tienen la misma frecuencia y cuando no, se presenta un inconveniente cuando el maestro 2 tiene mayor frecuencia de utilización del bus, esta política siempre va a tener más operaciones del maestro 1 lo cual puede generar errores dado que el maestro 2 puede requerir el bus para operaciones más importantes que las del primer maestro, pero tardara más tiempo; mientras que en las políticas de Round Robin y TDMA las operaciones son muy relacionadas a la frecuencia que cada maestro utiliza el bus, de modo que estas políticas son las mas ventajosas en el sentido de que los maestro tiene mas libertad para utilizar el bus con la frecuencia que estos desea, pero ya que el % de utilización del bus en la política de Round Robin es mayor a la de TDMA, esta sera mucho mejor política de para 2 maestros.

#### C. Políticas de Arbitraje con dos maestros bloqueantes y dos no bloqueantes con cuatro memorias.

En esta sección de la practica se implementó un sistema de bus descrito en la siguiente figura:

en el cual se encuentran 2 maestros no bloqueantes (M1,M2), 2 maestros bloqueantes(M3,M4), cuatro memorias rápidas y un arbitro, cada maestro no bloqueante requerirá el bus para 3 operaciones de lectura y 3 de escritura cada 5ns, mientras que los maestros bloqueantes ejecutara una operación de lectura y una escritura cada 5ns. Se implementaran 3 políticas de arbitraje (Prioridades fijas, Round Robin y TDMA), y se evaluara cada una de sus medidas de desempeño y se compararan entre ellas:

#### • Propiedades Fijas

Se realizo la simulación del simple bus con la política de arbitraje de Prioridades Fijas y se obtuvieron los siguientes resultados:

	M1	M2	M3	M4
Numero de operaciones	55	39	8	0
Tiempo de simulación	100ns			

Conociendo los valores de latencia para los maestros no bloqueantes podemos obtener el tiempo de utilización de cada maestro, así como la latencia total del sistemas y el trougputh total del sistemas de manera que tenemos:

	M1	M2	M3	M4
Numero de operaciones	55	39	8	0
Tiempo de uso	27.5ns	19.5ns	14ns	0
% de utilización de bus	27.5%	19.5%	14%	0%
Tiempo de utilización del bus	61ns			
Tiempo de espera del bus	39ns			
% de utilización del bus	61%			

#### • Round Robin

Se realizo la simulación del simple bus con la política de arbitraje de Round Robins y se obtuvieron los siguientes resultados:

	M1	M2	M3	M4
Numero de operaciones	22	24	2	2
Tiempo de simulación	50ns			

Conociendo los valores de latencia para los maestros no bloqueantes podemos obtener el tiempo de utilización de cada maestro, así como la latencia total del sistemas y el trougputh total del sistemas de manera que tenemos:

	M1	M2	M3	M4
Numero de operaciones	22	24	2	2
Tiempo de uso	11ns	12ns	28ns	22ns
% de utilización de	11%	12%	28%	22%

bus				
Tiempo de utilización del bus	73ns			
Tiempo de espera del bus	27ns			
% de utilización del bus	73%			

- **TDMA**

Se realizó la simulación del simple bus con la política de arbitraje de TDMA y se obtuvieron los siguientes resultados:

	<b>M1</b>	<b>M2</b>	<b>M3</b>	<b>M4</b>
Numero de operaciones	22	18	2	2
Tiempo de simulación	100ns			

Conociendo los valores de latencia para los maestros no bloqueantes podemos obtener el tiempo de utilización de cada maestro, así como la latencia total del sistema y el throughput total del sistema de manera que tenemos:

	<b>M1</b>	<b>M2</b>	<b>M3</b>	<b>M4</b>
Numero de operaciones	22	18	2	2
Tiempo de uso	11ns	10ns	20ns	20ns
% de utilización de bus	11%	10%	20%	20%
Tiempo de utilización del bus	66ns			
Tiempo de espera del bus	44ns			
% de utilización del bus	66%			

Como se es posible observar la mejor política de arbitraje para el sistema anteriormente analizando, es la de Round Robin, debido a que como en el caso de los dos maestros esta política genera un repartimiento de tiempos del bus equitativo entre todos los maestros, que también se observa con la política TDMA, la política R.R. Tiene un mayor porcentaje de utilización del bus.

### III. CONCLUSIONES.

- La política de arbitraje de prioridades Fijas es viable si y solo si tenemos un maestro que requiere en considerablemente mayor cantidad el bus con

respecto a los otros maestros, de otro modo se hace ineficiente esta política.

- La política de arbitraje Round Robin es la más eficiente de las tres políticas analizadas
- 
- 

### IV. BIBLIOGRAFIA.

