

# Compuerta NAND en tecnología AMI

David Ricardo Martínez Hernández

Se requiere realizar el diseño y simulación de la celda estándar para una compuerta NAND a través del software Electric, basándose en la tecnología AMI y considerando  $t_r = 3t_f$ .

## 1. Diseño

Para realizar la compuerta NAND en la tecnología AMI en Electric se utilizará la librería *C5models*. La ecu(1) que definen el tiempo de subida es

$$t_r = k'_p \frac{L_p C_L}{W_p} \quad (1)$$

La ecu(2) que definen el tiempo de bajada es

$$t_f = k'_n \frac{L_n C_L}{W_n} \quad (2)$$

Donde:

$C_L$  es la capacitancia de salida.

$k'$  es el parámetro de transconductancia para cada transistor.

$W$  es el ancho del transistor.

$L$  es el largo del transistor.

El parámetro de transconductancia del proceso para cada transistor se define en ecu.(3) y ecu.(4):

$$k'_p = \mu_p C_{OX} = \mu_p \frac{t_{OX}}{\varepsilon_{SiO_2}} \quad (3)$$

$$k'_n = \mu_n C_{OX} = \mu_n \frac{t_{OX}}{\varepsilon_{SiO_2}} \quad (4)$$

Donde:

$t_{OX}$  es el ancho del óxido del transistor.

$\varepsilon_{SiO_2}$  es la permitividad del óxido de silicio.

$\mu$  es la movilidad de huecos electrones según corresponda.

Los tiempos se obtienen de ecu.(5):

$$\mu_p \frac{t_{OX}}{\varepsilon_{SiO_2}} \frac{L_p C_L}{W_p} = 3\mu_n \frac{t_{OX}}{\varepsilon_{SiO_2}} \frac{L_n C_L}{W_n} \quad (5)$$

De acuerdo a la tecnología de diseño se tiene que:

$$\mu_p = 212,0166131 [cm^2/s].$$

$$\mu_n = 458,939679 [cm^2/s].$$

Al despejar  $W_p$  en función de  $W_n$  de la ecu.(5) se obtiene:

$$W_p = 0,154158W_n \quad (6)$$

Para el diseño del layout a una escala de  $300 nm$  se tomó el largo mínimo que es  $0,6 \mu m$ , es decir  $L = 2$ ,  $W_p = 5$ , reemplazando el valor de  $W_p$  en la ecu.(6) se obtiene que  $W_n = 32,43$ .

## 2. Simulación

Se implemento el layout de la compuerta NAND en electric como se observa en la Figura 1.

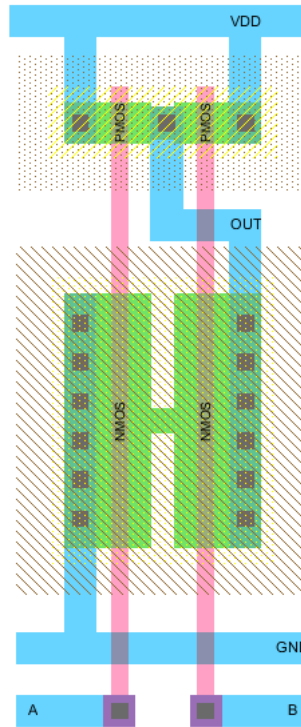


Figura 1: Layout de la compuerta NAND en electric.

Se realizaron las simulaciones para verificar el correcto funcionamiento de la compuerta por medio de LTSPICE, mostrando los resultados obtenidos en la figuras 2, 3 y 4.

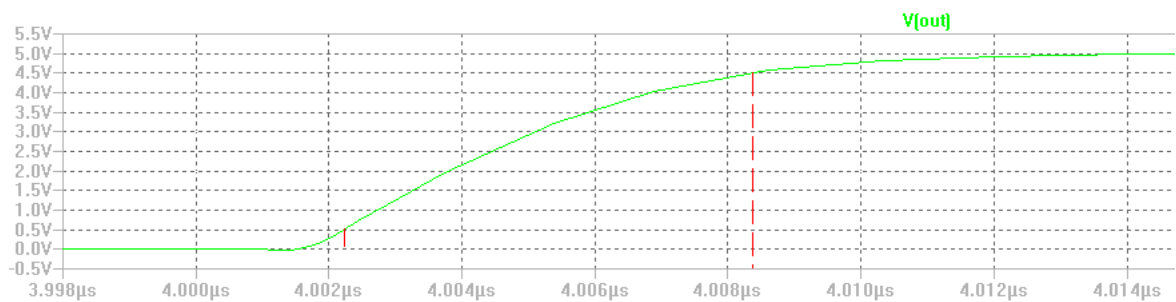


Figura 2: Simulación del tiempo de subida para la compuerta NAND en LTSPICE.

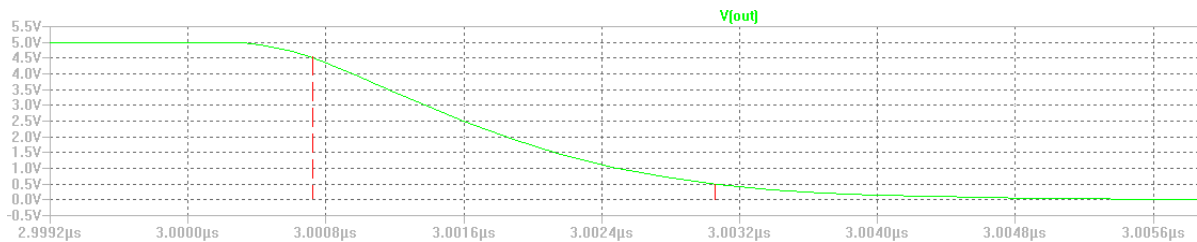


Figura 3: Simulación del tiempo de bajada para la compuerta NAND en LTSPICE.

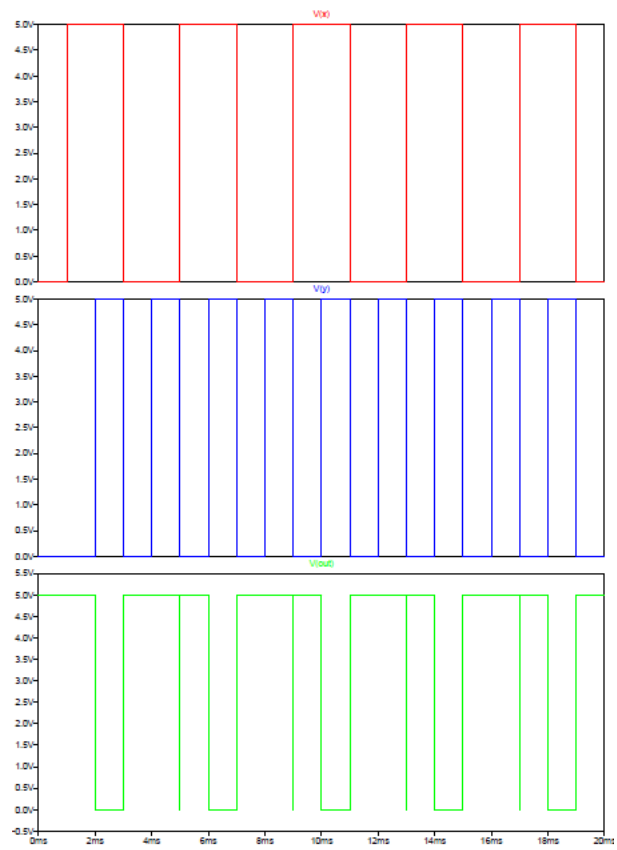


Figura 4: Simulación del funcionamiento de la compuerta NAND.