

TECNICAS DE INTEGRACION
SEGUNDO PARCIAL
Mayo/04

NOMBRE: Andrés V. López

CODIGO: 250-1

1.- (50 Pts) Para la configuración adjunta, considere:

ENTRADAS: A, B
SALIDAS: SAL1, SAL2
Vdd y Vss

En esta tecnología se tienen 3 capas de Metal y 1 Polisilicio.

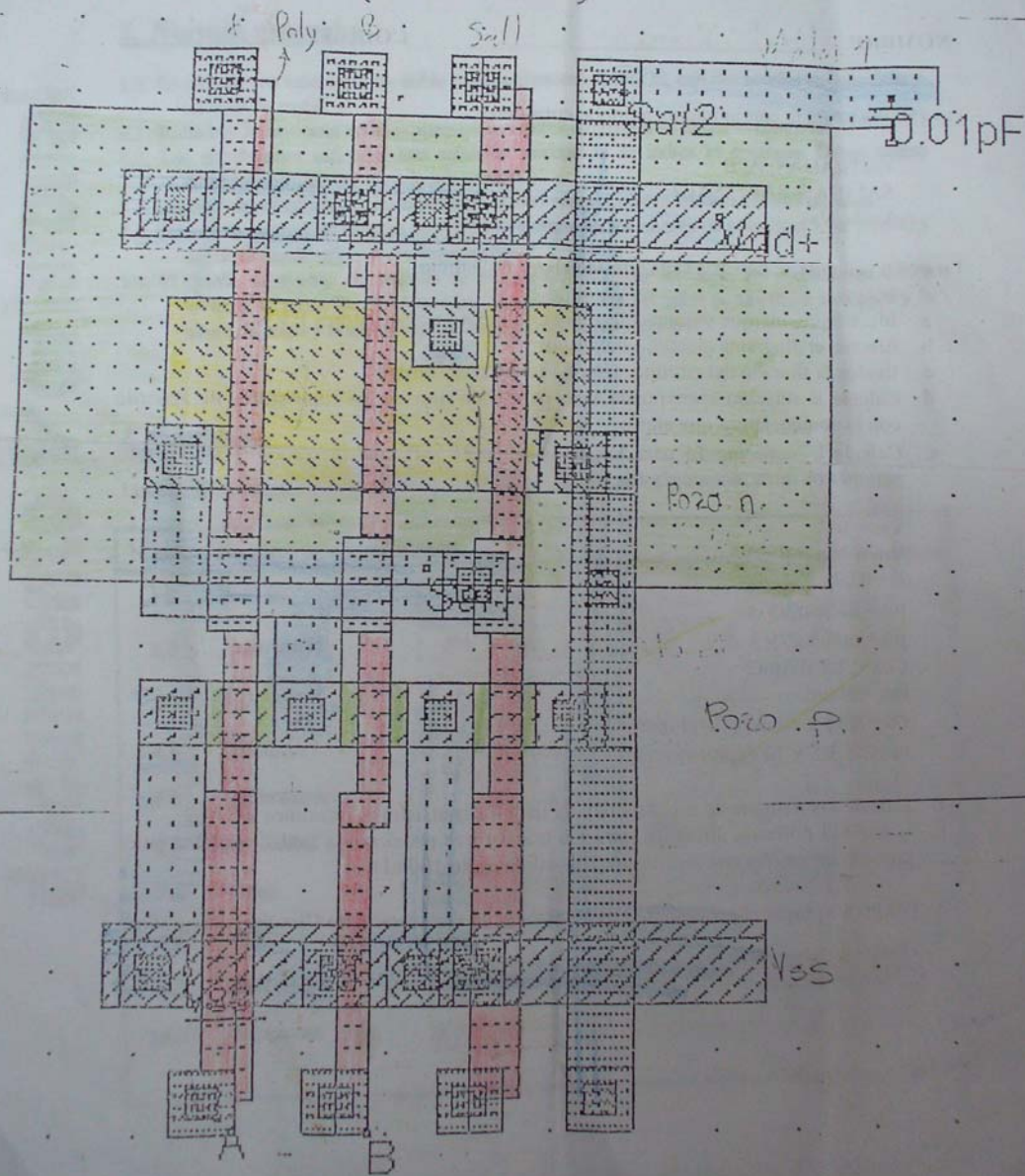
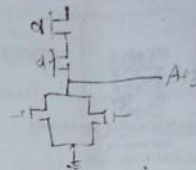
- Identifique, marque y nomencle sobre el Layout los transistores P y N. ✓
- Efectúe el diagrama eléctrico del dispositivo
- Evalúe la función del circuito. Escriba su tabla de verdad.
- Calcule la relación aproximada W/L para cada uno de los transistores de acuerdo con la nomenclatura que eligió. ✓
- Calcule la corriente I_d para los transistores N y P más próximos a SAL2. Los parámetros de la tecnología son:
 $V_{dd} = 5V$
 $V_{ss} = 0V$
 $V_{tn} = V_{tp} = |0.9V|$
 $\lambda = 0.02$
 $\mu_n = 215 \text{ cm}^2/V.s$
 $\mu_p = 600 \text{ cm}^2/V.s$
 $C_{ox} = 2.3 \text{ fF}/\mu\text{m}^2$
 $t_{ox} = 20 \text{ nm}$
 $\epsilon_o = 8.85 \times 10^{-14} \text{ F/cm}$
 $\epsilon_{sio2} = 3.5 \times 10^{-13} \text{ F/cm}$
- Calcule los tiempos de subida y bajada para los transistores próximos a SAL2.
- Calcule la potencia dinámica para los transistores próximos a SAL2 elegidos en el punto anterior. Asuma que la señal de salida es de 100 kHz.

2.- (20 Pts) Explique el proceso de DIFUSION en la fabricación de Circuitos Integrados.

$\delta \lambda$

0.300 μm

CELDA PARCIAL (Primer Punto)



IMB-CNM D+T	Normas de diseño para la tecnología CMOS CNM25	EE/CAD-001	v1.0	4/11/99	3 de 19
------------------------------	---	------------	------	---------	---------

2. Introducción

3. Normas generales

- 1.0. Se trata de una tecnología de doble pozo, aislamiento LOCOS, con dos niveles de polisilicio y un nivel de metal.
- 1.1. Todas las dimensiones están expresadas en micras, excepto si se indica lo contrario.
- 1.2. Las dimensiones indicadas son mínimas, excepto si se indica lo contrario. Deben usarse dimensiones mayores cuando sea necesario.
- 1.3. Las medidas detalladas en las normas de diseño corresponden a las dimensiones en oblea.
- 1.4. Solo están permitidos diseños ortogonales, excepto en los niveles de polisilicio 1 (de puerta) y de metal donde se permiten diseños de 45°.
- 1.5. El diseño debe estar digitalizado en una *grid* de 0.25μm. Es decir, las coordenadas de los vértices de todos los polígonos han de ser múltiplos del valor de la *grid*. La anchura y la altura de *paths* y *boxes* han de ser múltiplos del valor de la *grid*.

4. Símbolos

Los símbolos utilizados para identificar los distintos niveles en los esquemas son:

Nº nivel	Nombre	Símbolo
1.0	Pozo n.	
2.0	Áreas activas	
3.0	Polisilicio 0.	
4.0	Polisilicio 1.	
5.0	Implantación n+	
6.0	Contactos.	
7.0	Metal.	
8.0	VIA	
9.0	METAL2	
10.0	Pasivación	