

# Uso de la herramienta Electric VLSI

Nicolás David Arias Sosa **Código:** 261692 [ndariass@unal.edu.co](mailto:ndariass@unal.edu.co)  
 David Ricardo Martínez Hernández **Código:** 261931 [drmartinezhe@unal.edu.co](mailto:drmartinezhe@unal.edu.co)  
 Oscar Alejandro Rojas Gallego **Código:** xxxxxx [oarojasg@unal.edu.co](mailto:oarojasg@unal.edu.co)  
 Universidad Nacional de Colombia

**Resumen**—En la práctica de laboratorio que se describe a continuación se realizaron los layouts de transistores MOSFET, de un inversor CMOS y de una compuerta de transmisión usando la herramienta *Electric*. A partir de esto fue posible simular los modelos realizados en *Spice*.

**Índice de términos**—CMOS, Compuerta de transmisión, Compuerta Inversora, Tipo N y P, Transistor.

## I. INTRODUCCIÓN

### A. Reglas de diseño por capas sCMOS abstractas.

En la tabla I y en la fig. 1 se muestran las reglas a considerar en el diseño por capas sCMOS. Los valores presentados son dados en términos del parámetro  $\lambda$ , que para los diseños presentados es **300 nm**.

TABLA I: Reglas de diseño por capas sCMOS abstractas.

Regla	Descripción	Valor ( $\lambda$ )
3.1	Ancho mínimo	2
3.2	Espacio mínimo	2
3.2.a	Espacio mínimo sobre capa activa	2
3.3	Extensión mínima de compuerta sobre capa activa	2
3.4	Extensión mínima de capa activa sobre capa de polisilicio	3
3.5	Extensión mínima entre capas de polisilicio y activa	1

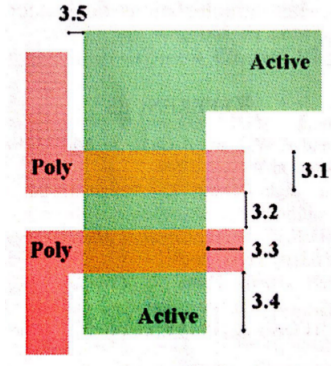


Fig. 1: Reglas de diseño en el diseño por capas sCMOS acorde a los valores de la tabla I.

### B. Relaciones de corriente en los transistores MOSFET.

En las ecuaciones 1 y 2 se muestran las relaciones de corriente para los transistores MOSFET N y P en modo de corte ( $V_{gs} < |V_{th}|$ ), triodo ( $|V_{ds}| < |V_{gs}| - |V_{th}|$ ) y saturación (caso contrario)

$$I_{dn} = \begin{cases} 0 & : \text{corte} \\ k'_n \frac{W}{L} \left( (V_{gs} - |V_{th}|)V_{ds} - \frac{V_{ds}^2}{2} \right) & : \text{triado} \\ \frac{k'_n}{2} \frac{W}{L} (V_{gs} - |V_{th}|)^2 & : \text{saturación} \end{cases} \quad (1)$$

$$I_{dp} = \begin{cases} 0 & : \text{corte} \\ k'_n \frac{W}{L} \left( (V_{sg} - |V_{th}|)V_{sd} - \frac{V_{sd}^2}{2} \right) & : \text{triado} \\ \frac{k'_n}{2} \frac{W}{L} (V_{sg} - |V_{th}|)^2 & : \text{saturación} \end{cases} \quad (2)$$

## II. TRANSISTOR TIPO P

Se realizó el diseño de un layout con un transistor P con  $W=3.6 \mu\text{m}$  y  $L=1.2 \mu\text{m}$ . El layout realizado se muestra en la fig. 2. A partir de esto se hizo la generación y simulación correspondiente del modelo en SPICE.

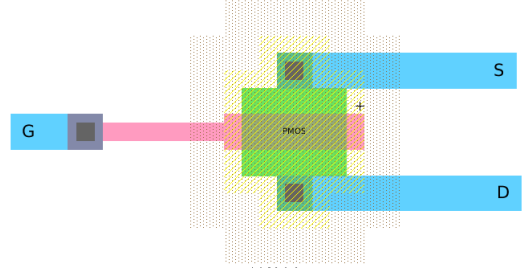


Fig. 2: Layout hecho en *Electric* de un transistor P

En la fig. 3 se muestra la gráfica  $I_d$  vs.  $V_{ds}$  para diferentes valores de  $V_{gs}$  y en la fig. 4 se muestra la gráfica  $I_d$  vs  $V_{gs}$  para diferentes valores de  $V_{ds}$ .

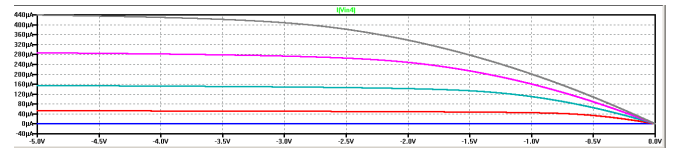


Fig. 3: Gráfico de  $I_d$  vs.  $V_{ds}$  para valores de  $V_{gs}$  entre 0 V y 5 V.

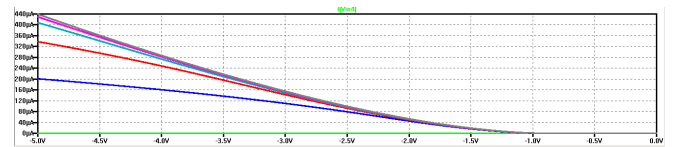


Fig. 4: Gráfica de  $I_d$  vs  $V_{gs}$  para  $V_{ds}$  entre 0 V y 5 V.

### III. TRANSISTOR TIPO N

Se realizó el diseño de un layout con un transistor N con  $W=3.6 \mu m$  y  $L=1.2 \mu m$ . El layout realizado se muestra en la fig. 5. A partir de esto se hizo la generación y simulación correspondiente del modelo en SPICE.

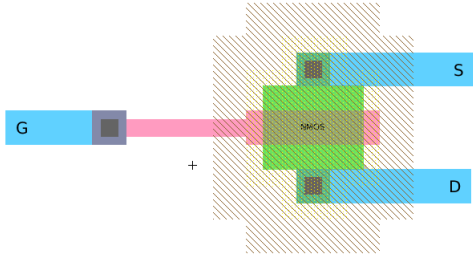


Fig. 5: Layout hecho en *Electric* de un transistor N.

En la fig. 6 se muestra la gráfica  $I_d$  vs.  $V_{ds}$  para diferentes valores de  $V_{gs}$  y en la fig. 7 se muestra la gráfica  $I_d$  vs  $V_{gs}$  para diferentes valores de  $V_{ds}$ .

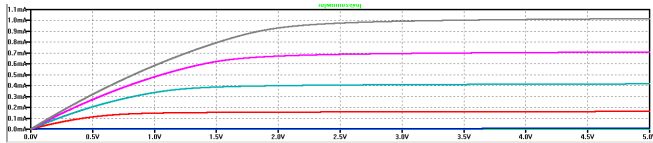


Fig. 6: Gráfico de  $I_d$  vs.  $V_{ds}$  para valores de  $V_{gs}$  entre 0 V y 5 V.

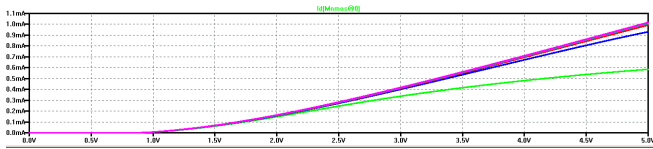


Fig. 7: Gráfica de  $I_d$  vs  $V_{gs}$  para  $V_{ds}$  entre 0 V y 5 V.

### IV. INVERSOR CMOS

Se realizó el diseño de un layout con un transistor P con  $W = 3 \mu m$  y  $L = 0.6 \mu m$ , para el transistor N con  $W = 1.5 \mu m$  y  $L = 0.6 \mu m$ . El layout realizado se muestra en la fig. 8. A partir de esto se hizo la generación y simulación correspondiente del modelo en SPICE.

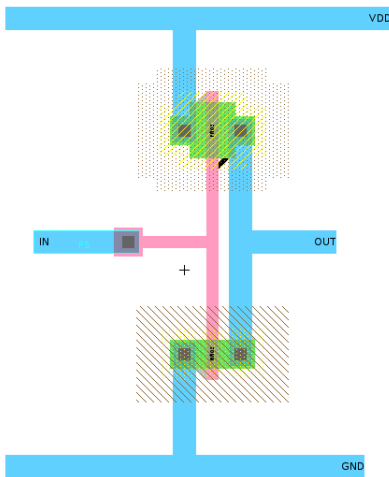


Fig. 8: Layout hecho en *Electric* de una compuerta inversora.

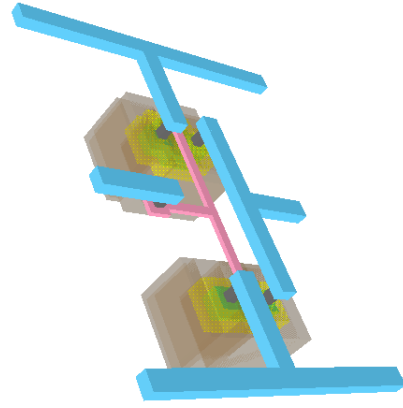


Fig. 9: Layout hecho en *Electric* de una compuerta inversora en su vista 3D.

Para la primera simulación se polarizó con un  $V_{DD} = 5 V$  dando como resultado

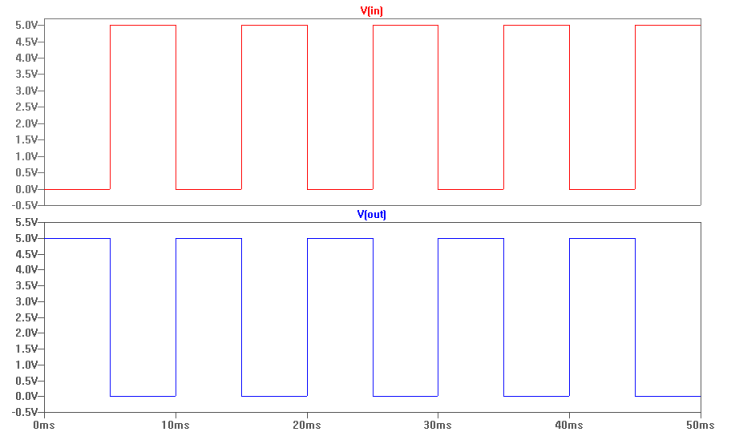


Fig. 10: Comportamiento de la compuerta inversora del modelo SPICE.

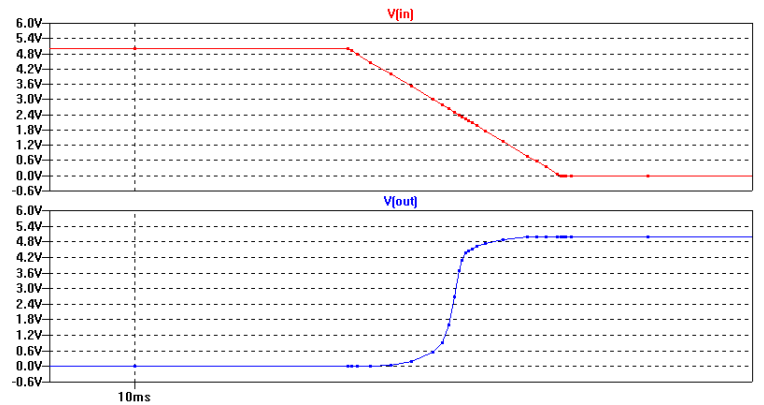


Fig. 11: Retardo de las señales para  $V_{DD} = 5 V$  para la compuerta inversora.

Para la primera simulación se polarizó con un  $V_{DD} = 3 V$  los resultados fueron los mismos resultados como los de la 15 solo cambio el retardo del transistor (ver Fig. ??)

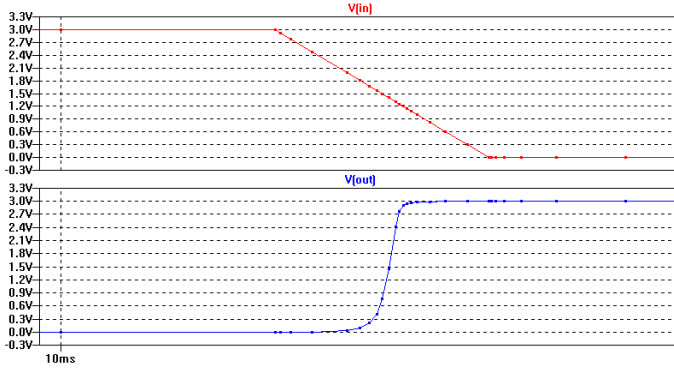


Fig. 12: Retardo de las señales para  $V_{DD} = 3V$  para la compuerta inversora.

## V. COMPUERTA DE TRANSMISIÓN

Se realizó el diseño de un layout con un transistor P con  $W = 3\mu m$  y  $L = 0.6\mu m$ , para el transistor N con  $W = 1.5\mu m$  y  $L = 0.6\mu m$ . El layout realizado se muestra en la fig. 13. A partir de esto se hizo la generación y simulación correspondiente del modelo en SPICE.

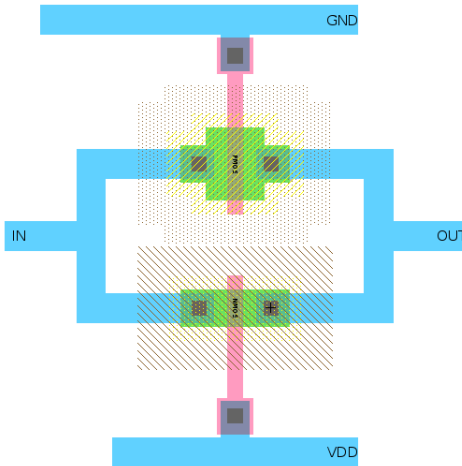


Fig. 13: Layout hecho en *Electric* de una compuerta de transmisión.

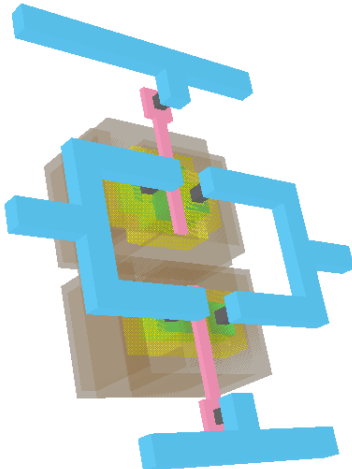


Fig. 14: Layout hecho en *Electric* de una compuerta de transmisión en su vista 3D.

Para la simulación se polarizó con un  $V_{DD} = 5V$  dando como resultado

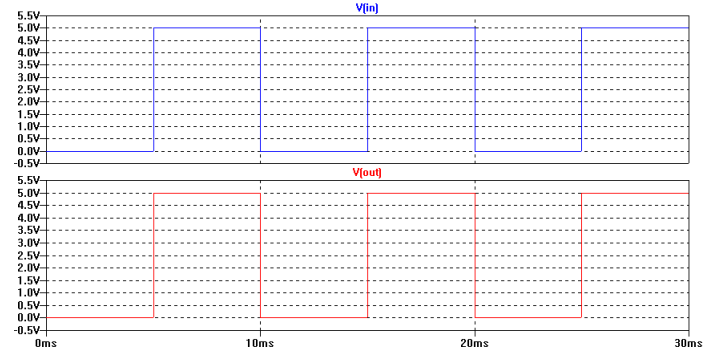


Fig. 15: Comportamiento de la compuerta transmisora del modelo SPICE.

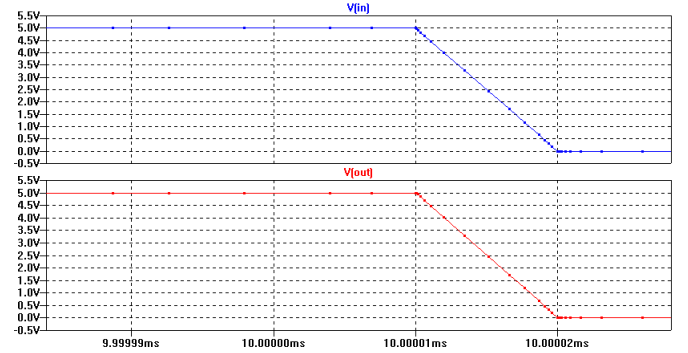


Fig. 16: Retardo de las señales para  $V_{DD} = 5V$  para la compuerta de transmisión.

## VI. ANÁLISIS DE RESULTADOS Y CONCLUSIONES

### A. Transistores (N y P)

En las fig. 4 y 7 es posible observar los valores de la tensión de umbral de los transistores. Se tiene por tanto  $V_{th} = -0.9V$  y  $V_{th} = 0.7V$  para los transistores P y N, correspondientemente. Esto coincide por los valores del proceso C5, que son  $-0.9214V$  y  $0.6696V$  correspondientemente.

De igual modo, es posible a partir de las simulaciones extraer los parámetros  $k_p$  y  $k_n$ , que no está dado explícitamente en el proceso C5. Para esto se tomaron valores de  $I_d$  para diferentes valores de  $V_{gs}$  en región de saturación (fig. 3 y 6). Usando entonces las ecuaciones 1 y 2 se despeja el valor de  $k_{p,n} = k W/L$ . Se tiene entonces  $k_p = 33.28 \mu A/V$  y  $k_n = 90.5 \mu A/V$ .

### B. Inversor CMOS

### C. Compuerta de Transmisión

## REFERENCIAS

- [1] Jaeger, Richard C. & Blalock, Travis N. "Microelectronic Circuit Desing". McGraw-Hill, Fourth Edition, 1999.
- [2] Sedra, Adel S. & Smith, Kenneth C. "Circuitos Microelectrónicos". Oxford University Press, Cuarta Edición, 1999.