

Sea-of-Gates

aus Wikipedia, der freien Enzyklopädie

Mit dem englischsprachige Begriff **Sea-of-Gates** bezeichnet man eine Technologie zum Entwurf integrierter Schaltungen. Es handelt sich um eine Weiterentwicklung der Gate-Arrays.^[1] Wie mit einem Gate-Arrays, können auch mit einem Sea-of-Gates-Chip ein integrierter Schaltkreis (IC, Mikrochip) oder eine anwendungsspezifische integrierte Schaltung realisiert werden. Der Vorteil eines Sea-of-Gates gegenüber einem Full-custom- oder Semi-custom-Mikrochip, liegt in den geringeren Investitionskosten.

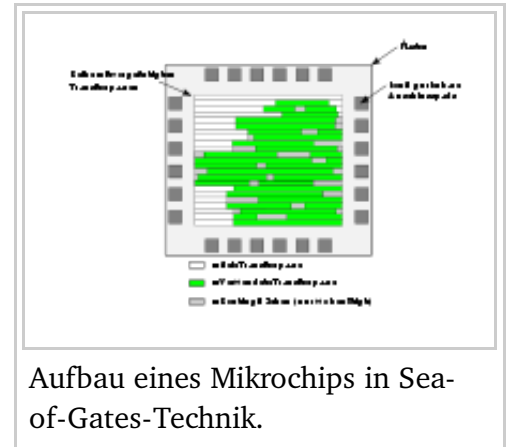
Aufbau

Wie bei Gate-Arrays sind auf dem sogenannten *Master* eine Vielzahl von mikroelektronischen Bauelementen, hauptsächlich Transistoren, untergebracht, die durch den Chipdesigner mittels elektrischer Leitungen (dünne metallische Leiterbahnen) zur gewünschten Funktion verschaltet werden können. Dabei sind die Bauelemente in ihren Dimensionen und Eigenschaften fest vorgegeben und nur die Leiterbahnebenen können durch den Designer des Mikrochips vorgegeben werden.^[2]

Von den Gate-Arrays unterscheiden sich Sea-of-Gates durch eine höhere Transistordichte. Der komplette *Master* ist mit Transistoren gefüllt, die von konfigurierbaren Anschluss pads umgeben sind. Es existieren keine Verdrahtungskanäle wie beim Gate-Array.^[3] Die höhere Bauteildichte wurde durch die Einführung mehrerer Verdrahtungsebenen zu Beginn der 1990er Jahre ermöglicht.^[4] Mit mehr Metallebenen wurde es möglich die Verdrahtung über den Transistoren zu realisieren anstatt neben den Transistoren. Dadurch konnten die dedizierten Routingressourcen der Gate-Arrays entfallen und die Chipfläche für weitere Transistoren verwendet werden. Die Sea-of-Gate-Technik bietet dadurch eine bessere Ausnutzung der Chipfläche und eignet sich daher auch für reguläre sich wiederholende Strukturen, wie ROMs oder RAMs.^[4]

Auf dem *Master* befinden sich lange Zeilen bestehend aus den Diffusionsgebieten für die Transistoren, über denen sich in periodischen Abständen Gates für die NMOS- und PMOS-Transistoren befinden. Das Problem bei dieser Anordnung besteht in der fehlenden Isolation nebeneinander liegender Transistoren. Verschiedene Transistoren werden durch sogenannte *separation gates* (englisch) voneinander getrennt. Dazu legt man das *separation gate* für NMOS-Transistoren auf Masse (0 Volt) und für PMOS-Transistoren auf die Versorgungsspannung, wodurch sowohl der NMOS- als auch der PMOS-Transistor sperren.^[2]

Weblinks



- Übersicht Fujitsu-Technologien (<http://www.fujitsu.com/us/services/edevices/microelectronics/sms/asic/product/>)
- Sea-Of-Gate Technologien von Atmel (http://www.atmel.com/dyn/products/devices.asp?category_id=172&family_id=635&subfamily_id=905)

Einzelnachweise

1. Naveed A. Sherwani: *Algorithms for VLSI Physical Design Automation*. Springer, 1998, ISBN 978-0792383932, S. 25.
2. Hubert Kaeslin: *Digital Integrated Circuit Design From VLSI Architectures to CMOS Fabrication*. Cambridge University Press, Cambridge 2008, ISBN 978-0-521-88267-5, S. 559.
3. Ekbert Hering, Klaus Bressler, Jürgen Gutekunst: *Elektronik für Ingenieure und Naturwissenschaftler*. Springer, Berlin 2005, ISBN 978-3-540-24309-0, S. 541.
4. Hubert Kaeslin: *Digital Integrated Circuit Design From VLSI Architectures to CMOS Fabrication*. Cambridge University Press, Cambridge 2008, ISBN 978-0-521-88267-5, S. 8.

Von „<http://de.wikipedia.org/w/index.php?title=Sea-of-Gates&oldid=101232318>“
Kategorie: Halbleiterbauelement

-
- Diese Seite wurde zuletzt am 24. März 2012 um 02:00 Uhr geändert.
 - Abrufstatistik

Der Text ist unter der Lizenz „Creative Commons Attribution/Share Alike“ verfügbar; Informationen zum Lizenzstatus eingebundener Mediendateien (etwa Bilder oder Videos) können im Regelfall durch Anklicken dieser abgerufen werden. Möglicherweise unterliegen die Inhalte jeweils zusätzlichen Bedingungen. Durch die Nutzung dieser Website erklären Sie sich mit den Nutzungsbedingungen und der Datenschutzrichtlinie einverstanden. Wikipedia® ist eine eingetragene Marke der Wikimedia Foundation Inc.