# MARES DE COMPUERTAS (SEA-OF-GATES)

Nicolás David Arias Sosa **Código:** 261692 [ndariass@unal.edu.co](mailto:ndariass@unal.edu.co)

David Ricardo Martínez Hernández **Código:** 261931 [drmartinezhe@unal.edu.co](mailto:drmartinezhe@unal.edu.co)

Oscar Alejandro Rojas Gallego **Código:** 261745 [oarojasg@unal.edu.co](mailto:oarojasg@unal.edu.co)

**Técnicas de integración**

23 de enero de 2014

## Introducción.

Con el desarrollo de circuitos integrados cada vez más complejos y sofisticados las herramientas computacionales CAD han tenido que avanzar a grandes velocidades. Dicho avance se traduce en un menor tiempo de desarrollo y en la capacidad de procesar circuitos con densidades cada vez mayores. Para los años 80’s algunas de las tecnologías más usadas para el diseño de layouts de circuitos integrados eran tecnologías semi-custom como arreglos de compuertas (Gate arrays), diseño a partir de celdas estándar y, más adelante, los mares de compuertas. Dichas tecnologías responden a la necesidad de menores tiempos de diseño y una mayor capacidad de integración

## ¿Qué son los mares de compuertas?

Los mares de compuertas consisten en una tecnología de fabricación de layouts de circuitos integrados donde no existen zonas específicas para el enrutamiento global. Fueron introducidas en 1982, ofreciendo una mayor flexibilidad respecto a tecnologías anteriores como los arreglos de compuertas o el diseño por celdas estándar con zonas fijas de enrutamiento. Por tanto, los mares de compuertas cuentan con ventajas de tecnologías semi-custom y full-custom. Por un lado, es una tecnología de bajo costo con tiempos de diseño relativamente cortos, y por otro, permite mayores densidades de transistores.

En la fig. 1 se muestra la arquitectura general de un arreglo de compuertas y de un mar de compuertas. Fácilmente se observa que al no haber canales específicos de ruteo el mar de compuertas cuenta con mayor cantidad de transistores por unidad de área.



Figura 1: Arquitectura general de (a) un arreglo de compuertas y (b) un mar de compuertas. El área oscura representa el área dedicada a las celdas del circuito. [1]

## Características de los mares de compuertas

* Debido al uso de dos o más capas de metal para el ruteo y el uso de la tecnología CMOS Submicron (Longitud mínima de compuerta igual o superior a 0.35 m) los mares de compuertas presentan una alta densidad de transistores por área, siendo ésta inicialmente de 1’000.000 de transistores por chip, alcanzando en el año 2000 veinte veces ese valor. Además de eso, permiten aprovechar el 100 por ciento del área del circuito integrado para implementar las celdas del circuito. Esto requiere un mayor desempeño de las herramientas de diseño de layouts, que se traduce en una mejor integración en los pasos de la síntesis (particionamiento, floorplaning, posicionamiento y ruteo).
* Es una tecnología sin una zona específica de ruteo global. Por tanto, todo el silicio puede ser usado para ubicar las zonas activas. En general, se tienen dos capas de ruteo, y a veces una tercera capa para el ruteo local. En cada caso los caminos son ortogonales, prefiriéndose en la mayoría de los casos una orientación específica de acuerdo a cada capa, lo cual es un parámetro importante para la herramienta de diseño. El circuito se dispone en una grilla, donde en cada punto de dicha grilla se pueden ubicar las vías.
* En esta tecnología se usan transistores conectados convenientemente para que operen en región de corte, de modo que sirvan de aislamiento entre celdas, a diferencia de lo que se hacía con tecnologías anteriores, donde se usaban secciones de óxido. De esta manera, no hay interrupciones en las capas activas de una celda a otra. Por tanto, se pueden hacer cadenas muy largas de transistores *n* o *p* en el dado de silicio sin interrupciones. Usar esta técnica de aislamiento tiene como ventaja una mayor densidad de transistores, un mejor control sobre el flujo de datos y una menor cantidad de cableado al crear funciones complejas. En la fig. 2 se ilustra esto. En la fig. 2(a) se tiene un aislamiento tradicional con óxido (bloque vertical negro grueso), lo que interrumpe las capas activas. En la fig. 2(b) se tiene un aislamiento con los transistores *n* y *p* de los extremos, cuyas compuertas están conectadas a la tensión de alimentación o tierra, respectivamente, para que operen en región de corte; con esto no se interrumpen las capas activas.



Figura 2: Aislamiento de celdas en (a) configuración de celdas estándar y (b) configuración de mar de compuertas. [1]

## Estilos De mares de compuertas

En la arquitectura de mares de compuertas, las macroceldas están compuestas por la repetición de los límites de las celdas básicas horizontal o verticalmente en un enfoque RMC (filas de macroceldas) o CMC (Columnas de macroceldas) hasta que hayan suficientes celdas reunidas. El término macrocelda se refiere grandes celdas con una función lógica cuya forma y área se debe considerar en la ubicación de las celdas en el arreglo.

**La arquitectura RMC (filas de macroceldas)**

La celda básica está representada por un par vertical de pares de transistores. (figura 3(a)). La macrocelda en esta arquitectura se implementa repitiendo la celda básica en dirección horizontal hasta que hayan suficientes compuertas distribuidas dentro de la macrocelda. Las celdas primitivas (Por ejemplo las compuertas NAND, XOR, etc), que se ponen cerca para crear macroceldas, no tienen suficiente alimentación directa para crear conexiones entre celdas y así garantizan la enrutabilidad de los circuitos.

Una desventaja de las filas de macroceldas es la distribución de potencia entre las macroceldas, lo que genera dificultades en el enrutamiento.

Para incrementar el uso de compuertas se requiere aumentar el número de caminos en cada celda primitiva. La disposición de celdas grandes como las memorias está limitada a estar entre los buses de alimentación.

**La arquitectura CMC (columnas de macroceldas)**

Por otra parte en la arquitectura de columnas las celdas básicas pueden tener diferentes tamaños y arreglos de transistores p y n. El número de transistores debe escogerse de tal forma que permita una rápida implementación de las compuertas en la librería del sistema.

En este enfoque las macroceldas se crean uniendo las celdas básicas verticalmente hasta que hayan suficientes compuertas para crear una macrocelda determinada. Debido a la regularidad de la distribución de las celdas básicas en el dado de silicio es posible tener una buena distribución de energía en malla.

Los canales de alambrado se prolongan verticalmente entre las compuertas, proporcionando el número de caminos requeridos para el enrutamiento. A diferencia de la arquitectura RMC, el grosor de los canales puede cambiar ligeramente por el ancon de una columna de transistores pn para así eliminar silicio sobrante y aumentar el uso de las compuertas en el circuito.

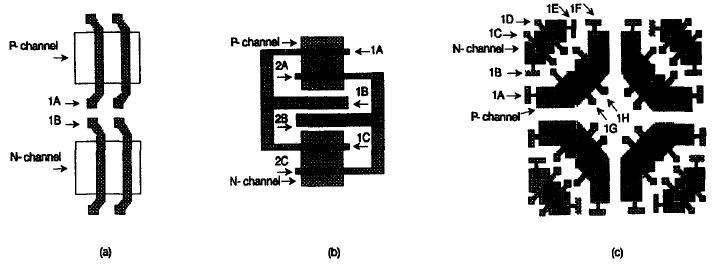


Figura 3: Celda básica [1].

**Una arquitectura alternativa**

Aunque las arquitecturas anteriores usan aislamiento de compuerta, la idea de un diseño sin canales no está implementada en un 100%. Otra arquitectura ofrece más flexibilidad en el diseño con una estructura de macroceldas orientadas vertical y horizontalmente sin restricción en el enrutamiento del suministro de potencia debido a que está distribuido a lo largo del circuito usando una segunda capa de metal cuando sea necesario. En esta arquitectura el enfoque de la compuerta aislada puede ser mejor aprovechado porque hay una secuencia continua de transistores sin límites para todas las macroceldas.

Sin tener en cuenta las ventajas y desventajas de las arquitecturas en mar de compuertas, el buen resultado del diseño final depende críticamente de los algoritmos usados para el particionamiento, la colocación y el enrutamiento de los circuitos y el número de capas de metal disponibles.

**Micro Arquitecturas y macro arquitecturas.**

En términos de la estructura interna de las celdas básicas y su distribución en el silicio, los mares de compuertas pueden ser organizados jerárquicamente en dos grupos.

**Micro arquitecturas**

Este nivel describe las características internas de las celdas básicas que son usadas para construir la estructura total del arreglo. Las celdas básicas son una combinación de un cierto número de transistores n y p conectados en diferentes configuraciones de acuerdo con la tecnología adoptada.

Un buen ejemplo de una estructura simple en mar de compuertas usa aislamiento de compuerta en un proceso CMOS de 1,6 µm con dos capas de metal para el enrutamiento. Como se muestra en la parte a de la figura cada celda básica está compuesta por un par de transistores usando una configuración tradicional donde los transistores están colocados horizontalmente creando una fila continua de transistores con las compuertas posicionadas verticalmente.

Existen nuevas micro arquitecturas con otras opciones de diseño para el enfoque en mar de compuertas, como la imagen intercalada. Esta arquitectura presenta una configuración básica compuesta por cuatro arreglos de compuertas CMOS con doble capa metálica, donde las regiones fuente-drenador de los canales p y n y las compuertas son colocadas en paralelo como se muestra en la parte b de la figura. El paralelismo facilita la interconexión entre celdas a través de líneas rectas sobre las celdas sin cambiar la dirección del metal, de esta forma se usa sólo una capa metálica. Comparado con una arquitectura de celdas en un mar de compuertas convencional los canales n y p son ligeramente más anchos en la dirección horizontal y las compuertas de polisilicio no son verticales. La arquitectura intercalada busca ofrecer una buena respuesta a los circuitos grandes y densos con un porcentaje alto de uso, por lo menos 70% de los recursos de enrutamiento para el enrutamiento global.

Otra poderosa arquitectura en mar de compuertas es la imagen de octágono. Esta arquitectura presenta una estructura regular y simétrica donde los transistores no son ordenados enteramente en una secuencia horizontal o vertical, sino distribuidos simétricamente como en un octágono. Las celdas en esta estructura también pueden ser reflejadas sobre el eje de 45°. Se cambian tres capas de metal en un proceso CMOS de 0.8en un proceso CMOS de 0.8µm. Como se muestra en la parte c de la figura cada celda básica está compuesta por cuatro grupos de cuatro pares de transistores posicionados simétricamente.

**Macro arquitecturas**

Es el siguiente nivel más alto, aquí las macroceldas se crearán como una combinación de celdas básicas. Se caracterizan por número de celdas básicas usadas para construir la macro arquitectura y la distribución de funciones.

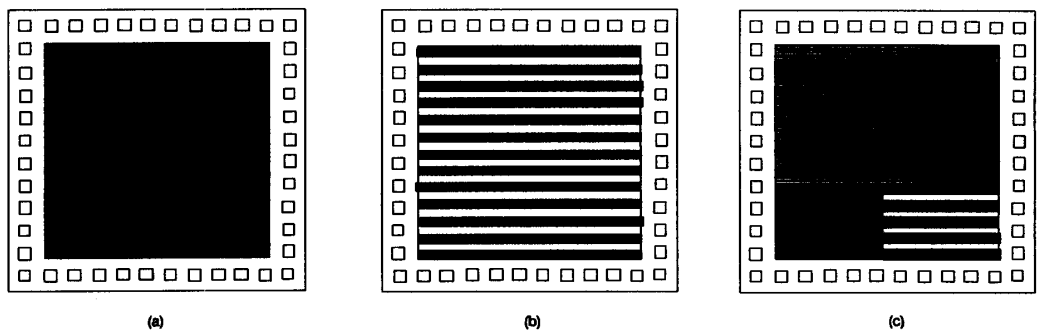


Figura 4: Celdas en macro arquitecturas [1].

La macro arquitectura se divide en tres grupos:

* Distribución uniforme: En este enfoque la función de distribución se combina con una o más celdas básicas para construir todas las celdas funcionales posibles en el arreglo (Figura4(a)).
* Función de distribución en canal: Este estilo es similar a la tecnología anterior de arreglo de compuertas. (Figura 4(b)) Los canales fueron definidos para mantener el enrutamiento. Este tipo de arquitectura usa una o más celdas básicas en la función de distribución.
* Función de distribución en bloques: Ampliamente usado. En este enfoque las funciones de distribución son usadas casi siempre como una combinación de una o más celdas básicas (Figura 4(c)) las celdas básicas podrían ser usadas para implementar diferentes funciones como de memoria, circuitos analógicos, etc.

Debido al uso de más de una celda básica en una función de distribución, la aplicabilidad de las arquitecturas micro y macro se limita un poco, afectando la flexibilidad en la colocación de las celdas funcionales en el arreglo. Otras arquitecturas usan una celda básica simple para generar todas las macro arquitecturas sin canales de enrutamiento. Este enfoque permite la implementación de diferentes estilos de diseño soportando, por ejemplo, librerías estáticas y dinámicas al igual que circuitos analógicos en un ambiente homogéneo. Así el diseñador tiene la capacidad de construir circuitos en una estructura regular, colocando bloques lógicos aleatorios en el arreglo.

Estas nuevas arquitecturas y la evolución de las herramientas de diseño asistido por computadora han motivado un incremento masivo en el uso de diseño basado en celdas básicas usando mares de compuertas. Normalmente un diseñador puede escoger celdas funcionales de complejidad variada, predefinidas y caracterizadas en las librerías del sistema. Esas librerías contienen diferentes estilos de diseño:

* Celdas estándar: Se pueden comparar éstas con las familias tradicionales CMOS como la 74C00. Sin embargo más que seleccionar dispositivos empacados por catálogo, éstos fueron escogidos de las librerías software en un sistema de diseño asistido por computador y colocados en una oblea de silicio en vez de una placa de circuito impreso. Otras combinaciones lógicas pueden ser suministradas para optimizar la integración de los circuitos.
* Celdas generales: Estas celdas usualmente involucran una estructura muy regular generada por software en diferentes tamaños de acuerdo con la necesidad de los circuitos. Ejemplos de esta clase de celdas son las RAMs, las ROMs, las PLAs, multiplexores, sumadores, entre otros.
* Megaceldas: Son macroceldas grandes sin parametrizar. Como los microprocesadores o los conversores análogo digitales

## Ejemplos de aplicación

**10 K gate GaAs JFET Sea of gate**

La celta básica está compuesta de 4 FETs con una compuerta de 8µm de ancho, 2 diferentes resistencias y líneas de Vdd y GND.

El ancho de línea mínimo/espacio son 2µm/2µm. El tamaño mínimo del agujero cuadrado pasante es de 2µm para el contacto entre el metal óhmico y la primera interconexión de metal, y el cuadrado de 1,5µm para el contacto entre los metales que hay del nivel de interconexión.

El diseño DCFL (Direct Coupled FET Logic) de 4 compuertas NOR y su esquema equivalente se muestran en la Figura 5.



Figura 5: Diseño de 4 compuertas NOR con sus barrajes de Vss y GND, y su esquemático [3].

La celda básica tiene un área de 24µm\*80µm. La resistencia de carga para los circuitos DCFL es seleccionada de 900Ω con el fin de lograr un consumo de energía de menos de 0.5mW/puerta con Vdd = 1.0V y un margen de ruido de no más de 150 mV con el mínimo retrasó en la puerta.

Existen 4 diferentes tipos de Sea of Gate para los circuitos integrados los cuales se encuentran en la Tabla I. organizada dependiendo de la escala requerida para el circuito.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Tamaño del Arreglo | 50 | 1K | 3K | 10K |
| Puertas Totales |  |  |  |  |
| DCFL | 60 | 1440 | 3600 | 11880 |
| SCFL | 6 | 180 | 450 | 1485 |
| Celdas I/O | 6 | 28 | 44 | 80 |
| Total de Pads | 36 | 80 | 112 | 192 |
| Tamaño del Chip(min\*max) | 1.68\*1.44 | 2.88\*2.88 | 3.84\*3.84 | 6.24\*6.24 |

**Tabla I.** Estadísticas de un arreglo de puertas [3].

**A Sea-of-Gates-Based, 10 MIPS 16-Bit RISC Processor Testbed for Failsafe Applications**

Un procesador de banco de prueba RISC a 16 bit basado en Sea-of-Gate con un rendimiento máximo de 10 MIPS a una tasa de reloj de 20 MHz se describe a partir de un núcleo pequeño que requiere sólo 5.000 puertas, las características se pueden añadir de forma flexible para obtener diversas arquitecturas de sistemas adecuados para aplicaciones de seguridad.

El núcleo tiene una carga-almacenamiento de una arquitectura Harvard con instrucciones de 24 bits, una ruta de datos de 16 bits, y un pipeline de 2 etapas.

**Microprocessor Core**

El procesador emplea una carga/almacén de una arquitectura Harvard [HeP90] con instrucciones de 24 bits de ancho y una data path de 16 bits de ancho. Puede abordar instrucciones de palabras de 64K y datos de palabras de 64K a través de toda la ROM y buses direccionadas a la RAM.

**Processor enhancement for off-line test**

Para evitar acumulaciones de falla, el procesador tiene que ser probado periódicamente. La ejecución de un programa de prueba detecta todos los fallos.

**Processor implementation issues**

Para obtener ciclos de diseño cortos en relación con el rápido tiempo de producción y de bajo costo, el núcleo del procesador fue diseñado en un entorno GATE FOREST sea-of-gates a 12µm [BeH88, KeB89, KeS90]. La característica de Forest Gate se da por la personalización de la escritura directa del haz de electrones [BeC89]. El núcleo del chip utiliza sólo 5.000 puertas equivalentes, tiene un área de 49 mm2, la utilización principal es del 85% y un rendimiento de 10 MIPS a una velocidad de reloj de 20 MHz.

**Advanced Analog Circuit Design on a Digital Sea-of-Gates Array**

Circuitos analógicos de alto rendimiento han sido realizados en una matriz puramente digital Sea-of-Gates: un conversor Digital-Analógico ponderado de 8 bits (INL típica de 0,2 LSB) y una clase de amplificador AB que tiene una corriente de alimentación 23µA, y que puede conducir 3,4 Vpp en una carga de 1 kΩ con un THD < 0.1% (alimentación de 5 V).

**Sea-of-Gates structure**

Las características principales de la matriz SOG son:

* La relación de la cantidad de transistores n/p es de 2.
* Las dimensiones de los transistores son: Wp/Lp=26µm/2µm, Wn/Ln=10µm/2µm.
* Pozo-n de 2µm en tecnología CMOS con dos capas de metal y una sola capa de polisilicio.

La figura 6 muestra una pequeña parte del núcleo de SOG. El total del núcleo del SOG consta de 38 filas cada una contienen 255 células básicas con 1 transistor p-MOS y 2 transistores n-MOS.

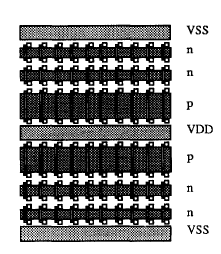


Figura 6. Parte del núcleo para SOG [5].

Gran variedad de dimensiones de los transistores, son necesarias para aplicaciones analógicas, se puede conseguir mediante la conexión de los transistores de la unidad en paralelo y en serie. Las resistencias se realizaron encadenando puertas de poli-silicio. La puerta de poli de 1 unidad p-MOST representa alrededor de 450Ω la puerta poli de 1 unidad n-MOST representa alrededor de 200Ω. Los condensadores son de Metal1/Metal2 (46 pF/mm2) se utilizan en caso de que se requieran pequeñas capacitancias. El aislamiento eléctrico entre los bloques o sub-bloques se obtiene utilizando el concepto del aislamiento de la puerta.

# Bibliografía

|  |  |
| --- | --- |
| [1] | M. E. De Lima y D. J. Kinniment, «Sea-of-Gates architecture,» *Microelectronics Journal,* nº 26, pp. 431-440, 1995. |
| [2] | R. J. H. Koopman, R. Peset Llopis y H. G. Kerkhoff, «Digital CMOS Sea-of-Gates Core Cells and Master Images,» 1990. |
| [3] | Kawasaki, H.; Wada, M.; Hida, Y.; Takano, C.; Kashahara, J., "10 K gate GaAs JFET sea of gates," Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, 1990. Technical Digest 1990., 12th Annual , vol., no., pp.135,138, 7-10 Oct. 1990. |
| [4] | Jurczyk, M.; Schwederski, Thomas, "A sea-of-gates-based, 10 MIPS 16-bit RISC processor testbed for failsafe applications," Design Automation, 1993, with the European Event in ASIC Design. Proceedings. [4th] European Conference on , vol., no., pp.536,540, 22-25 Feb 1993. |
| [5] | Jurczyk, M.; Schwederski, Thomas, "A sea-of-gates-based, 10 MIPS 16-bit RISC processor testbed for failsafe applications," Design Automation, 1993, with the European Event in ASIC Design. Proceedings. [4th] European Conference on , vol., no., pp.536,540, 22-25 Feb 1993. |