**Nombre:** Freddy Ismael Gómez Rojas **Código:** 261711

**Tarea Técnicas de Integración.**

**Diseño y simulación de una compuerta NAND de tecnología AMI**

Se requiere realizar el diseño y simulación de la celda estándar para una compuerta NAND a través del software Electric, basándose en la tecnología AMI y considerando tr=3tF.

**DISEÑO:**

Para realizar el diseño de la compuerta NAND bajo la tecnología AMI en el programa Electric, se utilizan los parámetros incluidos en la librería *C5models,* y se realiza un diseño del transistor para cumplir el criterio inicial de que el tiempo de subida tf sea tres veces el tiempo de bajada tF.

Las ecuaciones que definen tanto el tiempo de subida como el de bajada son las siguientes:

Donde corresponde a la capacitancia de salida, k´ corresponde al parámetro de transconductancia, el cual es diferente para cada tipo de transistor, lo mismo que sucede con el largo de canal l y el ancho w.

El parámetro de transconductancia del proceso para cada tipo de transistor se define como:

Donde corresponde al ancho del óxido del transistor, a la permitividad del óxido de silicio y corresponde a la movilidad, ya sea de huecos o de electrones.

Igualando las ecuaciones correspondientes a los tiempos, se tiene:

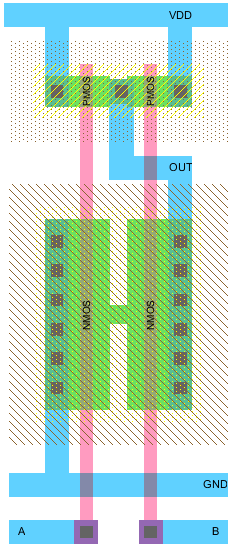
Donde según la tecnología de diseño, se tienen valores **de μp = 212,0166131 [cm2/s]** y μ**n = 458,939679 [cm2/s].**

Despejando el ancho para el canal P, se tiene:

Luego para el diseño del layout con escala de 300 nm, se toma como largo mínimo 0,6 um, es decir **L = 2** y **wp = 5**, con lo que se obtiene **wn = 32,43.**

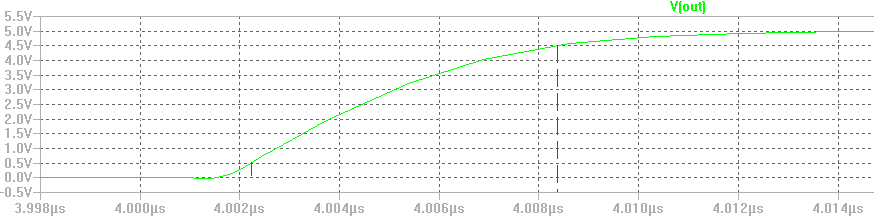
**SIMULACIÓN:**

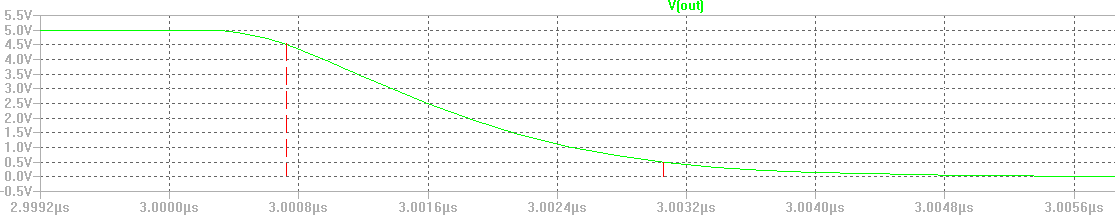
Ya teniendo los valores característicos de cada transistor, se procede a la implementación del layout de la compuerta NAND en Electric como se muestra en la figura 1.



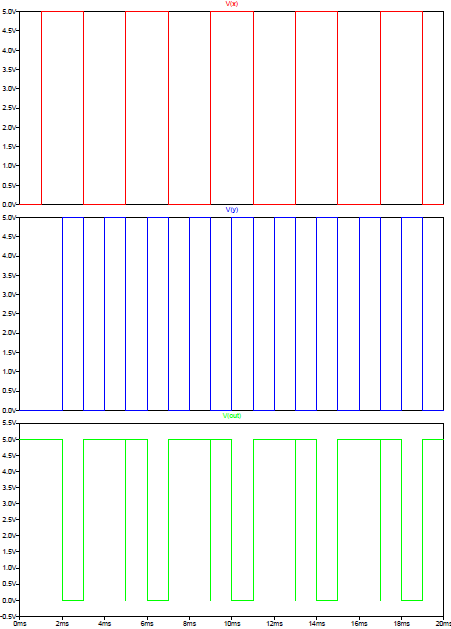
**Figura 1. Layout de la compuerta NAND con tecnología AMI.**

Se procede luego a realizar las simulaciones para verificar el correcto funcionamiento de la compuerta, por medio del programa LTSPICE, mostrándose los resultados obtenidos para el tiempo de subida en la figura 2, el tiempo de bajada en la figura 3 y los resultados esperados al variar las entradas de la compuerta en la figura 4.

**  
 Figura 2. Simulación del tiempo de subida para la compuerta NAND en LTSPICE.**



**Figura 3. Simulación del tiempo de bajada para la compuerta NAND en LTSPICE.**



**Figura 4. Simulación del funcionamiento de la compuerta NAND.**