

Лабораторная работа №2

Разработка операционной части простейшего цифрового вычислительного устройства

1 Машинные методы сложения двоичных чисел

Так как основным элементом любого арифметико-логического устройства (АЛУ) является сумматор, то все арифметические операции выполняются через операцию сложения. Для выполнения операции вычитания через операцию сложения используются обратные и дополнительные коды. Знак «+» кодируется нулем, а знак «-» единицей.

Для положительного числа прямой, обратный и дополнительный коды совпадают.

$$X_{пр} = 5_{(10)} = 0.0101 = X_{обр} = 0.0101 = X_{доп} = 0.0101$$

Для отрицательного двоичного числа обратный код получается инвертированием всех его разрядов с лева направо до знака, знак не инвертируется.

$$X_{пр} = -5_{(10)} = 1.0101; X_{обр} = 1.1010$$

Дополнительный код получается путем прибавления к обратному коду единицы.

$$\begin{array}{r} X_{пр} = -5_{(10)} = 1.0101; X_{обр} = 1.1010 \\ \phantom{X_{пр} = -5_{(10)} = 1.0101; } + \phantom{X_{обр} = 1.1010} 1 \\ X_{доп} = 1.1011 \end{array}$$

На рисунке 2 приведены примеры сложения чисел в различных кодах. Из рисунка видно, что при возникновении переполнения (переноса) единица из знакового разряда в случае обратного кода добавляется к полученной сумме, а в случае дополнительного кода отбрасывается.

Если результат сложения в обратном и дополнительном коде получился отрицательным, то для получения прямого кода от суммы надо еще раз взять обратный или дополнительный код соответственно.

Обычная запись	Код		
	прямой	дополнительный	обратный
<i>1-й случай</i>			
$X_1 = 0,10101$ + $X_2 = 0,00101$ ----- $X_3 = 0,11010$	$[X_1]_{пр} = 0,10101$ + $[X_2]_{пр} = 0,00101$ ----- $[X_3]_{пр} = 0,11010$	$[X_1]_{доп} = 0,10101$ + $[X_2]_{доп} = 0,00101$ ----- $[X_3]_{доп} = 0,11010$	$[X_1]_{обр} = 0,10101$ + $[X_2]_{обр} = 0,00101$ ----- $[X_3]_{обр} = 0,11010$
<i>2-й случай</i>			
$X_1 = 0,10101$ + $X_2 = -0,00101$ ----- $X_3 = 0,10000$	$[X_1]_{пр} = 0,10101$ + $[X_2]_{пр} = 1,00101$ ----- $[X_3]_{пр} = 0,10000$ (производится вычитание)	$[X_1]_{доп} = 0,10101$ + $[X_2]_{доп} = 1,11011$ ----- $[X_3]_{доп} = 10,10000$ ← отбрасывается	$[X_1]_{обр} = 0,10101$ + $[X_2]_{обр} = -1,11010$ ----- 10,01111 → +1 Циклический перенос ----- $[X_3]_{обр} = 0,10000$
<i>3-й случай</i>			
$X_1 = -0,10101$ + $X_2 = 0,00101$ ----- $X_3 = -0,10000$	$[X_1]_{пр} = 1,10101$ + $[X_2]_{пр} = 0,00101$ ----- $[X_3]_{пр} = 1,10000$ (производится вычитание)	$[X_1]_{доп} = 1,01011$ + $[X_2]_{доп} = 0,00101$ ----- $[X_3]_{доп} = 1,10000$ Преобразование кода $[X_3]_{пр} = 1,10000$	$[X_1]_{обр} = 1,01010$ + $[X_2]_{обр} = 0,00101$ ----- $[X_3]_{обр} = 1,01111$ Преобразование кода $[X_3]_{пр} = 1,10000$
<i>4-й случай</i>			
$X_1 = -0,10101$ + $X_2 = -0,00101$ ----- $X_3 = -0,11010$	$[X_1]_{пр} = 1,10101$ + $[X_2]_{пр} = 1,00101$ ----- $[X_3]_{пр} = 1,11010$	$[X_1]_{доп} = 1,01011$ + $[X_2]_{доп} = 1,11011$ ----- $[X_3]_{доп} = 11,00110$ ← отбрасывается Преобразование кода $[X_3]_{пр} = 1,11010$	$[X_1]_{обр} = 1,01010$ + $[X_2]_{обр} = 1,11010$ ----- 11,00100 → +1 Циклический перенос ----- $[X_3]_{обр} = 1,00101$ Преобразование кода $[X_3]_{пр} = 1,11010$

Рисунок 1 – Примеры сложения двоичных чисел

На рисунке 2 приведен пример реализации структурной схемы операционной части устройства сложения чисел в дополнительном коде. Для упрощения аппаратной реализации схемы примем разрядность чисел 4 бита в формате 3+1, три бита под число 1 под знак. Максимальная сумма складываемых чисел не больше 7. Будем считать, что одно число D1 всегда только положительное, а второе D2 может быть как отрицательным, так и положительным.

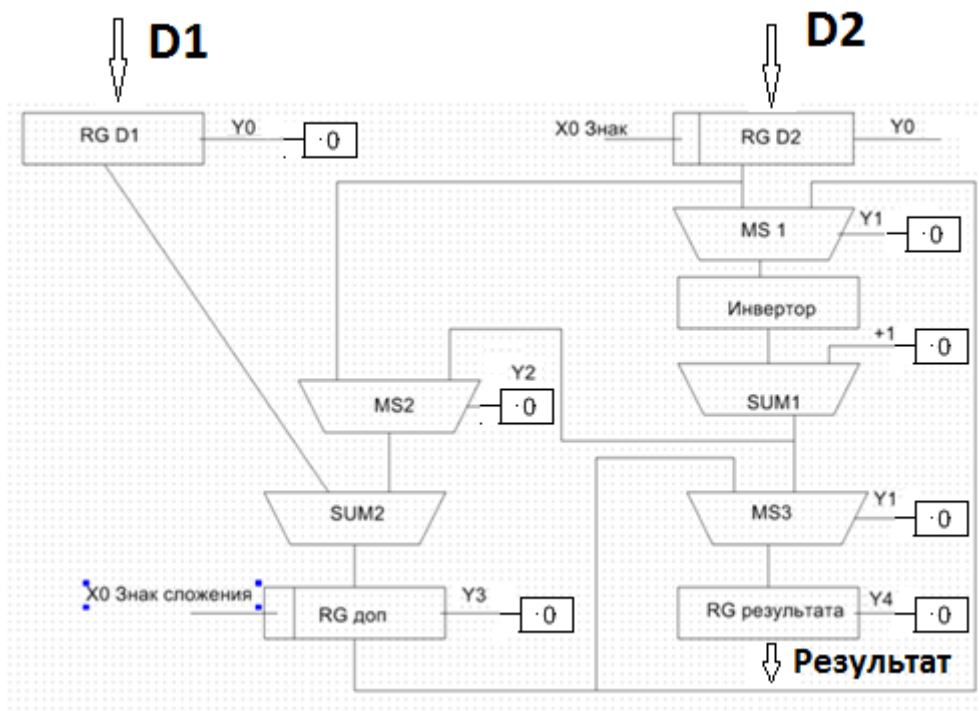


Рисунок 2 - Структурная операционной части

где: RG D1, RGD2 - входные регистры для хранения входных данных;
 MS1, MS2, MS3 - цифровые мультиплексоры 8 на 4;
 Инвертор - для получения обратного кода;
 SUM1, SUM2 - сумматоры;
 RGдоп - регистр для хранения промежуточной суммы в дополнительном коде;
 RG результата - регистр для хранения результата сложения.

Работа устройства.

Перед началом выполнения работы необходимо изучить работу элементов схемы: регистров, мультиплексоров, сумматоров.

Для управления блоками в «ручном режиме» на них должны подаваться управляющие сигналы (0, 1, или перепад из 0 в 1).

Данные D1 и D2 (рис 3 для Multisim или рис 4. Для Proteus) по перепаду сигнала Y0 из 0 в 1 записываются в входные регистры (см. схему "Регистр" в папке лабораторной работы. Для Proteus схема исследования приведена на рис. 16). Если оба числа положительные, знак X0 равен 0 и D2 проходит через открытые по умолчанию мультиплексоры MS1, MS2 (см. схему «Мультиплексор» в папке лабораторной работы. Для Proteus схема исследования приведена на рис. 17).

Результат сложения с выхода SUM1 записывается в RG доп. по перепаду 0/1 сигнала Y3.

Если результат сложения положительный, то значение суммы через нормально открытый MS3 перепадом 0/1 сигнала Y4 записывается в RG результата.

Если D2 отрицательно (X0=1), то D2 проходит через нормально открытый MS1, далее инвертируется, на сумматоре SUM2 к нему прибавляется единица, и дополнительный код D2, через открытый сигналом Y2 мультиплексор MS2 поступает на сумматор и результат сложения перепадом 0/1 сигнала Y3 записывается в промежуточный регистр Rgдоп

Если результат сложения в Rgдоп положительный (X1=0), результат сложения записывается в RG результата перепадом сигнала Y4.

Если результат сложения отрицательный (X1=1), то для получения прямого кода результат надо повторно перевести в дополнительный код. Для этого результат по сигналу Y1 через мультиплексор MS1 поступает на инвертор, после к нему добавляется единица и результат сложения по сигналу Y4 пройдя мультиплексор MS3 по сигналу Y5 записывается в RG результата.

Пример построения принципиальной схемы приведен на рисунке 3.

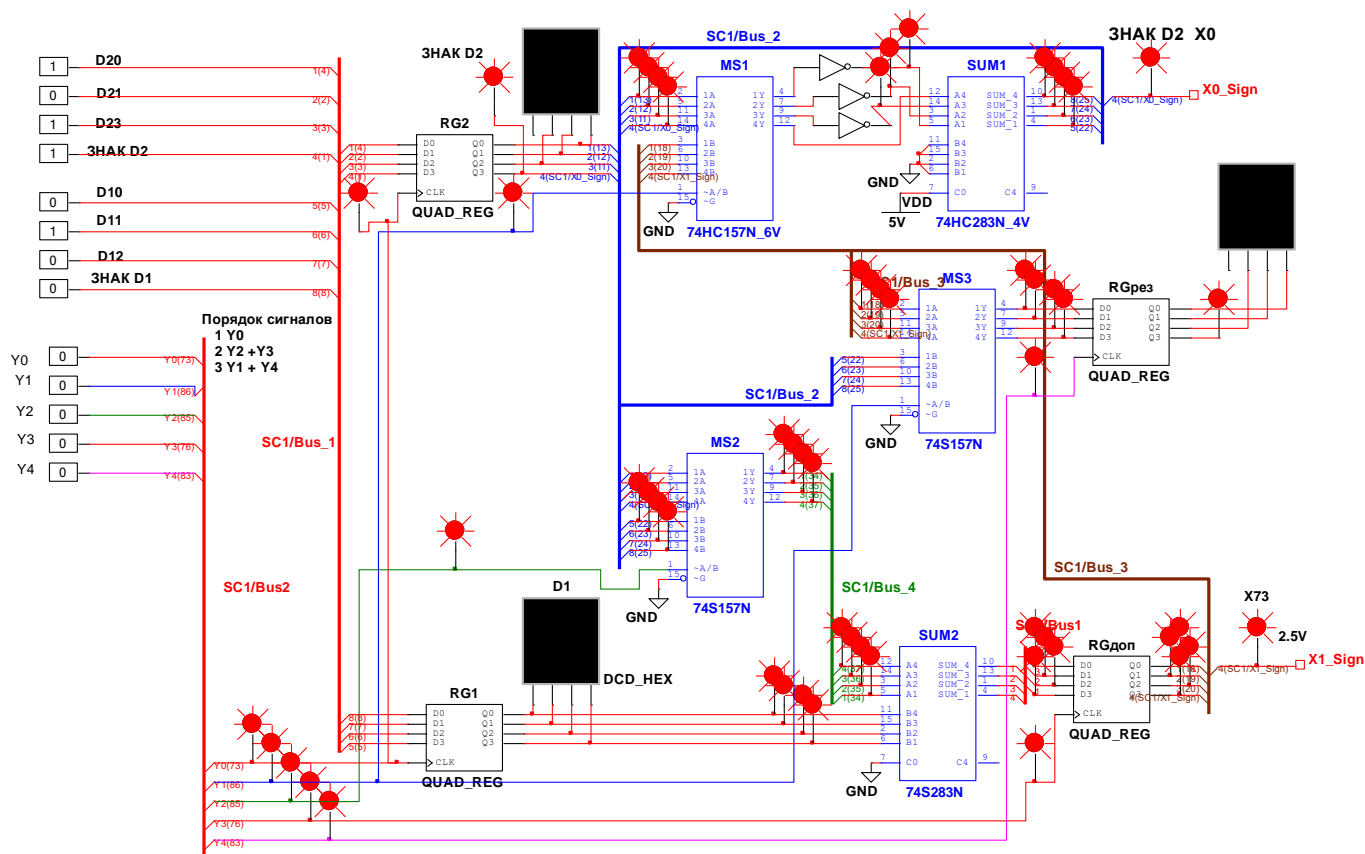


Рисунок 3 - Принципиальная схема операционной части сложения чисел в дополнительном коде в Multisim

Для построения схемы надо ознакомиться со схемами включения основных элементов. Схемы приведены в папках «Использование микросхем Multisim» «Использование микросхем Proteus» лабораторной работы.

Для устранения загромождения чертежа необходимо использовать элемент группировки проводников «Шина» (Вставить\Шина). С правой стороны в шину подключаются входные сигналы с левой выходные. Все сигналы в шине имеют собственный идентификатор, который для удобства может задавать пользователь.

Как видно в операционную часть с переключателей D11-D13 D21-D23 поступают два числа D1, D2 и их знаки. В операционную часть также поступают сигналы управления узлами операционной части Y0 – Y4. Выходными сигналами операционной части являются переменные определяющие знаки X0, X1 и значения разрядов результирующей суммы SUM1 – SUM2.

Для контроля входных данных и результата удобно использовать HEX индикаторы.

Сумматор SUM1 служит для добавления единицы к обратному коду для получения дополнительного кода. Для этого на самый младший вход подается 1, а на остальные входы сигнал 0. Все непонятные места удобно проверять с помощью логического пробника – светодиода.

На рисунке 4 приведен пример реализации схемы в Proteus/

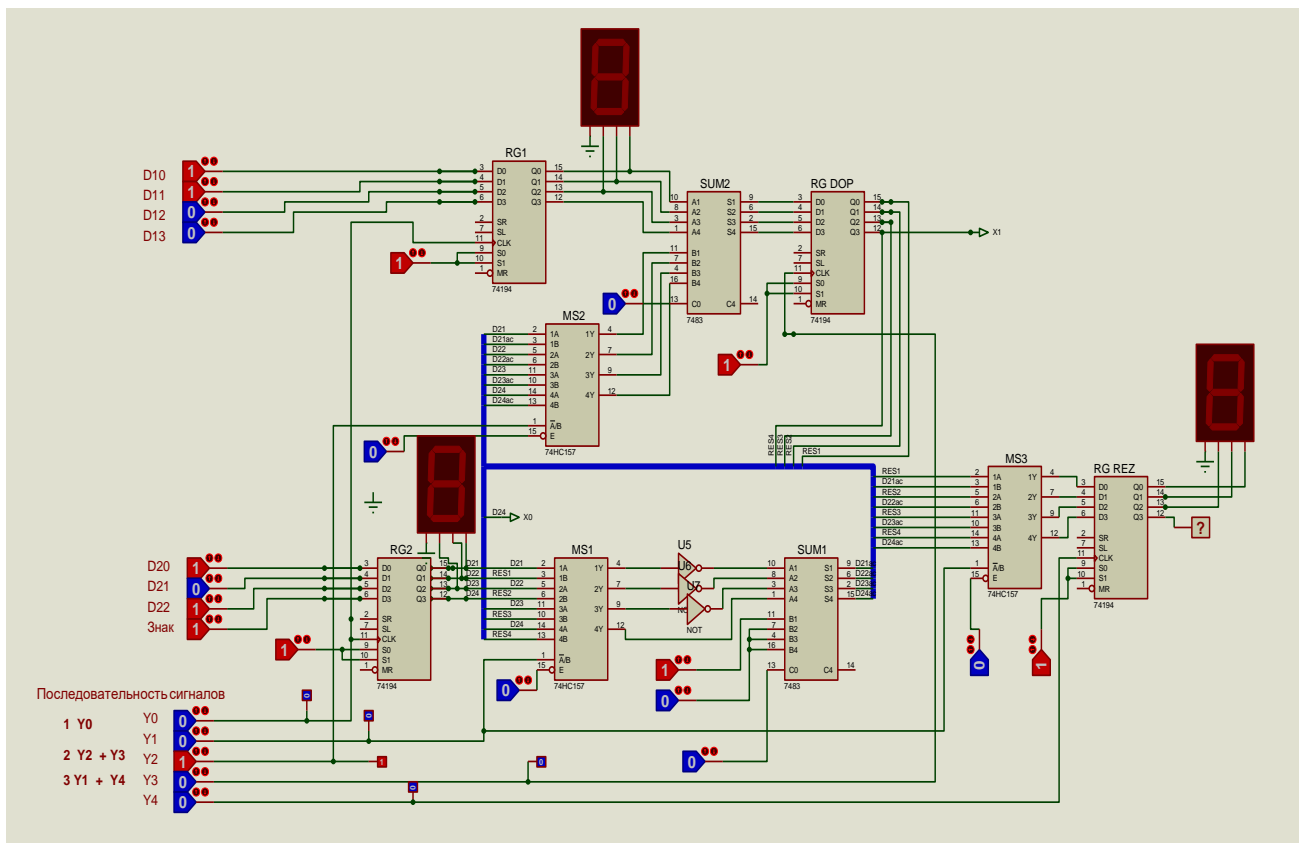


Рисунок 4 - Принципиальная схема операционной части сложения чисел в дополнительном коде в Proteus

Схема –алгоритма операции сложения приведена на рисунке 4а

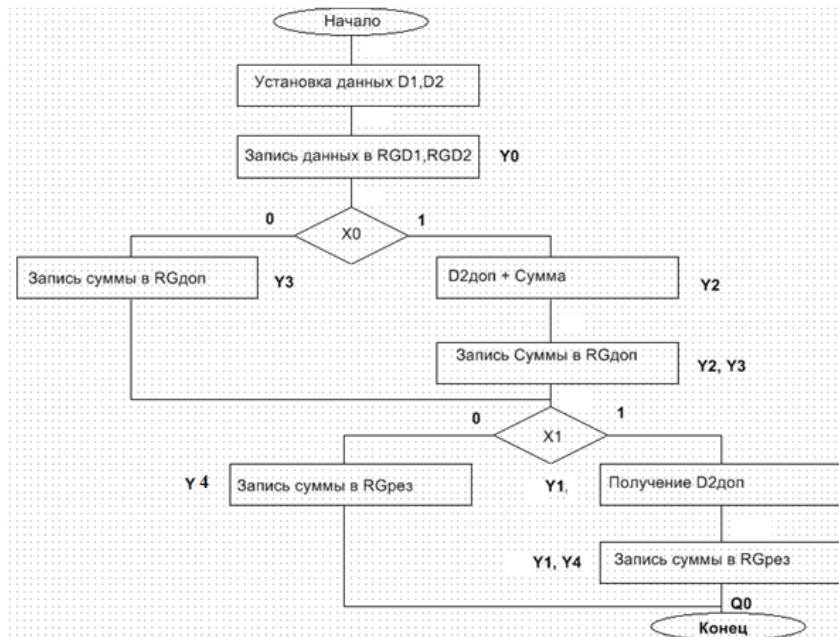


Рисунок 4а Схема-алгоритма операции сложения

2 Машинные методы умножения чисел в прямых кодах

Операция умножения состоит из ряда последовательных сложений. Сложением управляют разряды множителя: если в очередном разряде множителя содержится единица, то к сумме добавляется множимое. При этом, в зависимости от метода умножения, выполняется сдвиг либо множимого, либо частичной суммы. Наряду с этим умножение можно начинать как с младших, так и со старших разрядов множителя. Рассмотрим правила умножения в прямых кодах без учета знака.

2.1 Умножение с младших разрядов множителя со сдвигом суммы частичных произведений вправо

На рисунке 5 приведен пример умножения чисел начина с младшего разряда множителя со сдвигом промежуточной суммы в лево.

A	1	0	1	1					
B	1	1	0	1					
$b_0 = 1$	1	0	1	1					
	0	1	0	1	1				
$b_1 = 0$	0	0	0	0					
	0	1	0	1	1				
	0	0	1	0	1	1			
$b_2 = 1$	1	0	1	1					
	1	1	0	1	1	1			
	0	1	1	0	1	1	1		
$b_3 = 1$	1	0	1	1					
	1	0	0	0	1	1	1	1	
	1	0	0	0	1	1	1	1	1
				n				n	

$0 + Ab_0 = \Pi_1$
 $\Pi_1 \cdot 2^{-1}$
 Ab_1
 $\Pi_1 2^{-1} + Ab_1 = \Pi_2$
 $\Pi_2 \cdot 2^{-1}$
 Ab_2
 $\Pi_2 2^{-1} + Ab_2 = \Pi_3$
 $\Pi_3 \cdot 2^{-1}$
 Ab_3
 $\Pi_3 2^{-1} + Ab_3 = \Pi_4$
 $\Pi_4 \cdot 2^{-1}$

Рисунок 5 Умножение с младших разрядов с сдвигом суммы вправо

Структурная схема операционной части для этого способа умножения приведена на рисунке 6

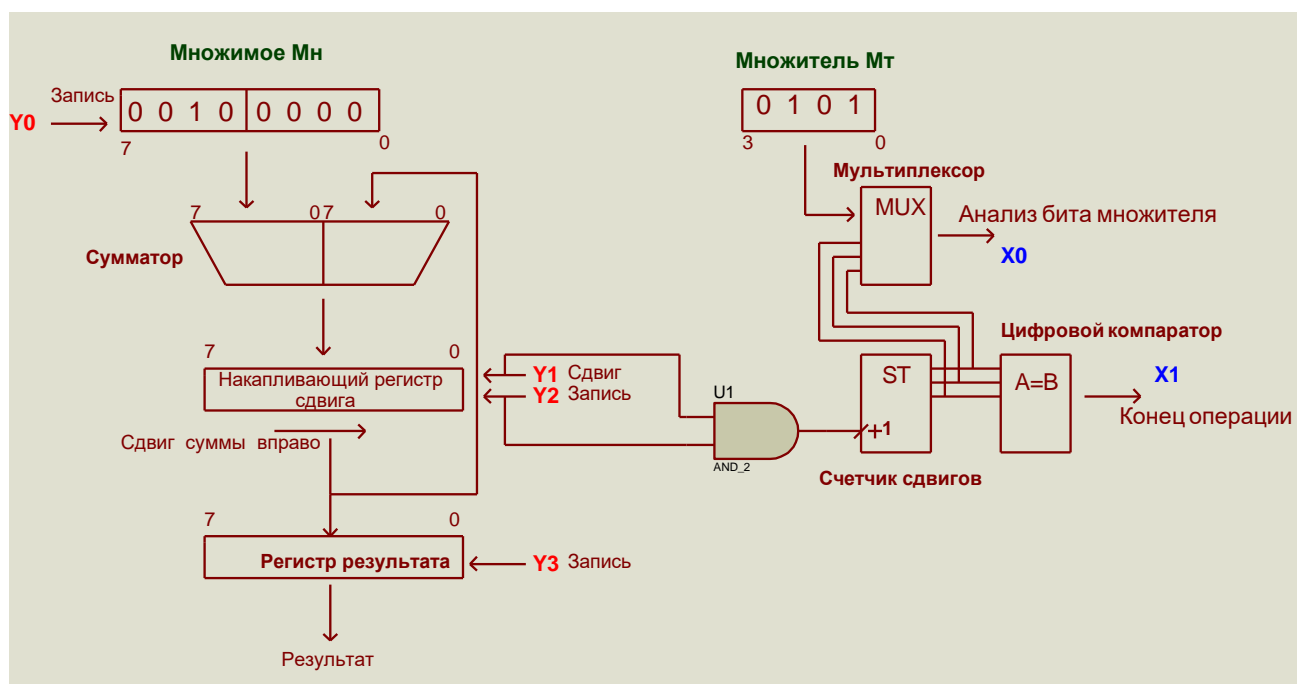


Рисунок 6 Структурная схема умножения начиная с младших разрядов Мт и сдвигом суммы вправо

На рисунке 7 приведена принципиальная схема операционной части умножения с младших разрядов и сдвигом суммы вправо, а также временная диаграмма последовательности управляющих сигналов.

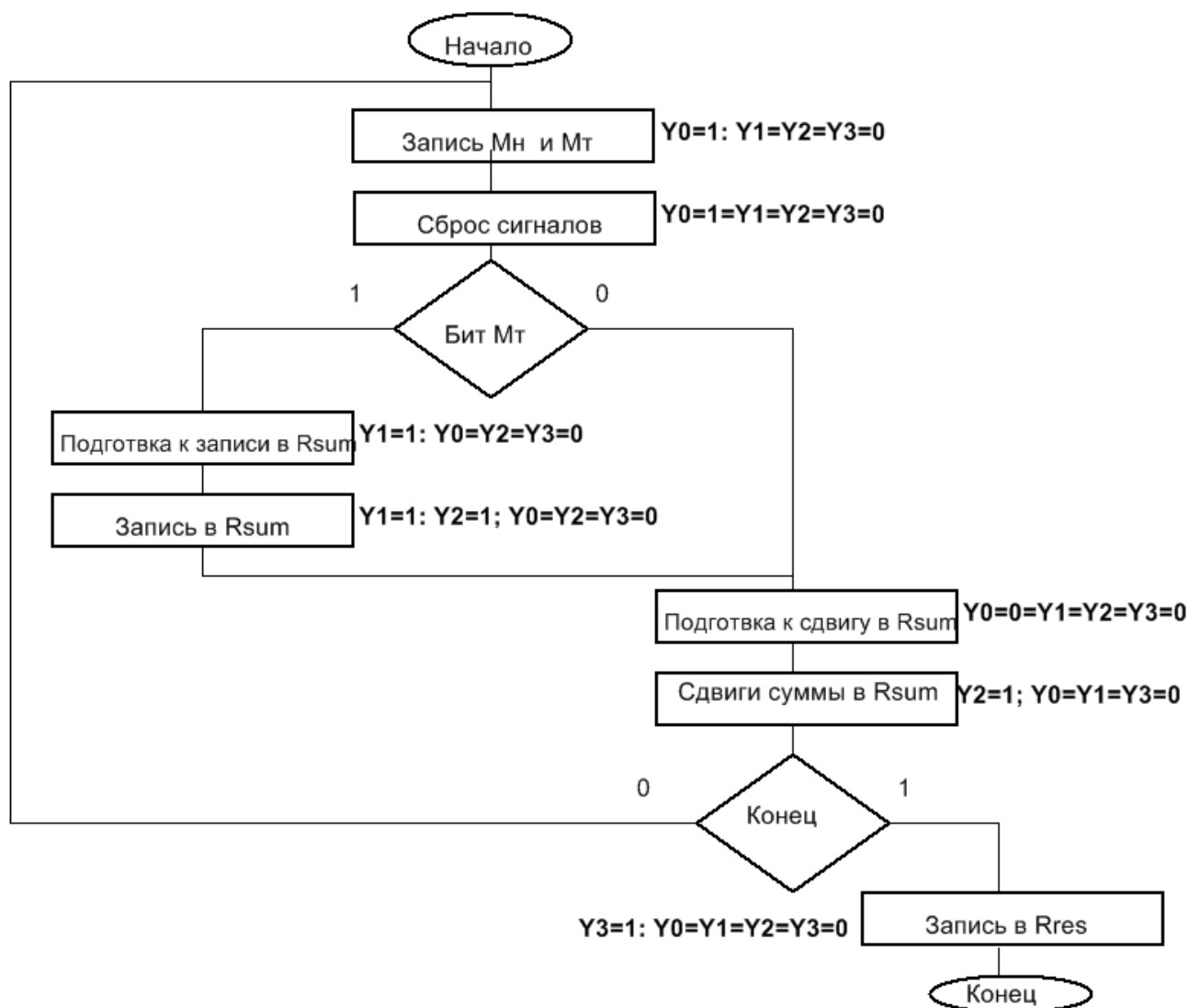


Рисунок 7а Схема –алгоритма умножения с младших разрядов множителя со сдвигом суммы вправо

2.2 Умножение с младших разрядов множителя со сдвигом множимого влево

		A	1	0	1	1	МН
		B	1	1	0	1	МТ
$b_0 = 1$			1	0	1	1	$A \cdot 2^0 b_0$
$b_1 = 0$		0	0	0	0		$A \cdot 2^1 b_1$
$b_2 = 1$		1	0	1	1		$A \cdot 2^2 b_2$
$b_3 = 1$		1	0	1	1		$A \cdot 2^3 b_3$
$\Pi =$	1	0	0	0	1	1	1
			n		n		

Рисунок 8 Умножение с младших разрядов множителя со сдвигом множимого влево

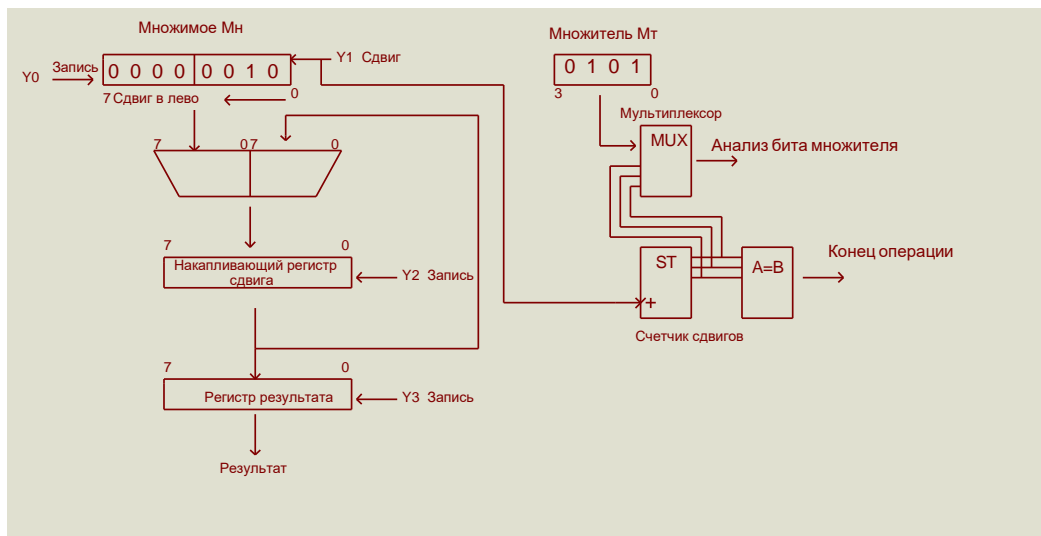


Рисунок 8 Структурная схема умножения с младших разрядов множителя со сдвигом множимого влево

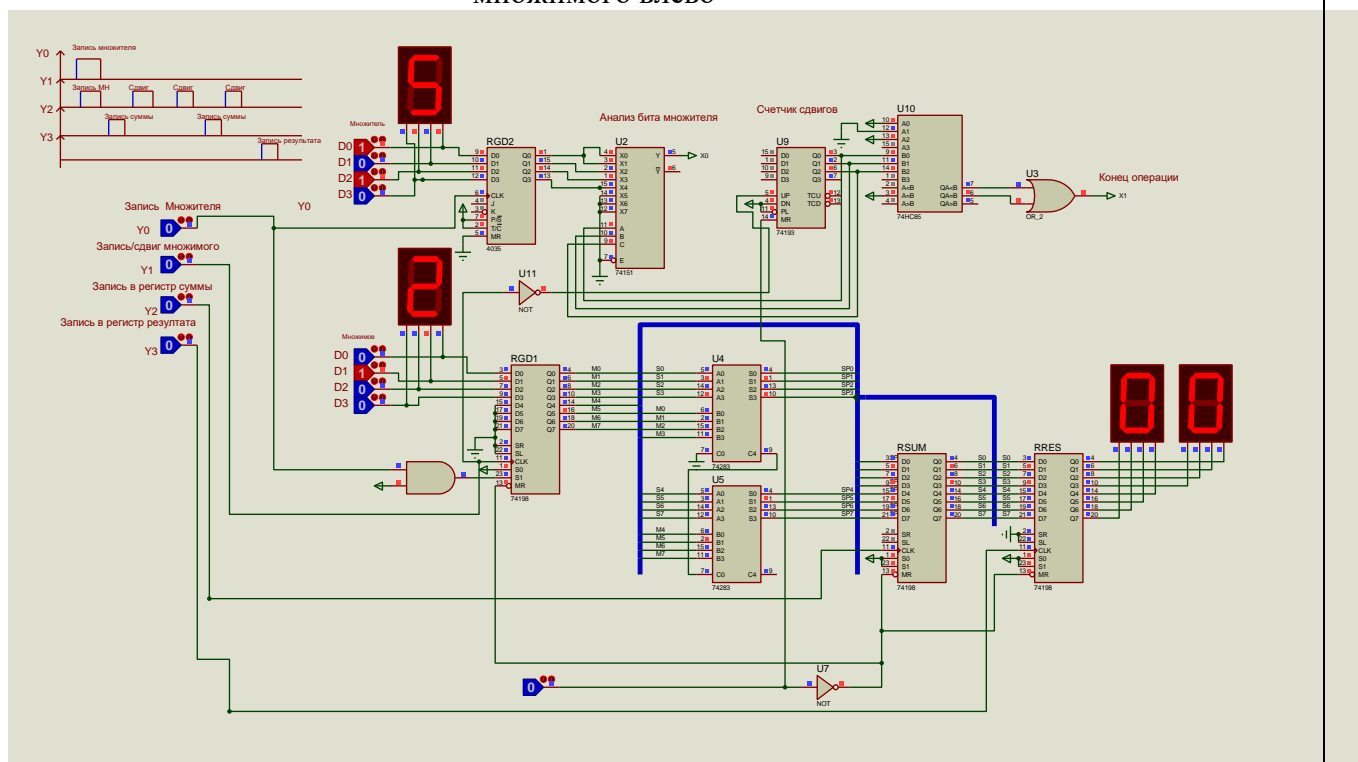


Рисунок 9 Принципиальная схема умножения с младших разрядов множителя со сдвигом множимого влево

2.3 Умножение с старших разрядов множителя со сдвигом суммы влево

Умножение аналогично умножению с младших разрядов, только анализ множителя начинается с правых разрядов и сумма сдвигается в лево .

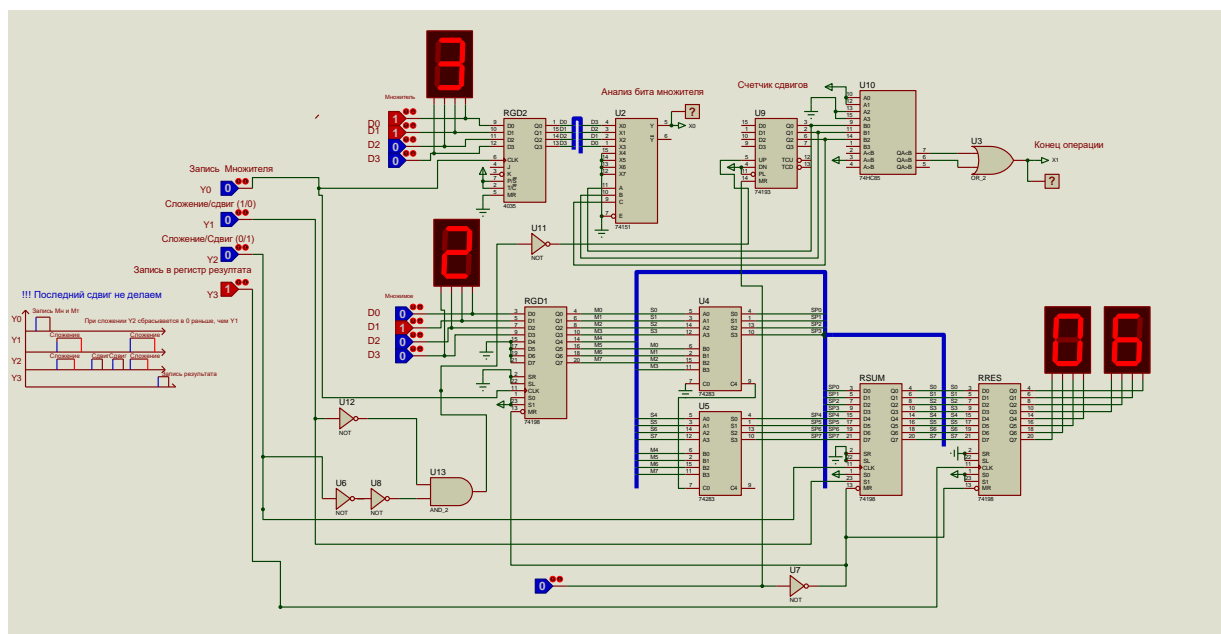
$$\Pi = \Pi_3 2 + \text{Ab}_0$$


Рисунок 12 Принципиальная схема умножения с старших разрядов со сдвигом суммы влево

ВАЖНО. Следует отметить, что в данном методе последний сдвиг не производится.

2.4 Умножение с старших разрядов множителя со сдвигом множимого вправо

A	1	0	1	1					
B	1	1	0	1					
$b_3 = 1$	0	1	0	1	1				$A \cdot 2^{-1} b_3$
$b_2 = 1$	0	0	1	0	1	1			$A \cdot 2^{-2} b_2$
$b_1 = 0$	0	0	0	0	0	0	0		$A \cdot 2^{-3} b_1$
$b_0 = 1$	0	0	0	0	1	0	1	1	$A \cdot 2^{-4} b_0$
	1	0	0	0	1	1	1	1	
		n				n			

Рисунок 13 Умножение с старших разрядов множителя со сдвигом множимого вправо

Сначала идет сдвиг множимого, потом сложение

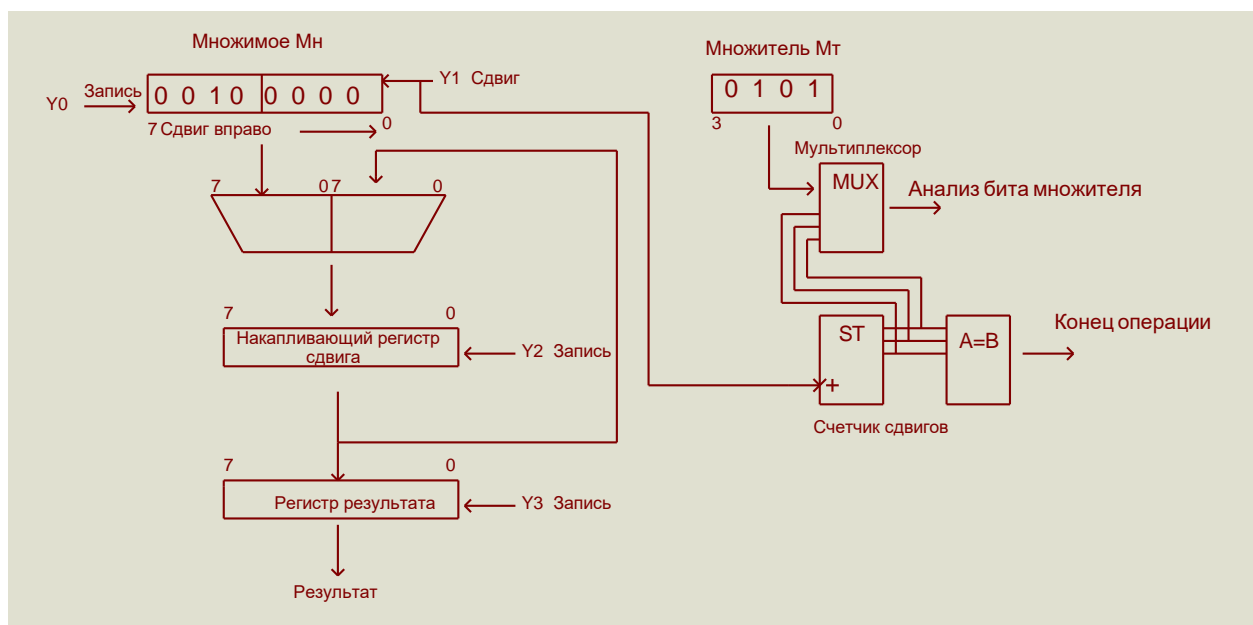


Рисунок 14 Структурная схема умножения с старших разрядов со сдвигом множимого вправо

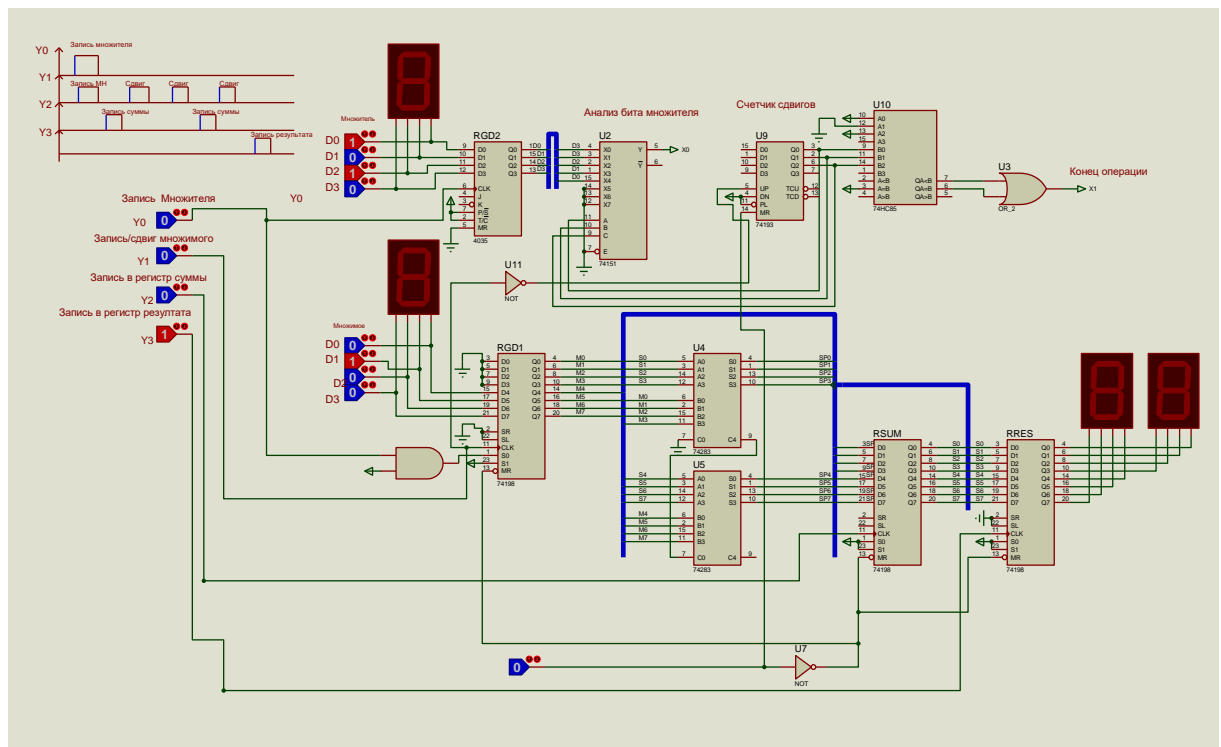


Рисунок 15 Принципиальная схема умножения со старших со сдвигом множимого в право

В качестве основного регистра сдвига используется 8-битный универсальный последовательно-параллельный регистр 74198. Схема его работы приведена в таблице.

Режим работы задается с помощью управляющих бит S1 и S0

FUNCTION TABLE									
INPUTS						OUTPUTS			
CLEAR	MODE		CLOCK	SERIAL		PARALLEL	Q _A	Q _B	Q _H
	S ₁	S ₀		LEFT	RIGHT				
L	X	X	X	X	X	X	L	L	L
H	X	X	L	X	X	X	Q _{A0}	Q _{B0}	Q _{H0}
H	H	H	↑	X	X	a...h	a	b	g
H	L	H	↑	X	H	X	H	Q _{An}	Q _{Fn}
H	L	H	↑	X	L	X	L	Q _{An}	Q _{Fn}
H	H	L	↑	H	X	X	Q _{Bn}	Q _{Cn}	Q _{Hn}
H	H	L	↑	L	X	X	Q _{Bn}	Q _{Cn}	L
H	L	L	X	X	X	X	Q _{A0}	Q _{B0}	Q _{H0}

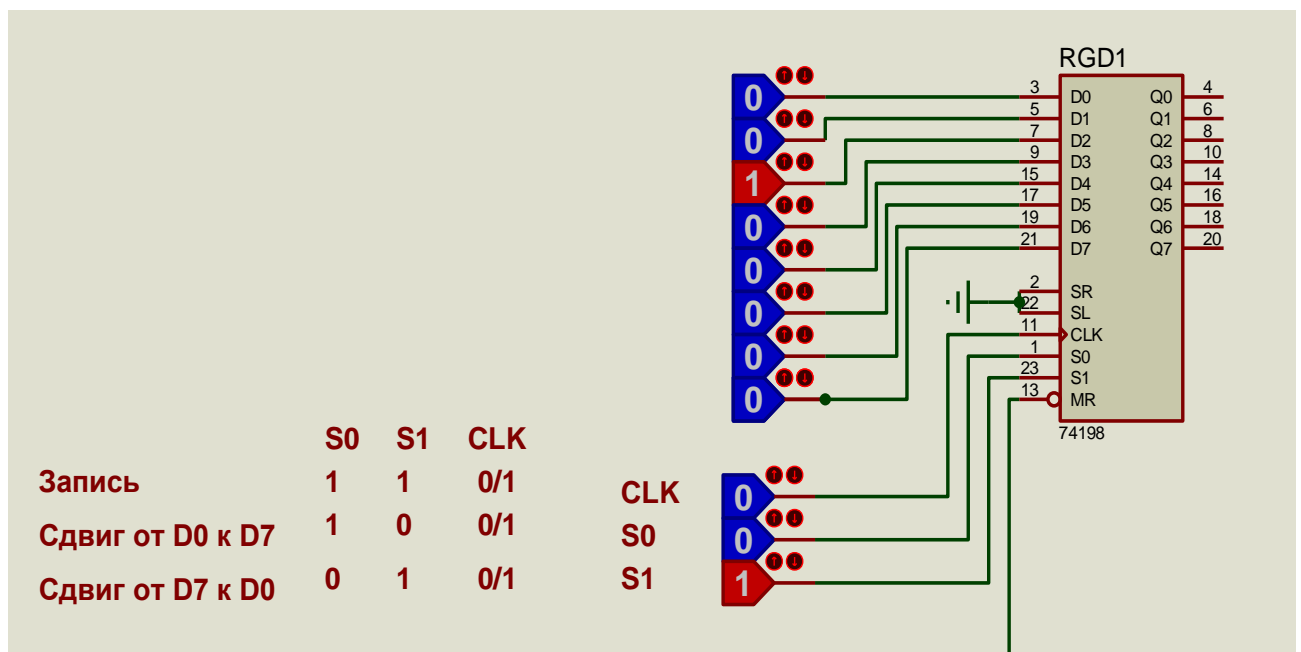


Рис. 16 – Схема исследования универсального регистра 74198

Работа мультиплексора

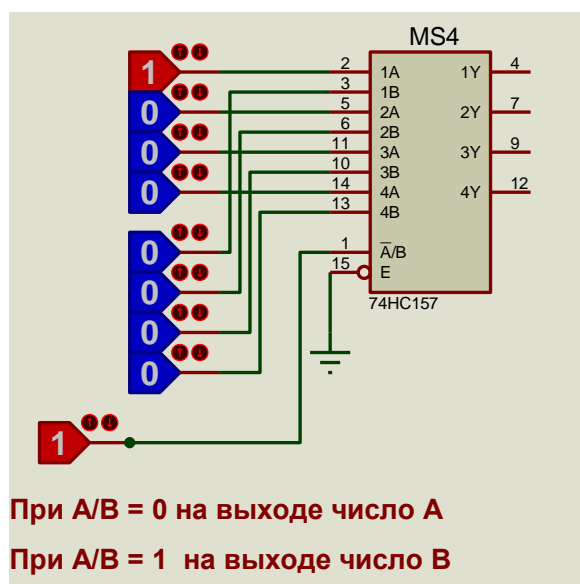


Рис. 17 – Схема исследования мультиплексора 74HC157

Задание к лабораторной работе.

Отчет должен содержать:

- 1 Структурную схему операционной части;
- 2 Принципиальную схему операционной части;
- 3 Граф - схему алгоритма
- 4

Варианты заданий:

№ вариант а	Разрядность данных	Зна к D1	Зна к D2	Знак результата	Сложение доп.код	Сложен ие обратны	Тип предполагаемого автомата
-------------	--------------------	----------	----------	-----------------	------------------	-------------------	------------------------------

						й код	
1	3+1знак=4	+	-/+	-/+		+	Мура
2	3+1знак=4	+	-/+	-/+		+	Мили
3	3+1знак=4	+	-/+	-/+		+	М П
4	3+1знак=4	+	-/+	-/+	+		Мура
5	3+1знак=4	+	-/+	-/+	+		Мили
6	3+1знак=4	+	-/+	-/+	+		М П
7	4	Умножение с мл.разрядов со сдвигом суммы вправо					Мили
8	4	Умножение с мл.разрядов со сдвигом суммы вправо					МП
9	4	Умножение с мл.разрядов со сдвигом суммы вправо					Мура
10	4	Умножение с ст. разрядов со сдвигом суммы влево					МП
11	4	Умножение с ст. разрядов со сдвигом суммы влево					Мили
12	4	Умножение с ст. разрядов со сдвигом суммы влево					Мура
13	4	Умножение с мл. разрядов со сдвигом множимого влево					Мура
14	4	Умножение с мл. разрядов со сдвигом множимого влево					МП
15	4	Умножение с мл. разрядов со сдвигом множимого влево					Мили

Контрольные вопросы:

1. Правила выполнения операций в двоичном коде.
2. Временные диаграммы и последовательность управляющих сигналов.
3. Схема-алгоритма своего метода.

Дополнительные вопросы

1. Назначение и принцип работы АЦП и ЦАП
2. Теорема Котельникова – Найквиста.