



آزمایشگاه اجزای کامپیوتر

مدرس: محمد معین مهدویان شاد
سال تحصیلی ۱۴۰۰-۰۱

جلسه دوم

مقدمه



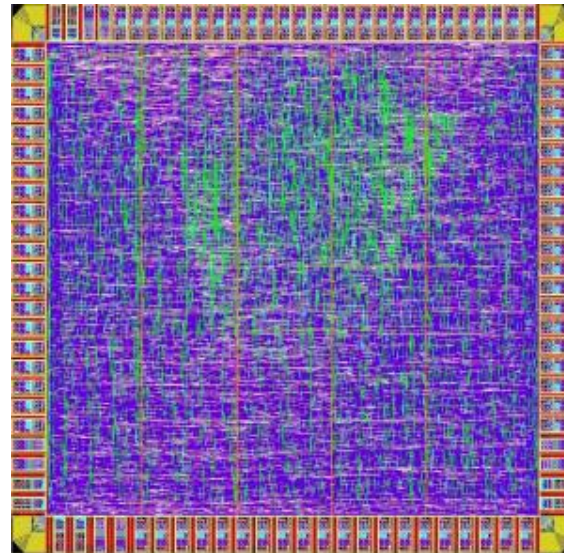
مقدمه

- آشنایی با FPGA
- آشنایی با زبان طراحی سخت افزار (VHDL)
- مقدمه‌ای در مورد طراحی مدار
- آشنایی با یک نمونه کد VHDL



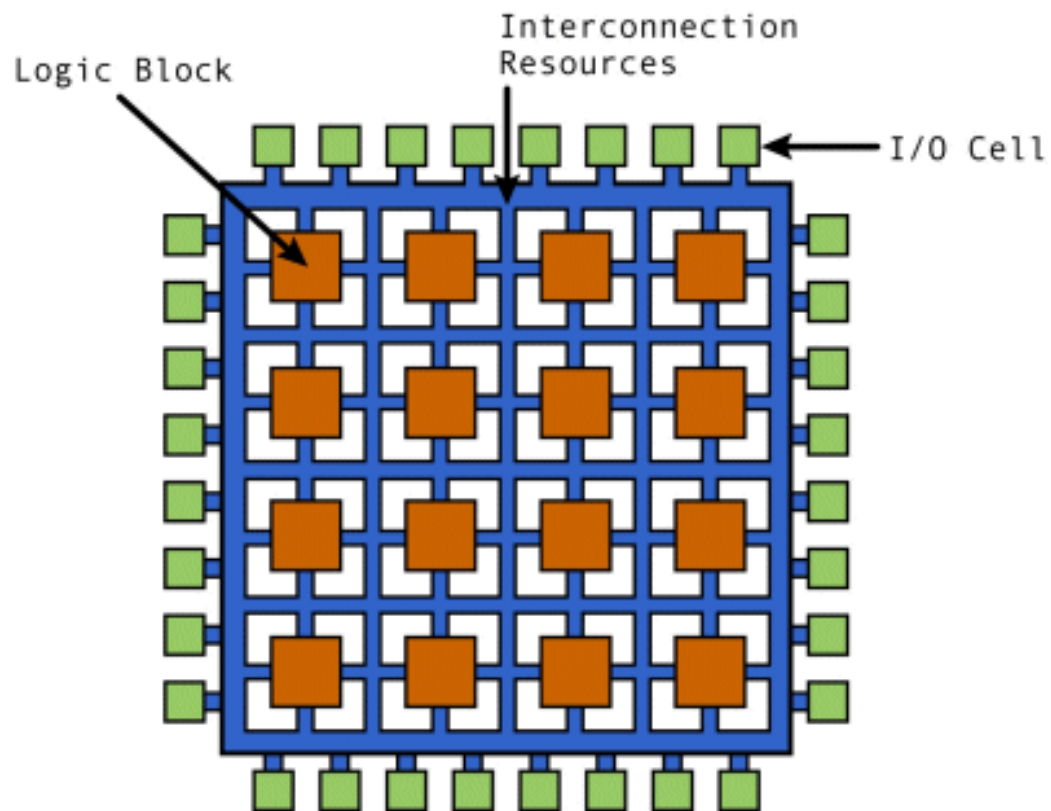
FPGA

FPGA





ساختمان FPGA ها



$R \leftarrow A + B$
ADD A,B

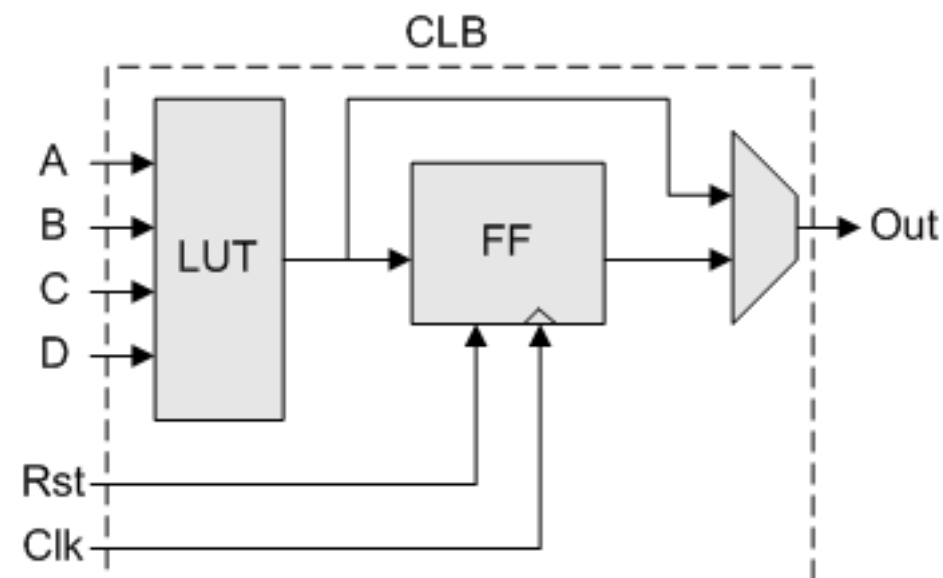
$SUM = A \oplus B$





- یال‌بلوک‌ها
 - Configurable Logic Block
- Wires or Routes
- Switch Boxes
- Connection Blocks
- I/O Blocks

اجزای سازنده FPGA ها





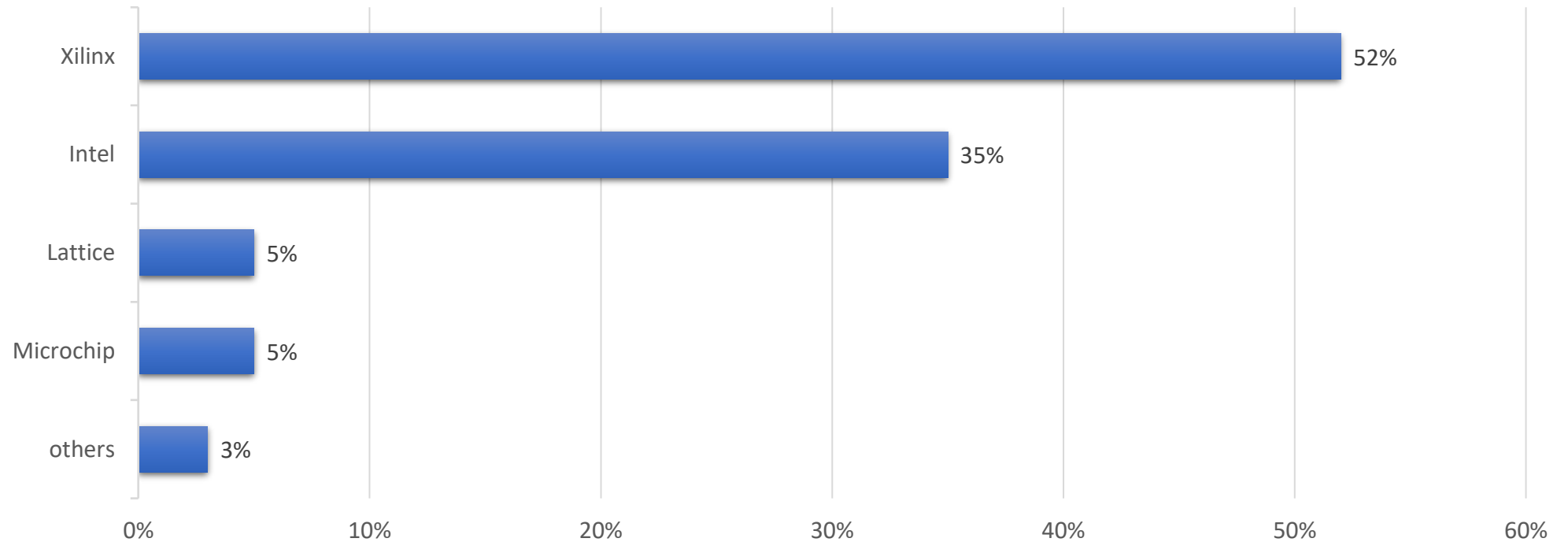
FPGAs vs. MicroProcessors

FPGAs	μPs
در ابتدا خام است و قادر به انجام کاری نیست	شامل CPU است و می‌تواند دستورات مشخصی را انجام دهد
ساختمان متغیر	ساختمان ثابت
سخت‌افزاری طراحی می‌شود	نرم‌افزاری طراحی می‌شود
سرعت بالا	سرعت پایین
کاربرد آن، منحصر به فرد است	در کاربردهای عمومی استفاده می‌شود
در آن واحد قادر است تا عملیات زیادی را انجام دهد	در آن واحد تنها یک دستور را اجرا می‌کند.



FPGAs Families

Total FPGA Shares of Revenues 2019



www.theinformationnet.com



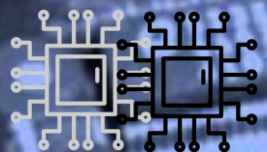
FPGA Xilinx Families

	Spartan-7	Artix-7	Kintex-7	Virtex-7
Logic Cells	102K	215K	478K	1955K
Block RAM	4.2Mb	13Mb	34Mb	68Mb
I/O Pins	400	500	500	1200
Transcievers	-	16	32	96
Transcivers Performance	-	6.6 Gb/s	12.5 Gb/s	28.05 Gb/s
Application	Lowest Power, Cost and Performance	Mid Price/Performance	Industry's Best Price/Performance	Industry's Highest System Performance



VHDL

- Very high-speed integrated circuit Hardware Description Language
- زبان توصیف سخت‌افزاری مدارات مجتمع با سرعت خیلی بالا!
- نخستین بار توسط وزارت دفاع آمریکا، به منظور مستندسازی و مدلسازی مدارات دیجیتالی طراحی شد.
- در سال ۱۹۸۷ توسط انجمن IEEE، استانداردسازی شد و در سال ۱۹۹۳ در اختیار عموم قرار گرفت.



طراحی سخت افزار در FPGA

طراحی

۱- طرح مسئله

۲- ایجاد طرح مدار دیجیتالی

کدنویسی

۳- کدنویسی VHDL

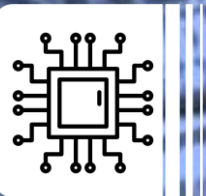
۴- عیب یابی

پیاده سازی

۵- شبیه سازی

۶- پیکربندی (۱-۶- سنتر، ۲-۶- جانمایی، ۳-۶- مسیریابی)

۷- پیاده سازی

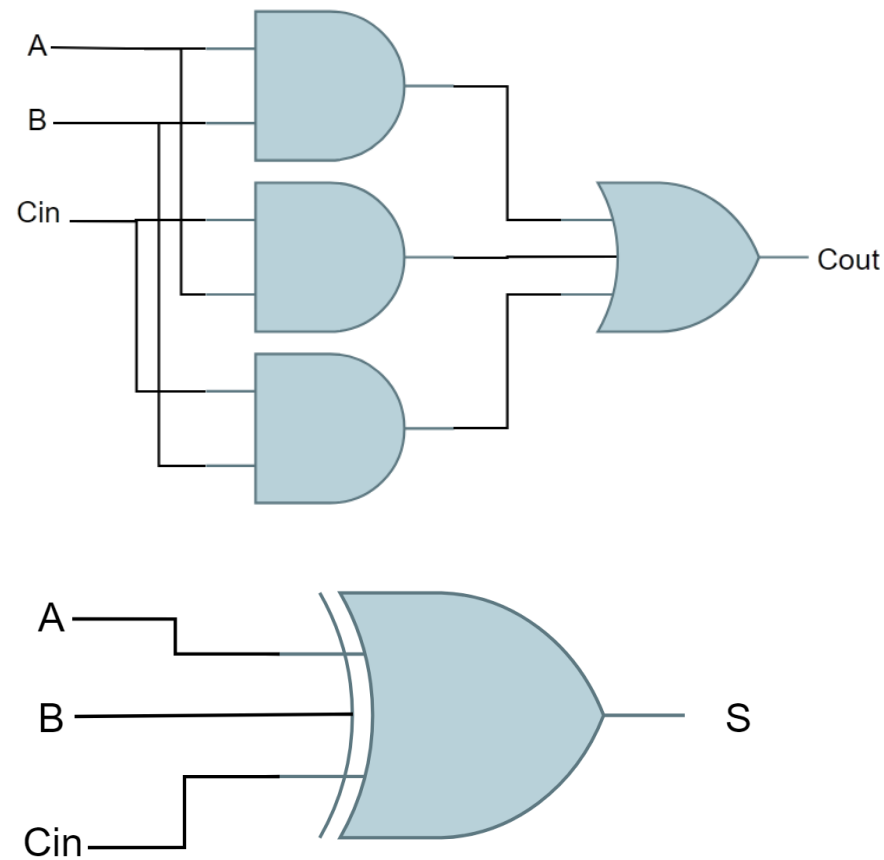


Example: one-bit Full-Adder

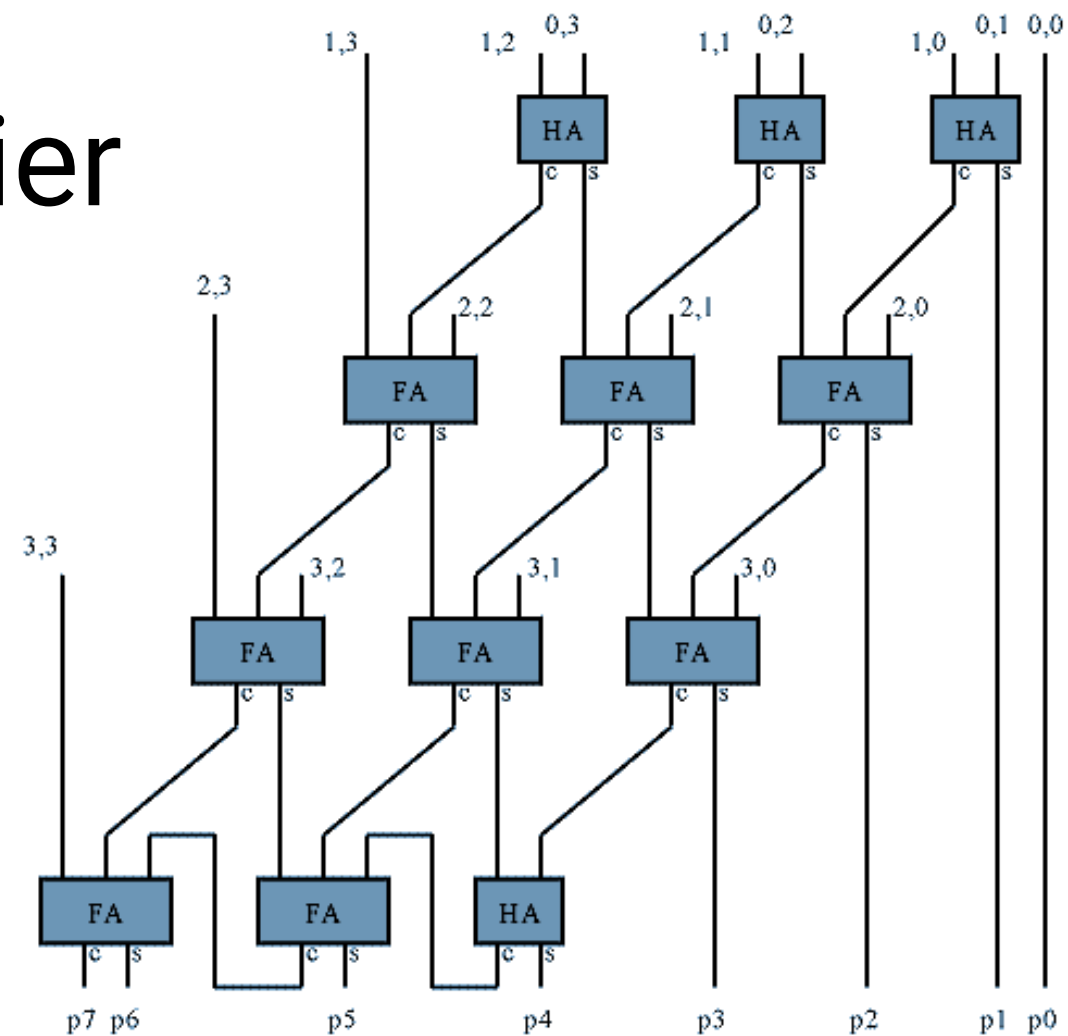
A	B	Cin	Cout	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

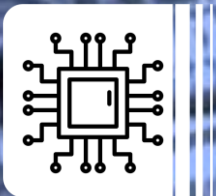
$$Cout = A.B + A.Cin + B.Cin$$

$$S = A \oplus B \oplus Cin$$



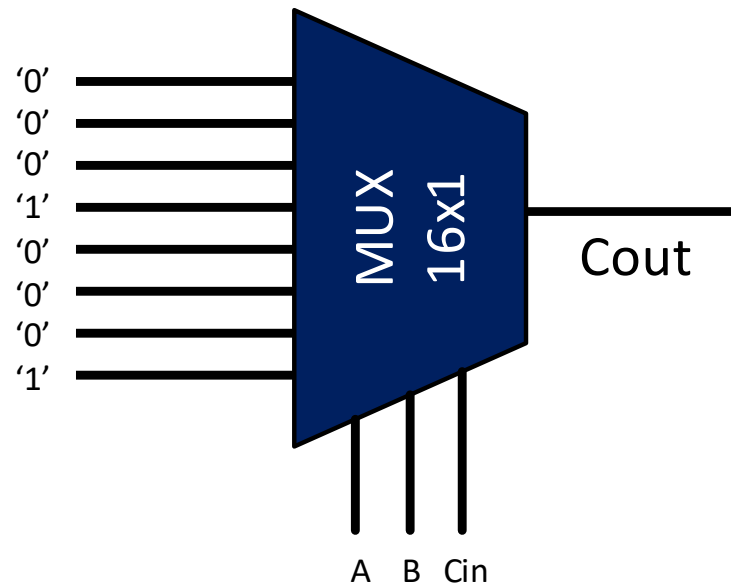
Example: four-bit Multiplier



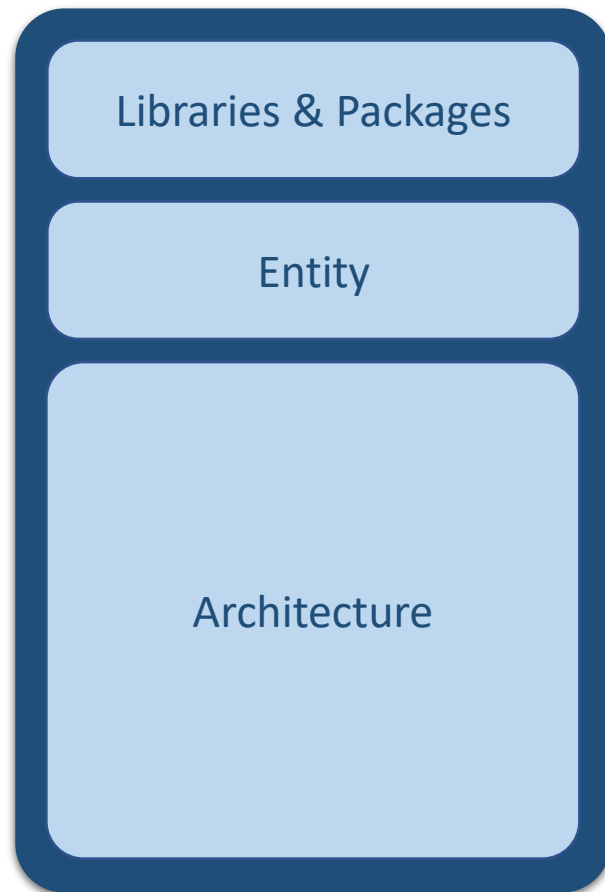


Example: FA with Look Up Table

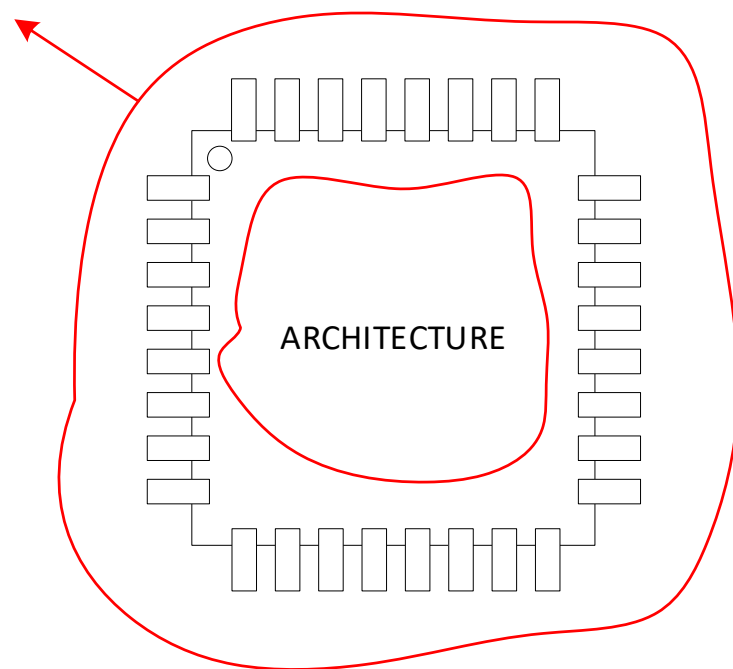
A	B	Cin	Cout	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

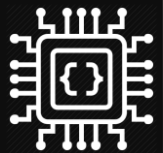
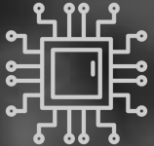


کدنویسی VHDL



ENTITY





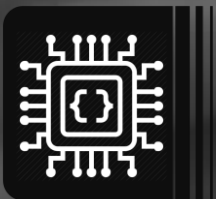
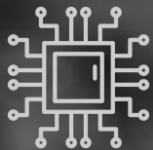
```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

-- Uncomment the following library declaration if using
-- arithmetic functions with Signed or Unsigned values

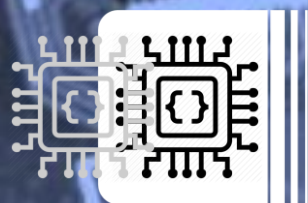
entity main_vhdl is
    Port ( din : in STD_LOGIC_VECTOR (7 downto 0);
          load : in STD_LOGIC;
          clk  : in STD_LOGIC;
          dout : out STD_LOGIC);

end main_vhdl;

architecture Behavioral of main_vhdl is
begin
    process(clk, load)
        variable reg : STD_LOGIC_VECTOR (7 downto 0);
        variable counter : integer;
        variable temp : BIT;
    begin
        if (load = '1') then
```

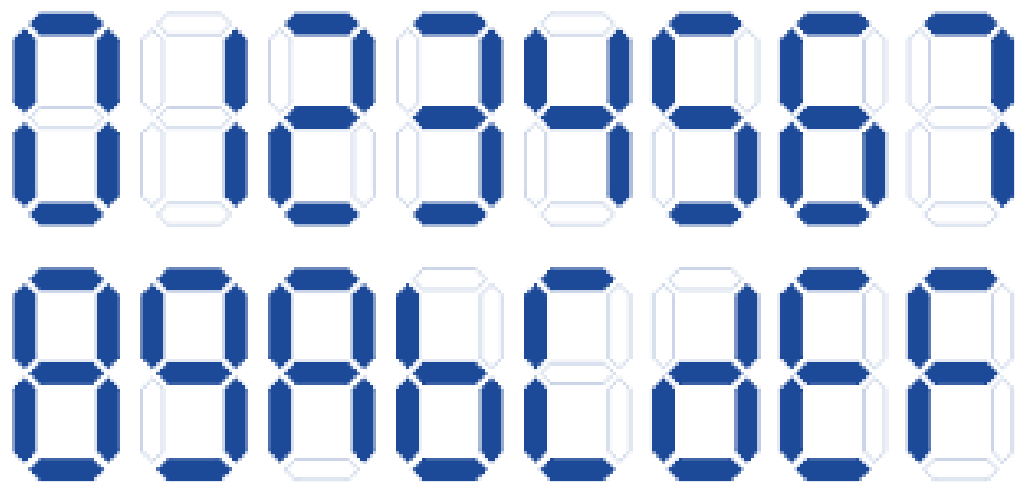


```
variable counter : integer;  
variable temp : BIT;  
begin  
    if (load = '1') then  
        reg := din;  
        dout <= din(7);  
        counter := 0;  
        temp := '0';  
    elsif (clk'event and clk = '1' and temp = '0') then  
        counter := counter + 1;  
        dout <= din(7-counter);  
        if (counter = 7) then  
            counter := 0;  
            temp := '1';  
        end if;  
    end if;  
end process;  
end Behavioral;
```



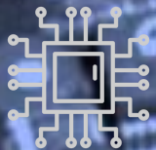
گزارش این جلسه؟

- تمرین اول- طراحی مدار سون سگمنت با قابلیت نمایش ارقام ۰ تا ۹ و کاراکترهای A تا F برای نمایش عدد بر مبنای ۱۶

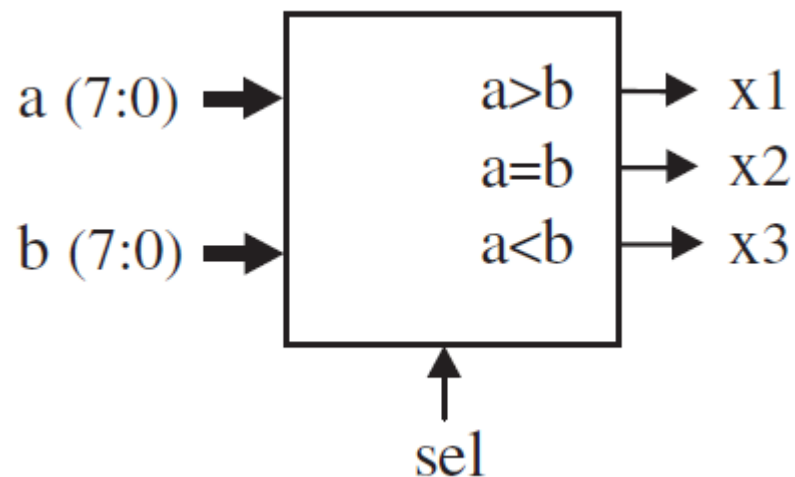


- با استفاده از گیت‌ها
- با استفاده از LUT

از حداقل سخت‌افزار ممکن استفاده شود.

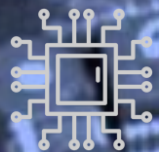


• تمرین دوم - طراحی مدار مقایسه کننده دو عدد ۸ بیتی؛ مدار دارای دو ورودی ۸ بیتی و یک بیت انتخاب است، در صورتی که این ورودی فعال باشد، مدار دو عدد را با هم مقایسه می کند. اگر عدد اول کوچکتر باشد، خروجی اول فعال (سایر خروجی ها غیرفعال می شوند)، در صورت تساوی خروجی دوم و در غیر این صورت، خروجی سوم فعال می گردد.



- با استفاده از گیت ها
- با استفاده از LUT

از حداقل سخت افزار ممکن استفاده شود.



نحوه ارسال گزارش کار

- گزارش کار + فایل‌های پروژه = فولدر با نام خودتون و شماره آزمایش = فشرده‌سازی = آپلود در سایت

computer.arch.lab@gmail.com

- مهلت ارسال: ساعت ۲۴ روز سه‌شنبه هفته بعد!

از توجه شما سپاسگزارم.