



XC4013E
PQ240CMM9645
A69148A
2C

XILINX®
XC4013E™
PQ240CMM9645
A69148A
2C

NEC JAPAN
DA310001
PQ240CMM9645
A69148A
2C

S33X257Q1
SA9708
410302

S33X257Q1
SA9708
410302

S33X257Q1
SA9708
410302

S33X257Q1
SA9708
410302

U3
1C02055
B5C
885210V

NEC JAPAN
DA310001
PQ240CMM9645
A69148A
2C

U7
1C02055
B5C
885210V

NEC JAPAN
DA310001
PQ240CMM9645
A69148A
2C

U15
1C02055
B5C
885210V

Bank 2

Bank 1

50000001000005

آزمایشگاه اجزای کامپیوتر

مدرس: محمد معین مهدویان شاد
سال تحصیلی ۱۴۰۰-۰۱





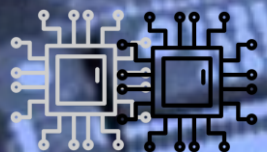
جلسه پنجم

طراحی و پیاده‌سازی مدارات ترتیبی

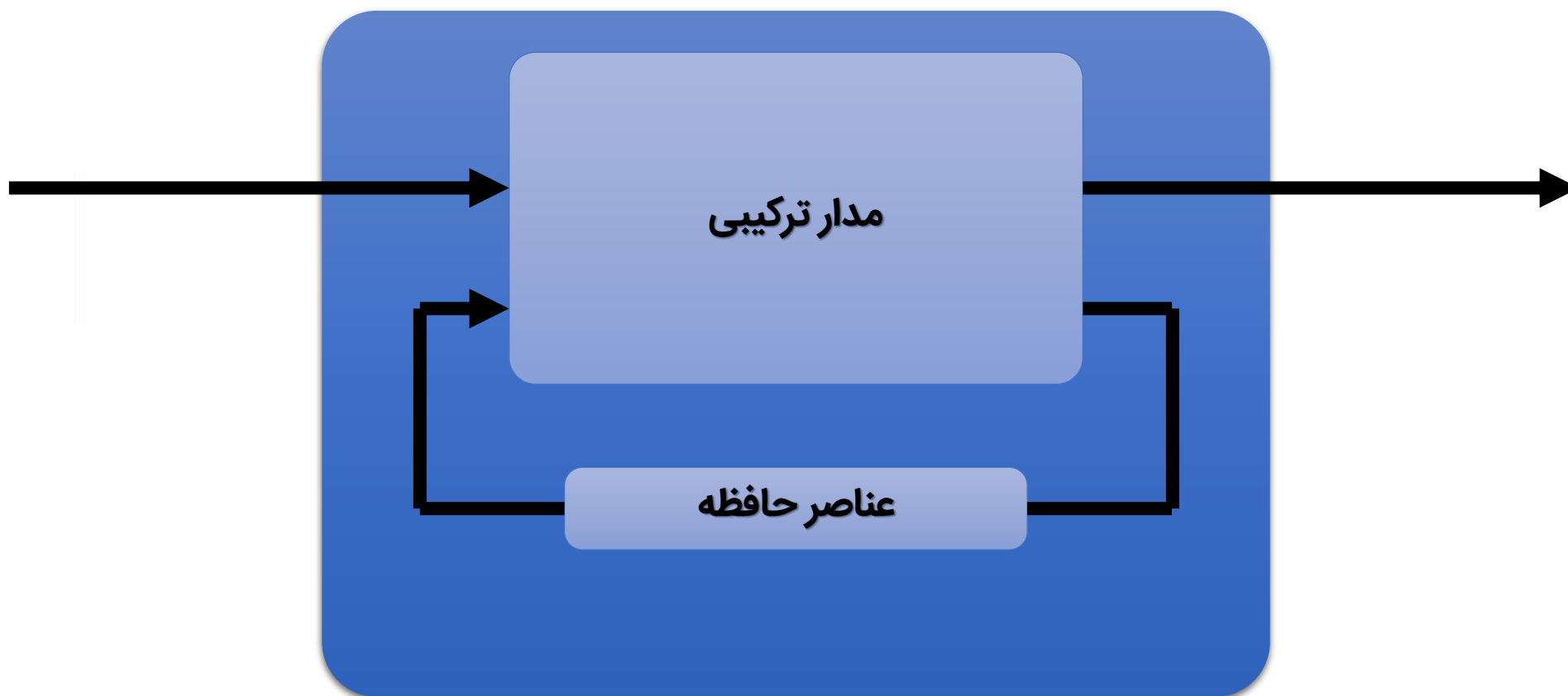


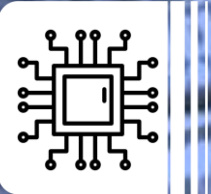
مقدمه

- آشنایی با انواع کد ترتیبی یا Sequential
 - آشنایی با محیط Process
 - IF
 - WAIT
 - FOR/LOOP
 - CASE



مدار ترتیبی





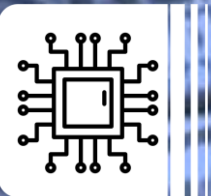
کد ترتیبی

```
1  architecture Behavioral of main_vhdl is
2
3
4
5  begin
6
7
8
9
10 process( )
11 begin
12
13
14
15 end process;
16
17
18
19 end Behavioral;
```

ARCHITECTURE Key Word

Name of **ARCHITECTURE**

Name of **ENTITY**



کد ترتیبی

```
1  architecture Behavioral of main_vhdl is
2
3
4
5  begin
6
7
8
9
10 process( )
11 begin
12
13
14
15 end process;
16
17
18
19 end Behavioral;
```

Declaration Part

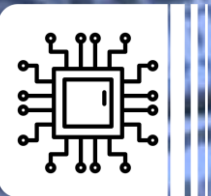
BEGIN Key Word

CONCURRENT Body

SEQUENTIAL Body

END Key Word

Name of ARCHITECTURE



```
1  architecture Behavioral of main_vhdl is
2
3
4
5  begin
6
7
8
9
10 process (      )
11
12
13 begin
14
15
16
17
18 end process;
19
20
21 end Behavioral;
22
23
24
25
```

کد ترتیبی

PROCESS Key Word

Sensitivity List

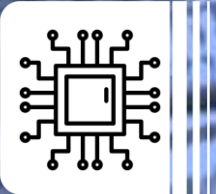
Variables Declaration

BEGIN Key Word

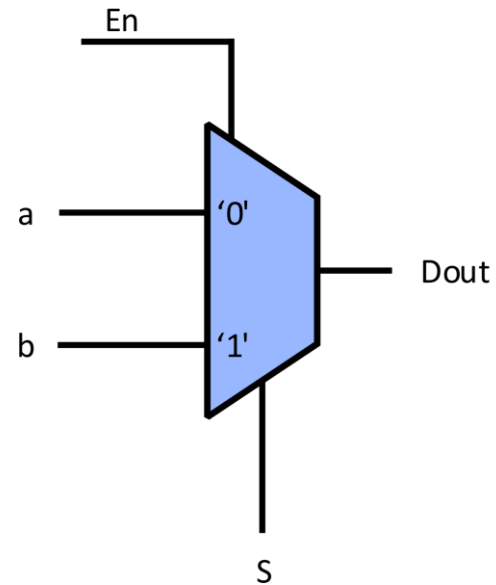
SEQUENTIAL Code

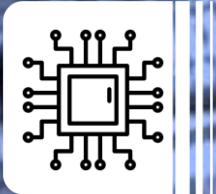
END PROCESS Key Word

** در صورت استفاده از WAIT در بدنه کد ترتیبی، از لیست حساسیت استفاده نمی‌شود. **



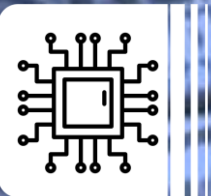
Example: 2x1 Multiplexer with Enable





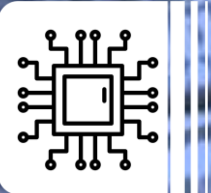
How to Write Sequential Code?!

- Combinational Code
- IF Statements
- CASE Statements
- LOOP Statements
- WAIT Statements



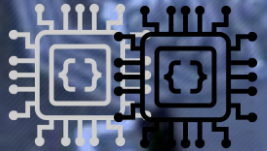
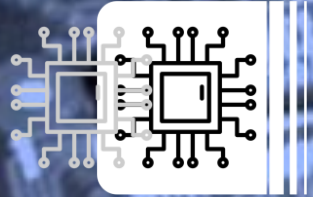
IF Statements

```
1  [label:] IF condition THEN
2      assignments;
3  ELSIF condition THEN
4      assignments;
5      .
6      .
7      .
8  ELSE
9      assignments;
10 END IF [label];
11
12
13
14
15
16
```

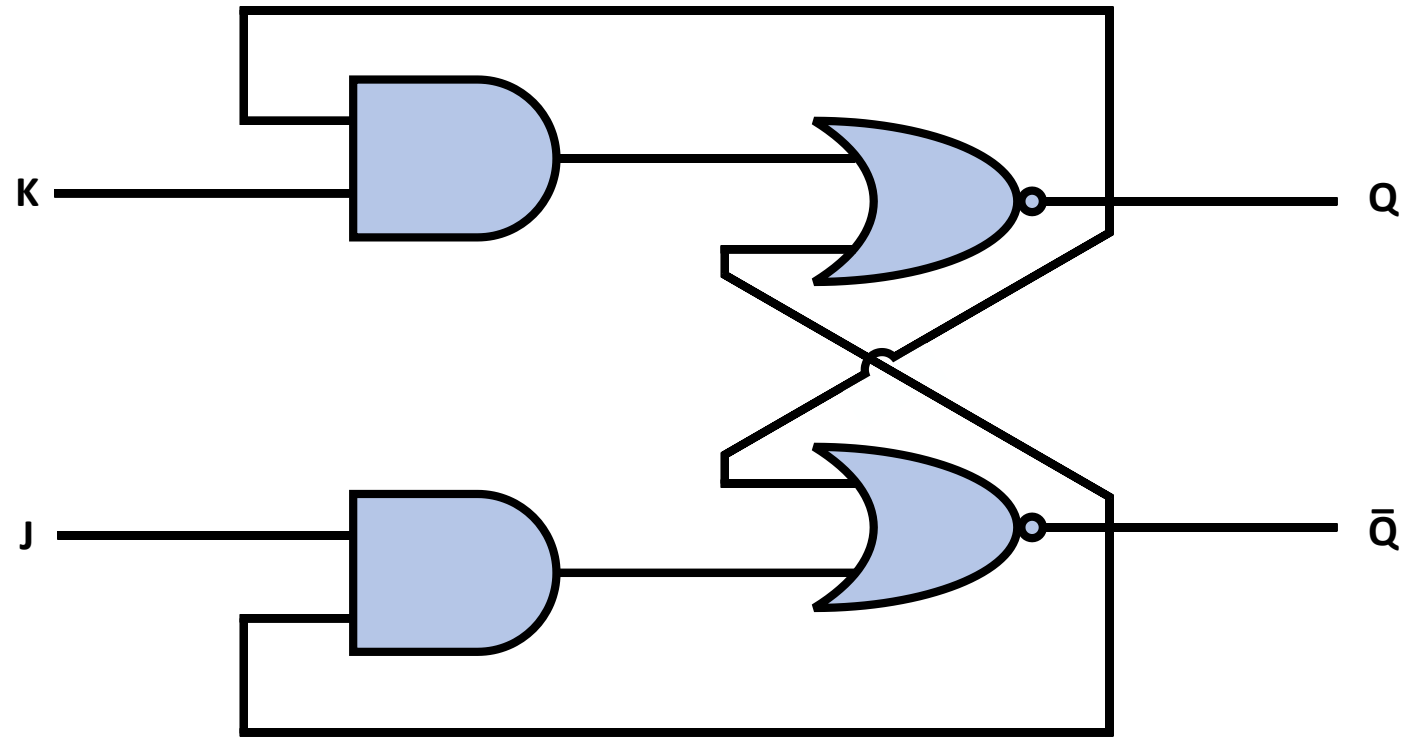



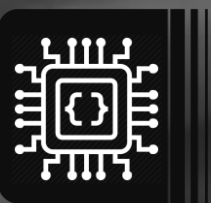
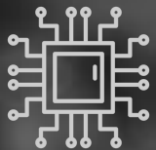
CASE Statements

```
1  CASE identifier IS
2      WHEN value1 =>
3          assignments;
4      WHEN value2 =>
5          assignments;
6      .
7      .
8      .
9  END CASE;
```



Example: JK-Latch

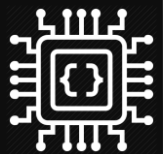
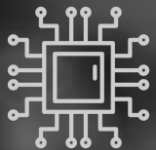




```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
entity SR_Latch is
    Port ( S, R, E : in STD_LOGIC;
          Q, Q_bar : buffer STD_LOGIC);
end SR_Latch;
architecture Behavioral of SR_Latch is
begin
    process (S, R, En)
    begin
        Q_bar <= '1';
        Q <= '0';
        if En='1' then
            if (S='1' and r='0') then
                Q <= '1';
                Q_bar <= '0';
            elsif (S='0' and r='1') then
                Q <= '0';
```




دانشگاه علم و صنعت ایران



```
process (S, R, En)
```

```
begin
```

```
    Q_bar <= '1';
```

```
    Q <= '0';
```

```
    if En='1' then
```

```
        if (S='1' and r='0') then
```

```
            Q <= '1';
```

```
            Q_bar <= '0';
```

```
        elsif (S='0' and r='1') then
```

```
            Q <= '0';
```

```
            Q_bar <= '1';
```

```
        elsif (S='1' and r='1') then
```

```
            Q <= Q_bar;
```

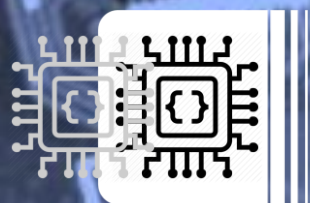
```
            Q_bar <= Q;
```

```
        end if;
```

```
    end if;
```

```
end process;
```

```
end Behavioral;
```



دستور کار آزمایش امروز؟

۱- واحد Parity Detector

طراحی و پیاده‌سازی واحد آشکارساز بیت پریته، برای ورودی ۸ بیتی که دارای پایه ورودی فعال‌ساز

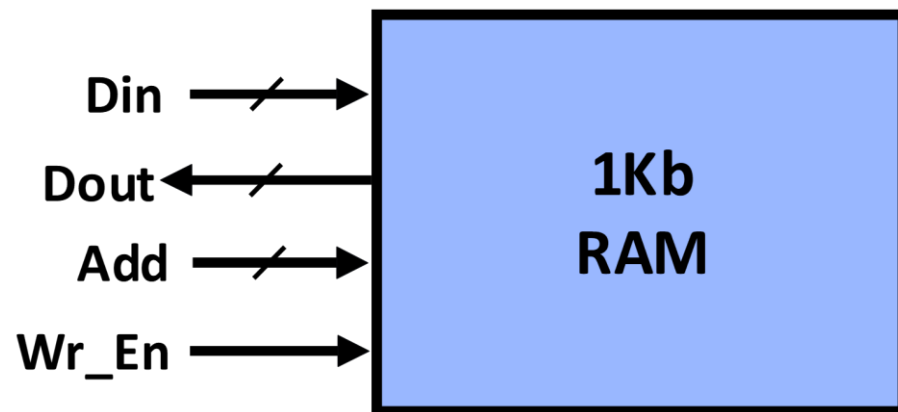


- کدنویسی به صورت ترتیبی انجام شود.
- شبیه‌سازی واحد انجام شود.

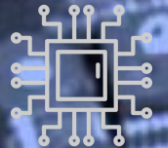


۲- حافظه ۱ کیلوبیتی

طراحی و پیاده‌سازی یک واحد حافظه RAM با ظرفیت ۱ کیلوبیت، دارای باس داده ۸ بیتی و باس آدرس موازی مجزا، حافظه دارای پایه فعال‌ساز برای عملیات نوشتن است و به صورت آسنکرون کار می‌کند.



- کدنویسی به صورت ترتیبی انجام شود.
- شبیه‌سازی واحد انجام شود.



آرایه‌ها در زبان VHDL

MEM(0 to n)

```
1  TYPE my_type IS ARRAY (specication) OF data_type;
```

```
2  
3  
4  
5  
6  
7  
8  
9  
10  
11
```

Example:

```
TYPE RAM_64B IS ARRAY 0 to 63 OF UNSIGNED (7 downto 0);  
signal my_RAM : RAM_64B := (OTHERS => (OTHERS => '0'));
```

7 downto 0

7 downto 0

7 downto 0

7 downto 0

...

7 downto 0

از توجه شما سپاسگزارم.