



Bank 2

Bank 1

5000001000005

آزمایشگاه اجزای کامپیوتر

مدرس: محمد معین مهدویان شاد
سال تحصیلی ۱۴۰۰-۰۱





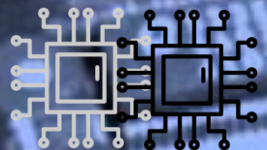
جلسه ششم

طراحی و پیاده‌سازی مدارات ترتیبی
سنکرون



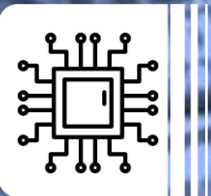
مقدمه

- ادامه بیانگرهای کد ترتیبی
- آشنایی با مدارات سنکرون
- پیاده‌سازی کلاک دلخواه



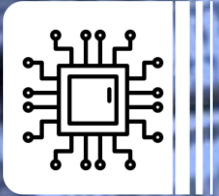
WAIT Statements

```
1  WAIT UNTIL signal_condition;  
2  
3  
4  
5  WAIT ON signal1[,signal2,...];  
6  
7  
8  
9  WAIT FOR time;  
10  
11  
12  
13  
14  
15  
16
```

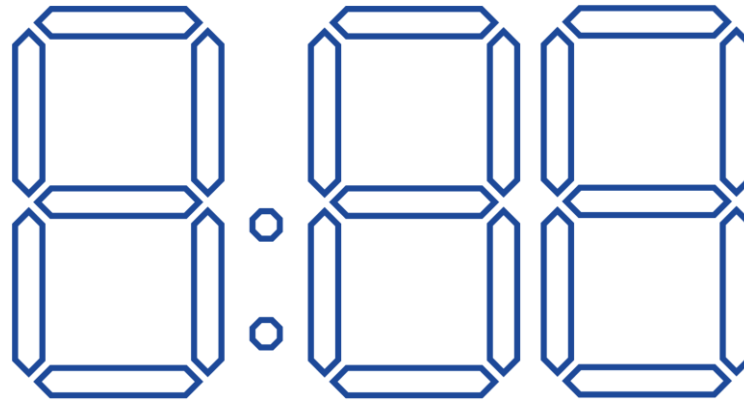


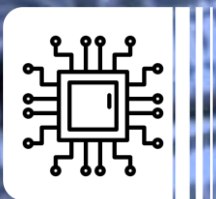
LOOP Statements

```
1  FOR identifier IN range LOOP
2      (sequential statements)
3  END LOOP;
4
5  -----
6  WHILE condition LOOP
7      (sequential statements)
8  END LOOP;
9
10 -----
11 EXIT [WHEN cindition];
12
13 -----
14 NEXT [loop_label] [WHEN cindition];
15
16
```

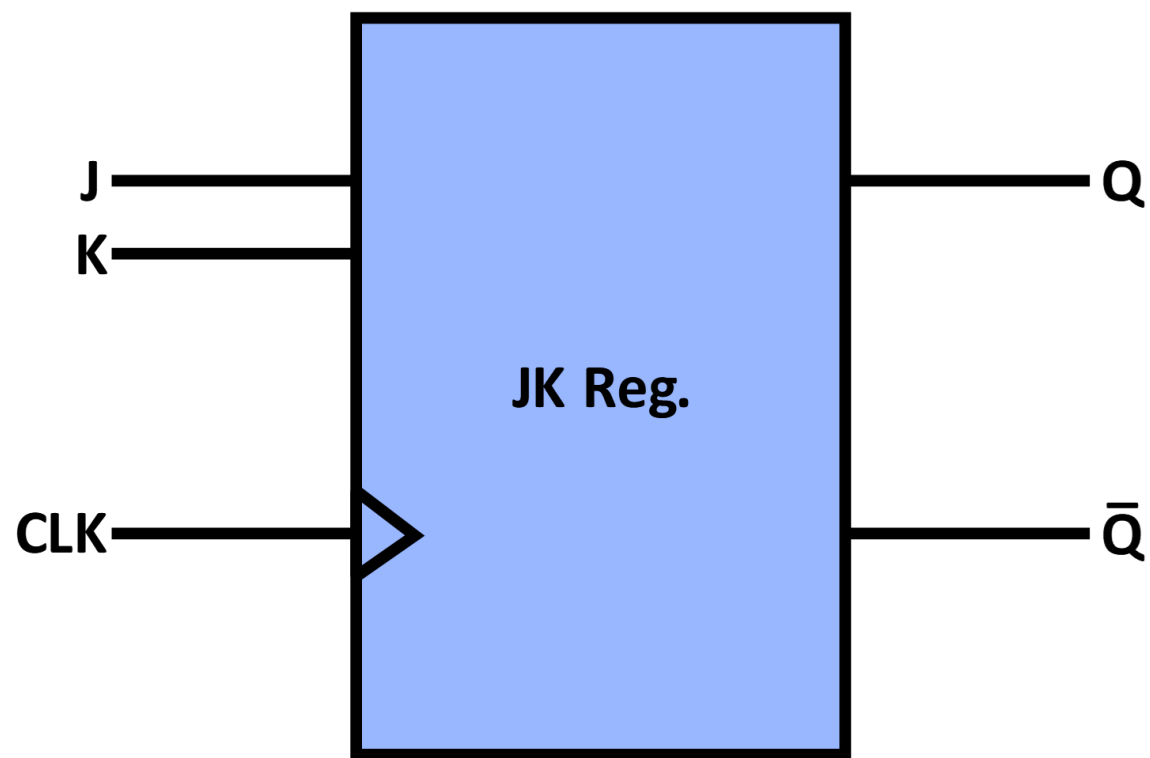


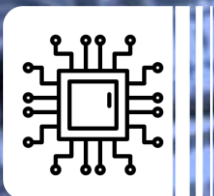
Example: Digital Chronometer





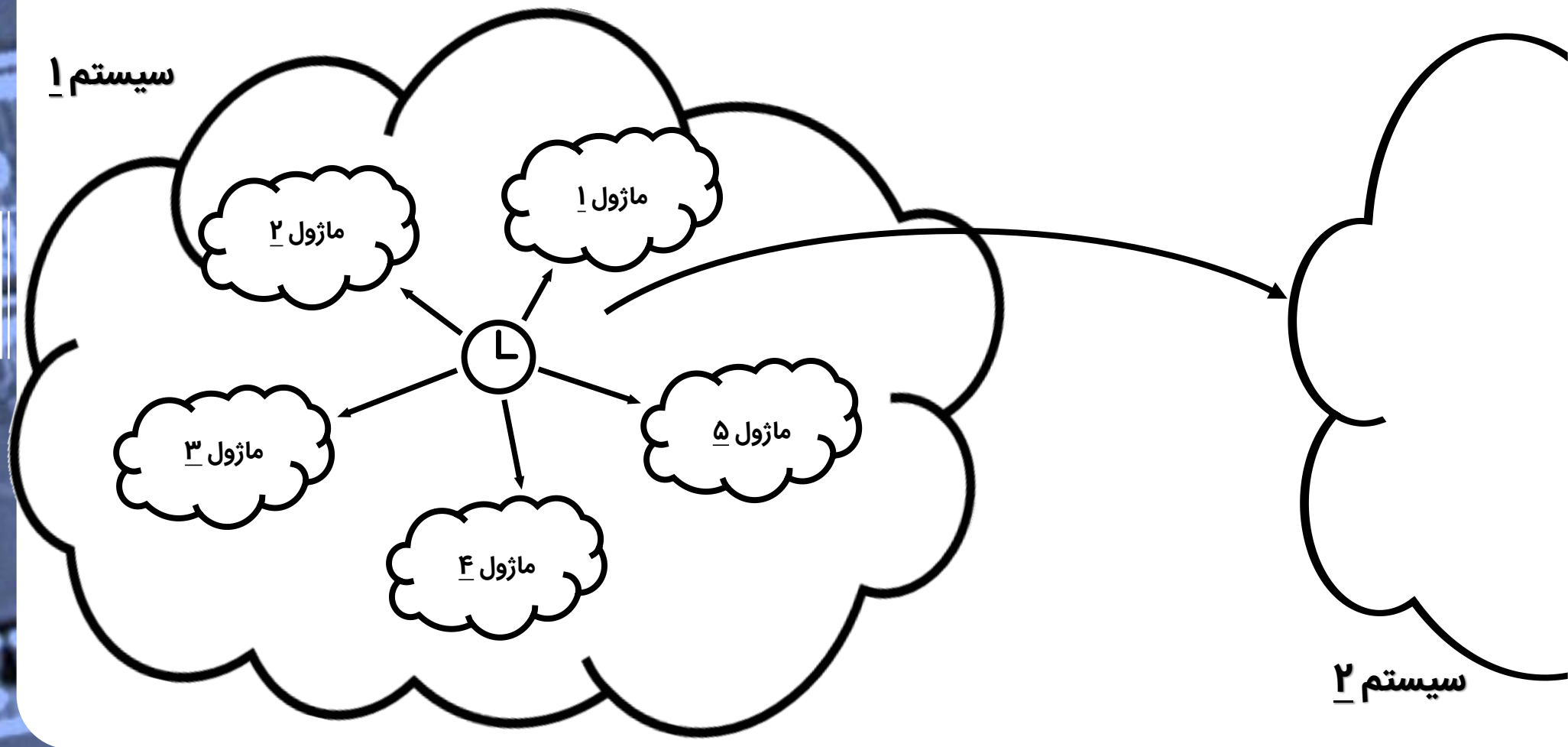
آشنایی با مدارات سنکرون



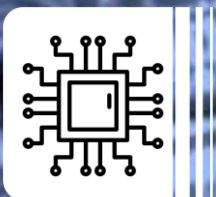


آشنایی با مدارات سنکرون

سیستم ۱

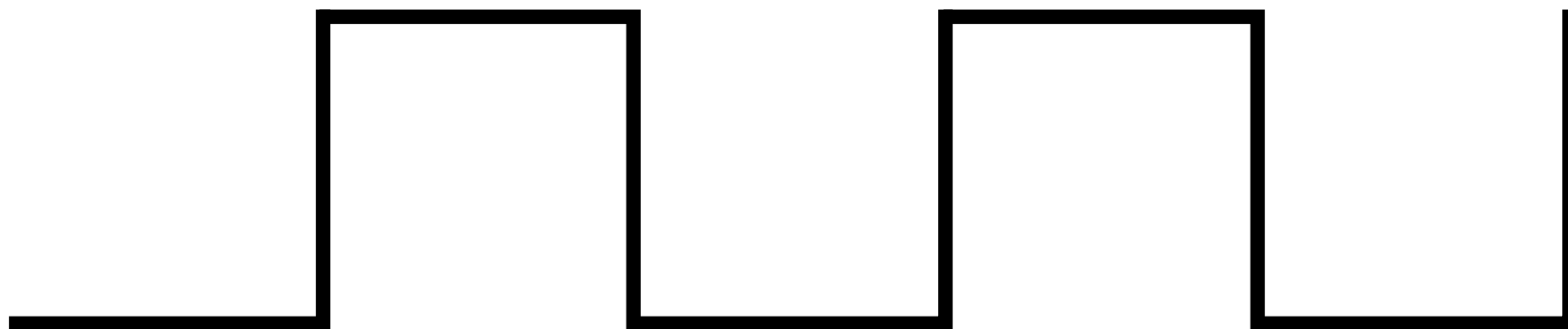


سیستم ۲



آشنایی با مدارات سنکرون

CLOCK

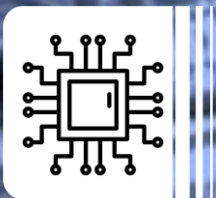


حساس به سطح "صفر" منطقی

حساس لبه پایین رونده

حساس به سطح "یک" منطقی

حساس لبه بالا رونده



Attributes

X'attribute

X'LOW

X'HIGH

X'LEFT

X'RIGHT

X'LENGTH

X'RANGE

X'REVERSE_RANGE

X'EVENT

X'STABLE<time>

X'ACTIVE

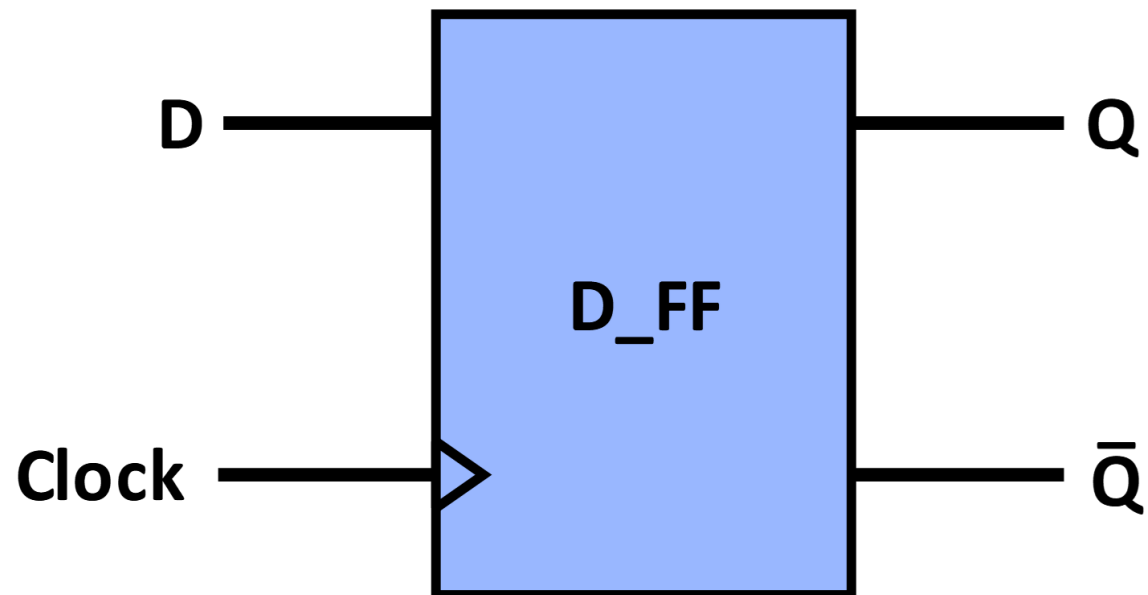
X'QUITE<time>

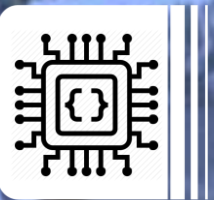
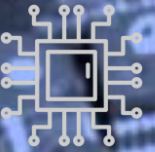
X'LAST_EVENT

X'LAST_ACTIVE

X'LAST_VALUE

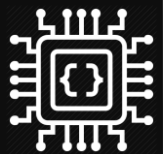
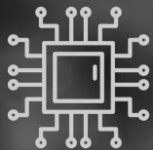
Example: D-FF





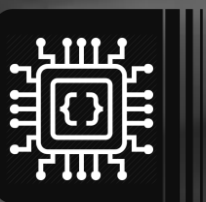
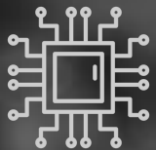
Example: One-Digit Counter





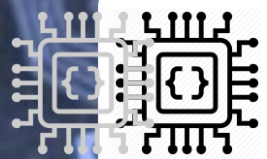
Example: Event Counter

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
entity Event_Counter is
    Port (
        clk      : in  STD_LOGIC;
        count     : out integer );
end Event_Counter;
architecture Behavioral of Event_Counter is
    signal rise_counter : integer :=0;
    signal fall_counter : integer :=0;
begin
    process(clk)
    begin
        if(clk'event and clk='1') then
            rise_counter <= rise_counter+1;
```

Example: Event Counter

```
begin
process (clk)
begin
    if (clk'event and clk='1') then
        rise_counter <= rise_counter+1;
    end if;
end process;
process (clk)
begin
    if (clk'event and clk='0') then
        fall_counter <= fall_counter+1;
    end if;
end process;
count <= rise_counter+fall_counter;
end Behavioral;
```



دستور کار آزمایش امروز؟

۱- واحد رجیستر

طراحی و پیاده‌سازی رجیستر ۸ بیتی با قابلیت بارگذاری و ریست کردن به صورت سنکرون

- واحد، تنها به لبه بالارونده حساس است.
- دارای پایه های Load و Reset.
- دارای یک باس ۸ بیتی داده برای ورودی و خروجی.
- شبیه‌سازی واحد انجام شود.

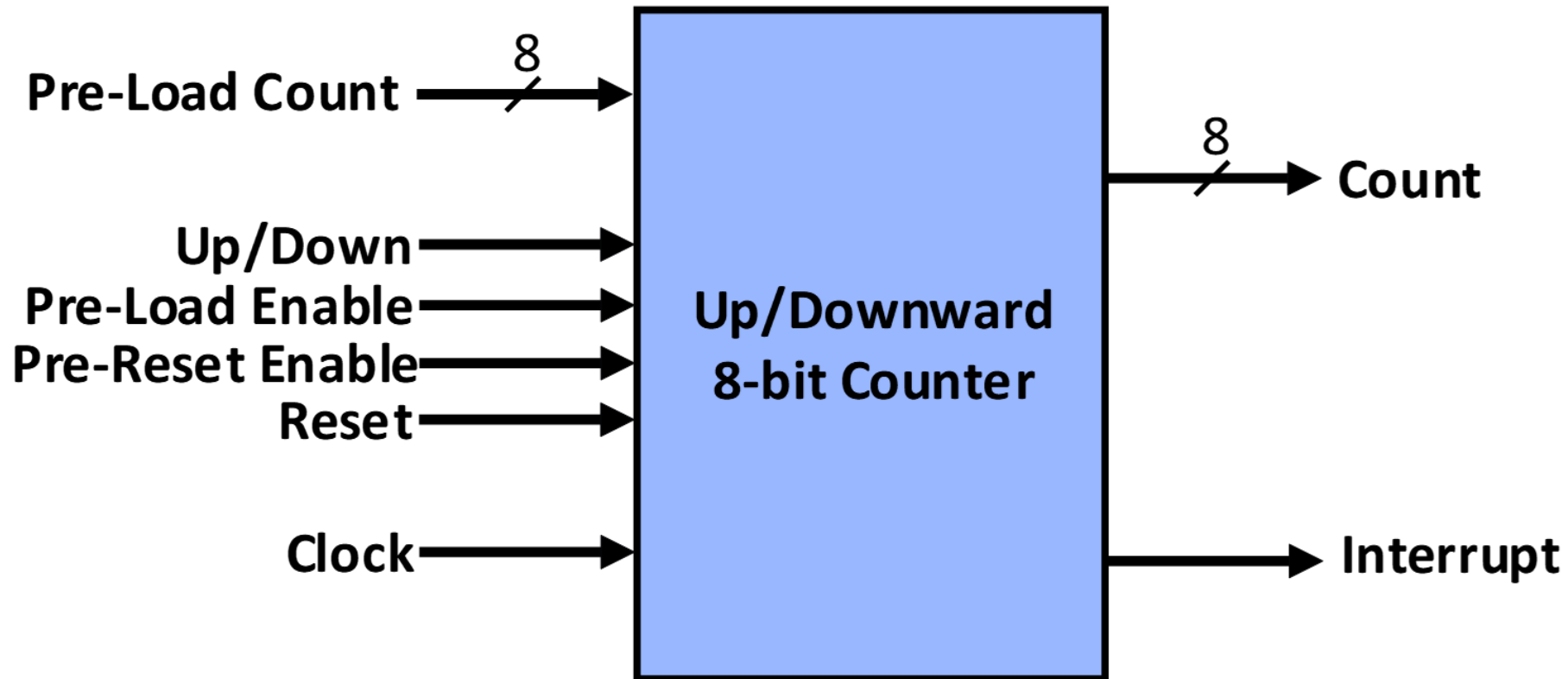


۲- واحد Timer/Counter

طراحی و پیاده‌سازی واحد شمارنده با قابلیت شمارش بالارونده و پایین‌رونده، دارای پایه‌های ریست، بارگذاری خارجی مقدار مشخص برای شروع/پایان یافتن شمارش و پایه وقفه.

- واحد، تنها به لبه بالارونده حساس است.
- شمارش به صورت ۸ بیتی انجام می‌گیرد.
- شبیه‌سازی واحد انجام شود.

برای سهولت کار، ابتدا واحد کانتور ساده طراحی شود، سپس هر یک از ویژگی‌ها به آن افزوده شود.



از توجه شما سپاسگزارم.