

CURSO DE ARQUITECTURA DE COMPUTADORAS	RAÚL ALBERTO LEÓN DÍAZ	19 - SEP - 2016
IBM Z13 System	TAREA NÚMERO 10	3CM4

IBM Z13 System

AUTOR: León Díaz Raúl Alberto
INSTITUTO POLITÉCNICO NACIONAL
ESCOM

El z13 es un microprocesador fabricado por IBM para sus equipos de mainframe z13, anunciados el 14 de enero de 2015. Fabricado en GlobalFoundries ' East Fishkill , planta de fabricación de Nueva York (anteriormente propia planta de IBM) . IBM ha destacado que es un microprocesador más rápido del mundo y es un 10% más rápido que su predecesor, el zEC12 en procesamiento simple, pero significativamente más al hacer tareas especializadas.

El chip de unidad de procesamiento (chip PU) tiene una superficie de 678 mm² y contiene 3.99 millones de transistores . Ha sido fabricado utilizando 22 nm de silicio CMOS de IBM en el proceso de fabricación del aislador , utilizando 17 capas de metal y velocidades de soporte de 5.0 GHz, que es menor que su predecesor, el zEC12 . El chip de la PU puede tener seis , siete u ocho núcleos (o " unidades de procesador " en la jerga de IBM) habilitado dependiendo de la configuración . El chip de la PU se envasa en un módulo de chip único , un alejamiento de los procesadores centrales anteriores de IBM, que se montan en grandes módulos multi-chip . Un cajón equipo consta de seis fichas de poliuretano y dos chips de Controlador de almacenamiento (SC) .

Los núcleos implementan la arquitectura CISC/z con un superescalar , tubería fuera de orden. Cuenta con habilidades relacionadas con la memoria transaccional , y nuevas características como la de dos-vías multihilo simultáneo (SMT) , 139 nuevas instrucciones SIMD , compresión de datos , la mejora de la criptografía y las particiones lógicas . Los núcleos tienen numerosas otras mejoras como una nueva tubería superescalar , en el chip de memoria caché de diseño y corrección de errores .

La tubería de instrucción tiene una cola de instrucción que puede traer 6 instrucciones por ciclo ; y emitir hasta 10 instrucciones por ciclo . Cada núcleo tiene un caché L1 privada 96 KB de instrucciones , una caché de datos privada de 128 KB L1 , una memoria caché de instrucciones caché L2 de 2 MB privado y una privada caché de datos 2 MB L2 . Además , hay un 64 MB compartida caché L3 implementado en eDRAM .

El chip Z13 tiene a bordo de varios canales controlador de memoria RAM DDR3 que soporta una configuración de RAID -como para recuperarse de errores en la memoria . El Z13 también incluye dos autobuses GX , así como dos nuevos controladores PCIe Gen 3 para acceder a los adaptadores de canal principal y los periféricos .