

AC109N 硬件设计指南

珠海市杰理科技有限公司

版本：V1.2

日期：2012.09.25

ZHUHAI



目 录

1. 版本信息.....	1
2. 引脚定义.....	1
2.1 引脚分配.....	1
2.2 引脚描述.....	4
3. 电气特性.....	7
3.1 LDO 电压、电流特性.....	7
3.2 I/O 输入、输出高低逻辑特性.....	7
3.3 I/O 输出能力、上下拉电阻特性.....	7
4. 硬件设计说明.....	8
4.1 AC109N OTP 版 Boombox 设计说明	8
5. 设计特殊说明（★此章节为重点章节，须识记）	9
5.1 AC109N 特殊说明	9
5.1.1 IO 特性.....	9
5.1.2 LCD 驱动.....	9
5.2 DAC 音频电路设计.....	9
5.3 AMUX 设计	10
5.4 SD 卡电源设计	10
5.5 USB 电源设计	10
5.6 GND 和 AGND.....	10
6. PCB 布局和 Layout 注意事项.....	11
6.1 晶振走线要求.....	11
6.2 FM 走线和铺地处理	11
6.3 音频信号走线要求.....	12
7. 引脚封装.....	13
7.1 AC109N_64PIN 封装图	13
7.2 AC1090_48PIN 封装图	14
7.3 AC1096_28PIN 封装图	14
7.4 AC1085_24PIN 封装图	15
7.5 AC1083_16PIN 封装图	15



AC109N 硬件设计指南 V1.1

严格执行事项：

- 1、LDO5V 严禁使用超过 5.5V 以上的电压
- 2、芯片模拟地和数字地必须分开处理
- 3、晶振摆放位置不能超过主控晶振引脚 1CM，晶振走线需用电源或地线包裹，切勿与其他信号线并行走线
- 4、低速晶振处必须预留 15P 电容位置
- 5、烧写 IO（P00、P01、P02、VPP、USBDM、USBDP、VDDIO、LDO5V、VSSIO）必须拉出测试点

1. 版本信息

日期	版本号	描述
2012.08.31	V1.0	原始版本
2012.09.07	V1.1	增加 AC1083_SOP16 引脚封装图和封装尺寸图
2012.09.25	V1.2	增加 AC1085_SSOP24 引脚封装和封装尺寸图

2. 引脚定义

2.1 引脚分配

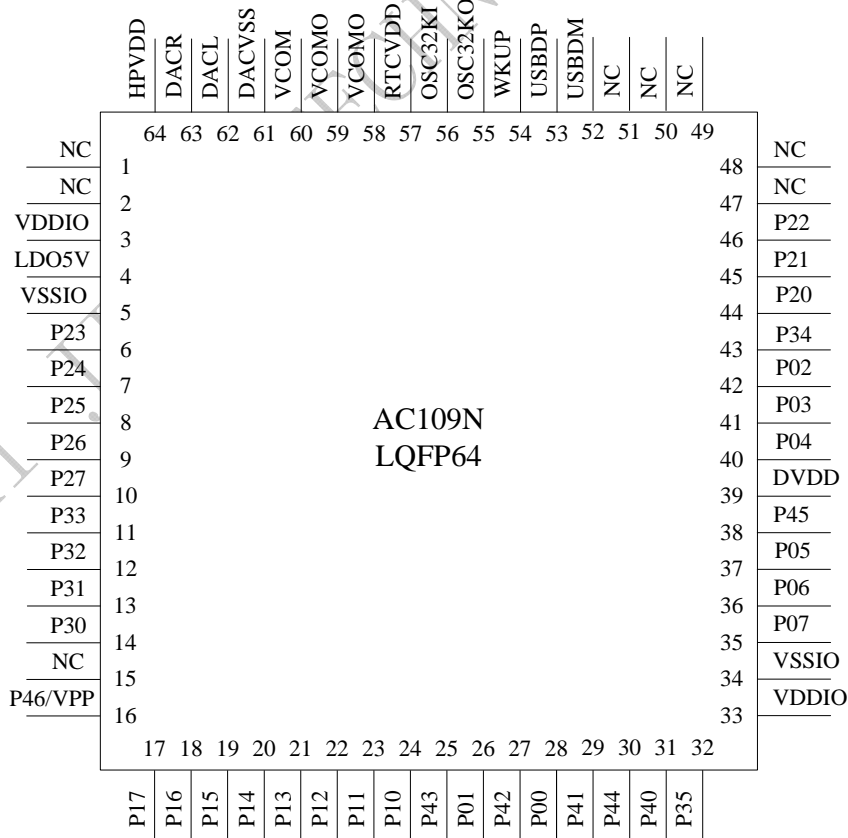


图 2-1 AC109N_LQFP64

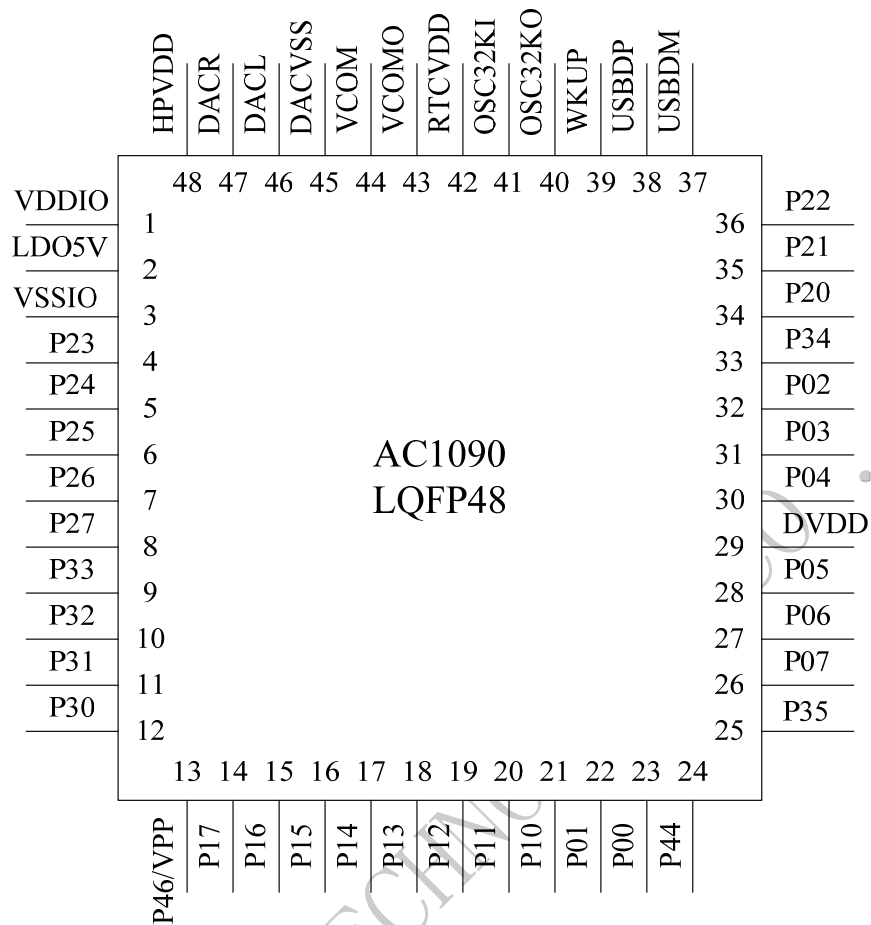


图 2-2 AC1090_LQFP48

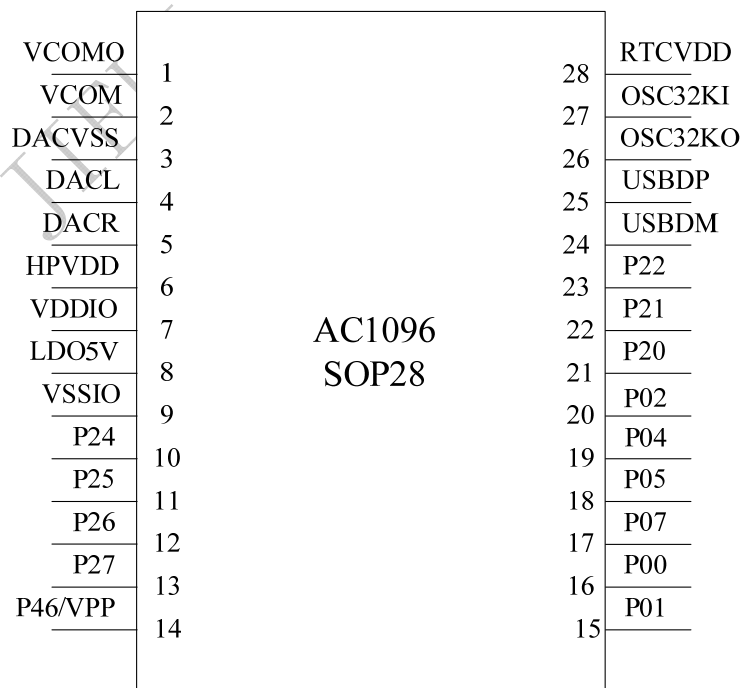


图 2-3 AC1096_SOP28

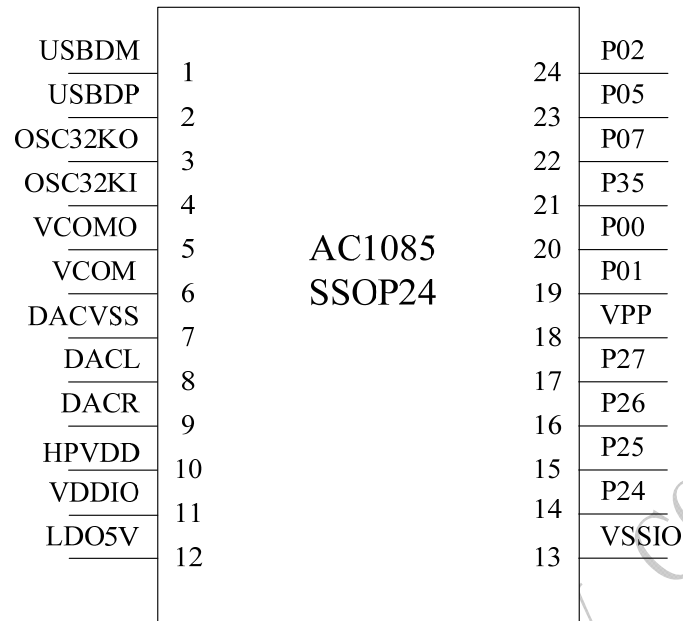


图 2-4 AC1085_SSOP24

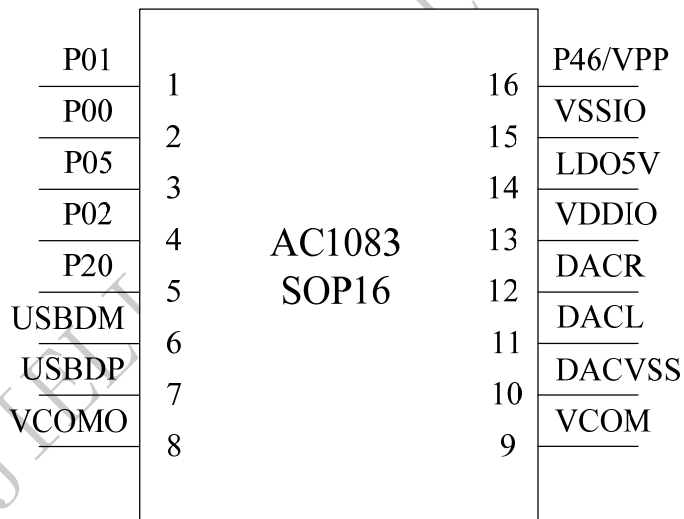


图 2-5 AC1083_SOP16



2.2 引脚描述

表 2-1

PIN#					Name	I/O Type	Drive (mA)	Function	Other Function
LQFP 64	LQFP 48	SOP 28	SSOP 24	SOP 16					
1					NC				
2					NC				
3	1	7	11	13	VDDIO	P	/	IO Power 3.3V	
4	2	8	12	14	LDO5V	P	/	LDO Power 5V	
5	3	9	13	15	VSSIO	P	/	IO Ground	
6	4				P23	I/O	16	GPIO	T2CAP: Timer2 Capture Pin MIC: MIC input
7	5	10	14		P24	I/O	16	GPIO	UARTTX1: UART Data Out(B) AUXL0: Analog MUX left channel input 0 ISD CLK0:ISD 2W Clock0 FM IN:FM RF Signal In
8	6	11	15		P25	I/O	16	GPIO	UARTRX1: UART Data In(B) AUXR0: Analog MUX right channel input 0 ISD DAT0:ISD 2W Data0
9	7	12	16		P26	I/O	16	GPIO	IICK1: IIC Clock(B) AUXL1: Analog MUX left channel input 1
10	8	13	17		P27	I/O	16	GPIO	IICDA1: IIC Data(B) AUXR1: Analog MUX right channel input 1
11	9				P33	I/O	20	GPIO	EMI_WR_: EMI Port Write enable UARTRX2: UART Data In(C) IICDA2: IIC Data(C)
12	10				P32	I/O	20	GPIO	LVD: Low voltage detect input UARTTX2: UART Data Out(C) IICK2: IIC Clock(C)
13	11				P31	I/O	20	GPIO	
14	12				P30	I/O	20	GPIO	SDCLKB: SD Clock(B) T0PWM: Timer0 PWM Output
15					NC				
16	13	14	18	16	P46/VPP	I/O	8	OTP Program Power	Additional Input Only Pin T3CAP: Timer3 Capture Pin WKUP4: Port Interrupt/Wakeup
17	14				P17	I/O	16	GPIO	EMID7: EMI Data 7 SPIDOA: SPI Data Out(A)
18	15				P16	I/O	16	GPIO	EMID6: EMI Data 6 SPICLKA: SPI Clock(A)
19	16				P15	I/O	16	GPIO	EMID5: EMI Data 5 SPIDIA: SPI Data In(A)
20	17				P14	I/O	16	GPIO	EMID4: EMI Data 4
21	18				P13	I/O	16	GPIO	EMID3: EMI Data 3 T2CKIN: Timer2 Clock In
22	19				P12	I/O	16	GPIO	EMID2: EMI Data 2
23	20				P11	I/O	16	GPIO	EMID1: EMI Data 1
24	21				P10	I/O	16	GPIO	EMID0: EMI Data 0
25					P43	I/O	20	GPIO	ISD Data



26	22	15	19	1	P01	I/O	16	GPIO	High Frequency Oscillator Out ISP Data In ADC1: ADC Channel 1 Input IICDA4: IIC Data(D) SPIDOB: SPI Data Out(B) SDDATB: SD Data(B) ISD DAT1:ISD 2W Data1
27					P42		20	GPIO	ISD Data
28	23	16	20	2	P00	I/O	16	GPIO	High Frequency Oscillator In ISP Clock In ADC0: ADC Channel 0 Input IICK4: IIC Clock(D) SPICLKB: SPI Clock(B) SDCMDB: SD Command(B) ISD CLK1:ISD 2W Clock1
29					P41	I/O	20	GPIO	ISD Data
30	24				P44	I/O	20	GPIO	ISD CLK
31					P40	I/O	20	GPIO	ISD Data
32	25		21		P35	I/O	20	GPIO	ADC11: ADC Channel 11 Input SDCLKC: SD Clock(C)
33					VDDIO	P	/	IO Power 3.3V	
34					VSSIO	P	/	IO Ground	
35	26	17	22		P07	I/O	16	GPIO	ADC7: ADC Channel 7 Input UARTRX0: UART Data In(A) WKUP2:Port Interrupt/Wakeup
36	27				P06	I/O	16	GPIO	ADC6: ADC Channel 6 Input UARTTX0: UART Data Out(A)
37	28	18	23	3	P05	I/O	16	GPIO	ADC5: ADC Channel 5 Input T1CKIN: Timer1 Clock In WKUP1:Port Interrupt/Wakeup T2PWM: Timer2 PWM Output CLKOUT: Internal Clock Output
38					P45	I/O	20	GPIO	ISD CMD
39	29				DVDD	P	/	Core Power 1.8V	
40	30	19			P04	I/O	16	GPIO	ADC4: ADC Channel 4 Input T1CAP: Timer1 Capture Pin DAC CLK:
41	31				P03	I/O	16	GPIO	ADC3: ADC Channel 3 Input T0CKIN: Timer0 Clock In T1PWM: Timer1 PWM Output DAC R:
42	32	20	24	4	P02	I/O	16	GPIO	ADC2: ADC Channel 2 Input T0CAP: Timer0 Capture Pin WKUP0:Port Interrupt/Wakeup ISP Data Out DAC L:
43	33				P34	I/O	20	GPIO	T3PWM: Timer3 PWM Output
44	34	21		5	P20	I/O	16	GPIO	SDCLKA: SD Clock(A) ADC8: ADC Channel 8 Input
45	35	22			P21	I/O	16	GPIO	SDCMDA: SD Command(A) ADC9: ADC Channel 9 Input
46	36	23			P22	I/O	16	GPIO	SDDATA: SD Data(A) ADC10: ADC Channel 10 Input T3CKIN: Timer3 Clock In
47					NC				
48					NC				
49					NC				
50					NC				



51					NC				
52	37	24	1	6	USBDM	I/O	/	USB Negative Data	UARTTX3: UART Data In(D) IICDA3: IIC Data(D)
53	38	25	2	7	USBDP	I/O	/	USB Positive Data	UARTTX3: UART Data Out(D) IICK3: IIC Clock(D)
54	39				WKUP	I/O	/	RTC WakeUp Output	
55	40	26	3		OSC32K O	O	/	Low Frequency Crystal OSC Output	
56	41	27	4		OSC32KI	I	/	Low Frequency Crystal OSC Input	
57	42	28			RTCVDD	P	/	RTC Power 1.8V	
58	43	1	5	8	VCOMO	P	/	DAC Reference Out	
59	43	1	5	8	VCOMO	P	/	DAC Reference Out	
60	44	2	6	9	VCOM	P	/	DAC Reference	
61	45	3	7	10	DACVSS	P	/	DAC Ground	
62	46	4	8	11	DACL	O	/	DAC Left Channel	
63	47	5	9	12	DACR	O	/	DAC Right Channel	
64	48	6	10		HPVDD	P	/	Headphone Power 3.3V	

(★说明: 1、P---Power Supply 2、I---Input 3、O---Output 4、I/O---Bi-direction)



3. 电气特性

3.1 LDO 电压、电流特性

表 3-1

符号	参数	最小	典型	最大	单位	测试条件
LDO5V	Voltage Input	3.4	4.6	5.5	V	—
$V_{3.3}$	Voltage output	—	3.3	—	V	LDO5V = 5V, 100mA loading
$V_{1.8}$		—	1.8	—	V	LDO5V = 5V, 50mA loading
V_{HPVDD}	Headphone Amplifier Voltage	—	3.3	—	V	LDO5V = 5V, 80mA loading
V_{RTC}	RTC voltage	1.2	1.6	2	V	—
$I_{L1.8}$	Loading current	—	—	60	mA	LDO5V = 5V
$I_{L3.3}$		—	—	150	mA	LDO5V = 5V
I_{RTC}		3	6	10	uA	—

3.2 I/O 输入、输出高低逻辑特性

表 3-2

IO 输入特性						
符号	参数	最小	典型	最大	单位	测试条件
V_{IL}	Low-Level Input Voltage	-0.3	—	0.3* VDDIO	V	VDDIO = 3.3V
V_{IH}	High-Level Input Voltage	0.7* VDDIO	—	VDDIO+0.3	V	VDDIO = 3.3V
IO 输出特性						
V_{OL}	Low-Level Output Voltage	—	—	0.33	V	VDDIO = 3.3V
V_{OH}	High-Level Output Voltage	2.7	—	—	V	VDDIO = 3.3V

3.3 I/O 输出能力、上下拉电阻特性

表 3-3

Port 口	普通输出	强输出	上拉电阻	下拉电阻	备注
P00—P07 P10--P17 P20—P27	串接 500 欧电阻（寄存器可控制）	16mA	10K	10K	可输出 VDDIO 的 1/2 电压，可以直接驱动 1/2Biasing 的 LCD 屏 P00、P01 默认上拉
P30--P35 P40--P45	4mA	20mA	10K	10K	可输出 VDDIO 的 1/2 电压，可以直接驱动 1/2Biasing 的 LCD 屏
P36 P37	8mA	—	1.5K	15K	P36 和 USBDP 是同一个 PIN P37 和 USBDM 是同一个 PIN
VPP	8mA	—	10K	500 欧	VPP 可作为普通 IO VPP 和 P46 是同一个 IO
WKUP	0.5mA	—	—	10K	WKUP 为 RTC 唤醒输出脚 WKUP 可作为普通 IO 逻辑特性区别于普通 IO



4. 硬件设计说明

4.1 AC109N OTP 版 Boombox 设计说明

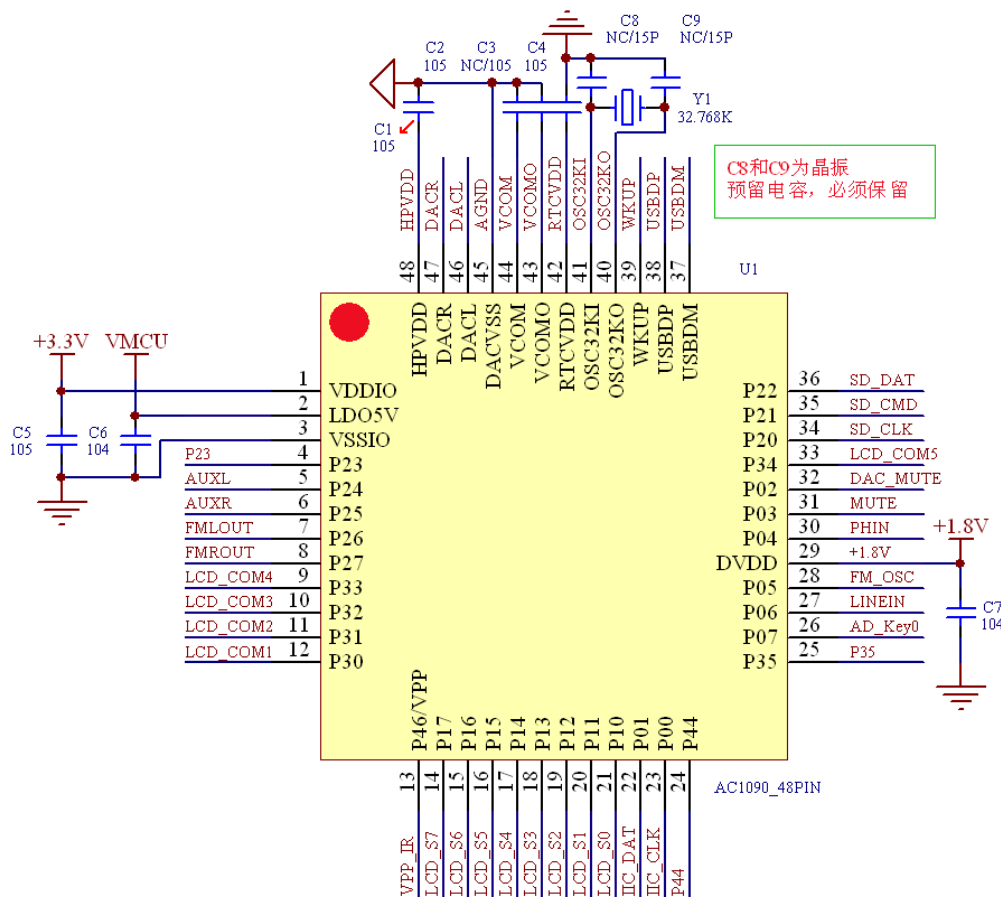


图 4-1 AC109N OTP 版 Boombox 最小系统图

★说明：

- ① 原理图中 C1, C2, C3, C4, C5, C6, C7 的值为优化值，若减小其值大小，可能影响系统稳定性，切勿任意修改。
- ② AC109N 引脚 PIN40 和 PIN41 可接 32.768K, 1M~16M 之间不同频率晶振；PIN22 和 PIN23 可接 1M~27M 之间不同频率晶振，并且需外接对地电容和 1M 反馈电阻。低速晶振处必须预留 15P 对地电容位置。
- ③ AC109N 可支持多款 FM 收音芯片，常用有：RDA5807, BK1080, QN8075, QN8035, KT0830 等。
- ④ AC109N 可支持各种串口、并口点阵屏，数码管，段码屏等。
- ⑤ AMUX 通道分配：P24 和 P25 固定给 LINEIN，P26 和 P27 分配给 FMIN（按此分配可减小 LINEIN 噪声干扰）。
- ⑥ 若 LINEIN 信号为强音源（如 DVD，功放输出等），LINEIN 检测脚需串 2K 电阻。
(★若普通 IO 需要变动，请依据 IO 口功能列表修改)



5. 设计特殊说明（★此章节为重点章节，须识记）

5.1 AC109N 特殊说明

5.1.1 IO 特性

- ① 所有 IO 都支持上拉和下拉（详细阻值见表 3-3），P00，P01 默认上拉。若使用此类 IO 做高 MUTE 功放的 MUTE 控制，可省掉外部上拉电阻。
- ② 所有 IO 都支持 16 级 PWM 输出。
- ③ P46/VPP 为红外接收头引脚，可作为普通 IO，耐 5V 输入。
- ④ P23 为 MIC 放大器输入引脚，可作为普通 IO。
- ⑤ WKUP 为 RTC 唤醒输出引脚，可作为普通 IO。输入高电平范围 1.3~3.6V，输入低电平范围-0.3~0.6V；最大输出高电平为 RTCVDD。

5.1.2 LCD 驱动

芯片内置了 LCD 硬件驱动模块，支持 1/2 Biasing、1/3 Biasing、1/4 Biasing 段码屏，最多可以支持 6COM*16SEG，其中 6 COM 为 P30~P35，16 SEG 为 P00~P07 和 P10~P17，COM 脚必须从低往上使用，SEG 脚可以任意指定。

5.2 DAC 音频电路设计

- ① DAC 直推耳机，不需隔直电容，耳机地接芯片 VCOMO 脚，电路如下

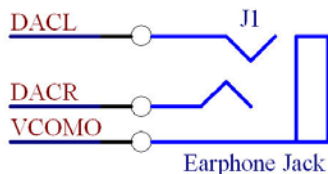


图 5-1 DAC 直推耳机电路

★ 说明：以上方案设计需 VCOMO 引脚拉出

- ② DAC 隔直后推耳机，因不同的方案需求不一样，耳机电路有以下两种：

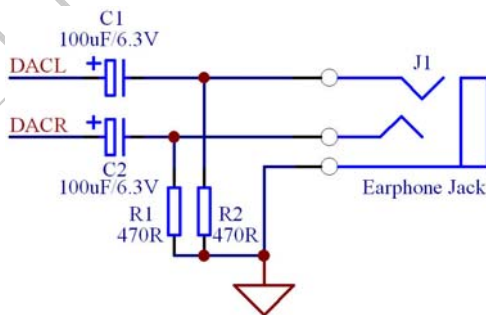


图 5-2 普通推耳机电路 1

★ 说明：以上方案耳机输出经电解电容隔直，电容 C1 和 C2 的大小将决定低音的效果，电容越大，低音越重。R1 和 R2 可消除插入耳机时的瞬态“啪啪声”。

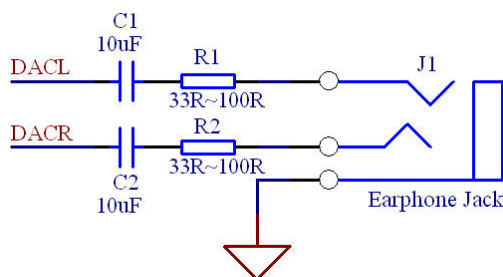


图 5-3 普通推耳机电路 2

★ 说明：以上方案耳机输出隔直电容为 10uF，电阻 R1 和 R2 可加强低音效果，取值大小根据所需音量大小进行调节。

5.3 AMUX 设计

芯片支持两路 AMUX 音频输入和音量检测，第一路为 P24 (AMUXL0) 和 P25 (AMUXR0)，第二路为 P26 (AMUXL1) 和 P27 (AMUXR1)；两路 AMUX 通道可以独立使用，如：P24 可作为 LINEIN 输入，P25 可作为 FM 输入。AMUX 电路如下图所示：

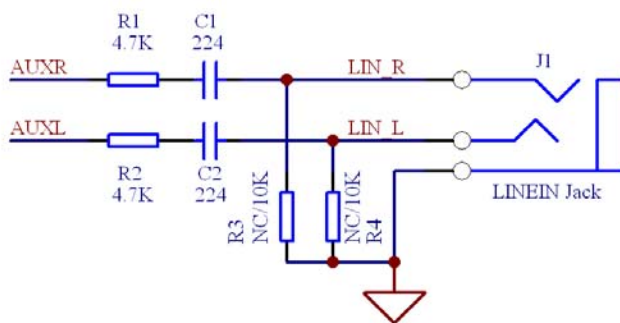


图 5-4 LINEIN 输入电路

★说明：R1 和 R2 为限幅电阻，防止外部音源幅度过大 (V_{P-P} 最大值为 3.0V)，影响系统稳定性；C1 和 C2 为隔直电容，防止外部音源的直流电平影响到芯片内部偏置；R3 和 R4 预留电阻给大功率设计用。

5.4 SD 卡电源设计

SD 卡电源输入端需串入 4.7R 电阻，防止插入耗电量大的 SD 卡时，+3.3V 被拉低，影响系统正常工作。

5.5 USB 电源设计

USB 电源建议串接 1R 电阻(最小 0805 封装)，可滤除读 U 盘噪声及限流保护作用。

5.6 GND 和 AGND

地线处理需严格按照芯片的数字地和模拟地分开，为减小数字地和模拟地的共地线干扰，两地的连接处最好在电源入口或功放处。

(★注：以上各设计要点应特别注意，在设计时应优先考虑)



6. PCB 布局和 Layout 注意事项

6.1 晶振走线要求

- ① 晶振摆放应尽量靠近主控引脚，摆放距离不应超过 1CM。
- ② 晶振走线附近不能有数字信号走线，特别是 SD 卡信号线，USB 信号线，IIC 信号线，红外接收信号，及其他 CLK 信号，并切勿平行走线，晶振走线正反两面均需用电源或地包裹。示意图如下：

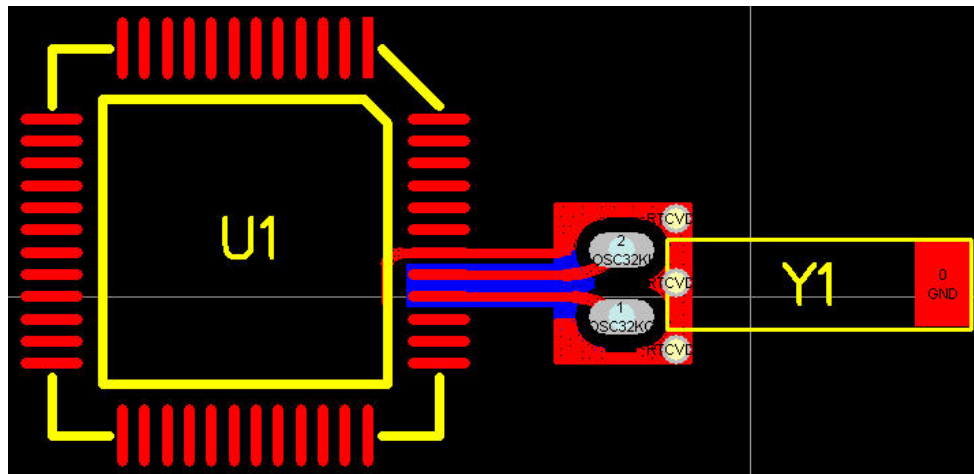


图 6-1 晶振布局和走线示意图（本例为电源包裹）

6.2 FM 走线和铺地处理

- ① FM 芯片尽量远离主控和其他 IC。
- ② FM 芯片外围的元器件必须靠近 FM 芯片放置。
- ③ FM 的天线在 PCB 板上的走线尽量短、宽度需一致，天线附近和天线正反面都不应铺地。天线附近不应有 USB 信号线，SD 信号线，IIC 信号线，屏控制信号线，及其他数字类信号线。
- ④ FM 芯片的 GND 需单点接地，接地点最好是电源入口或功放处。
- ⑤ FM 芯片需大面积铺地，信号线需从 FM 芯片引脚两边走线，尽量不要走于 FM 正反面。
- ⑥ FM 走线示意图

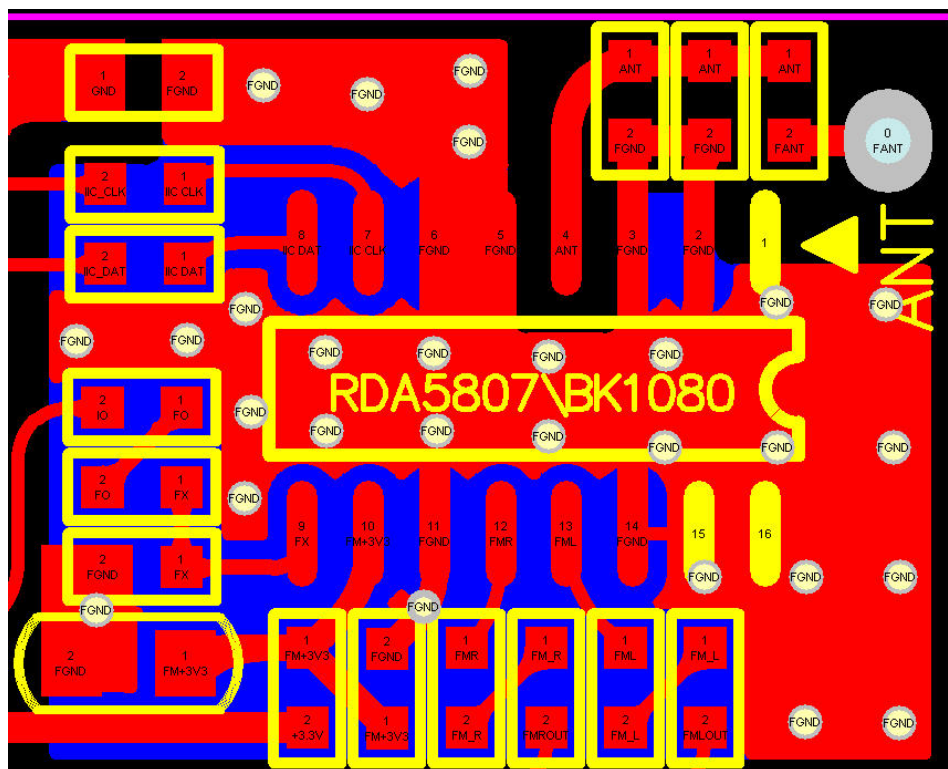


图 6-2 FM 收音布局和走线示意图

6.3 音频信号走线要求

- ① DAC 信号走线应远离 USB 信号线，SD 信号线，IIC 信号线，红外接收信号，屏控制信号线，及其他数字类信号线，最好有 AGND 或 GND 隔离。
- ② LINEIN 信号走线应远离 USB 信号线，SD 信号线，IIC 信号线，红外接收信号，屏控制信号线，及其他数字类信号线，最好有 AGND 或 GND 隔离。



7. 引脚封装

7.1 AC109N_64PIN 封装图

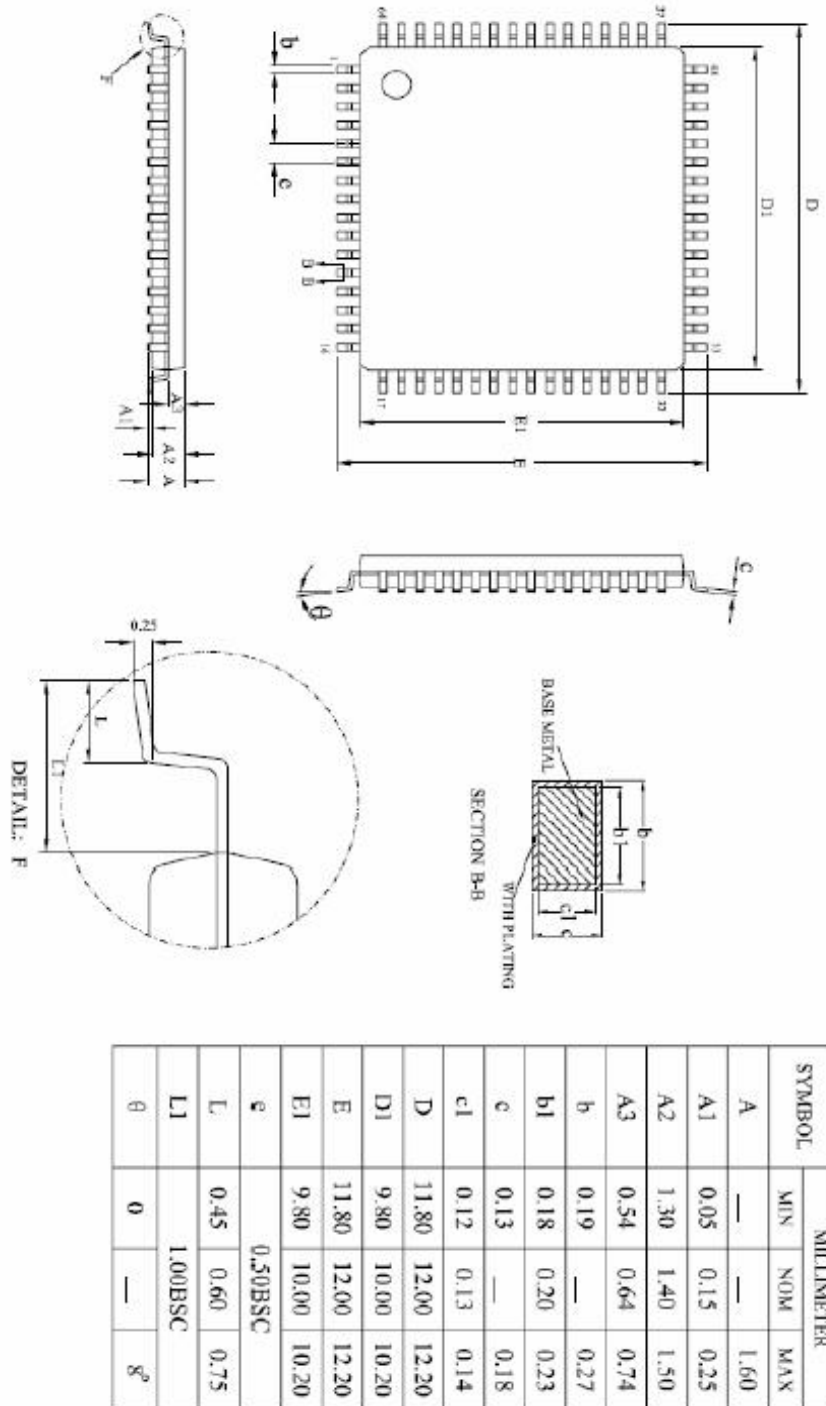


图 7-1 AC109N_LQFP64-10*10mm



7.2 AC1090_48PIN 封装图

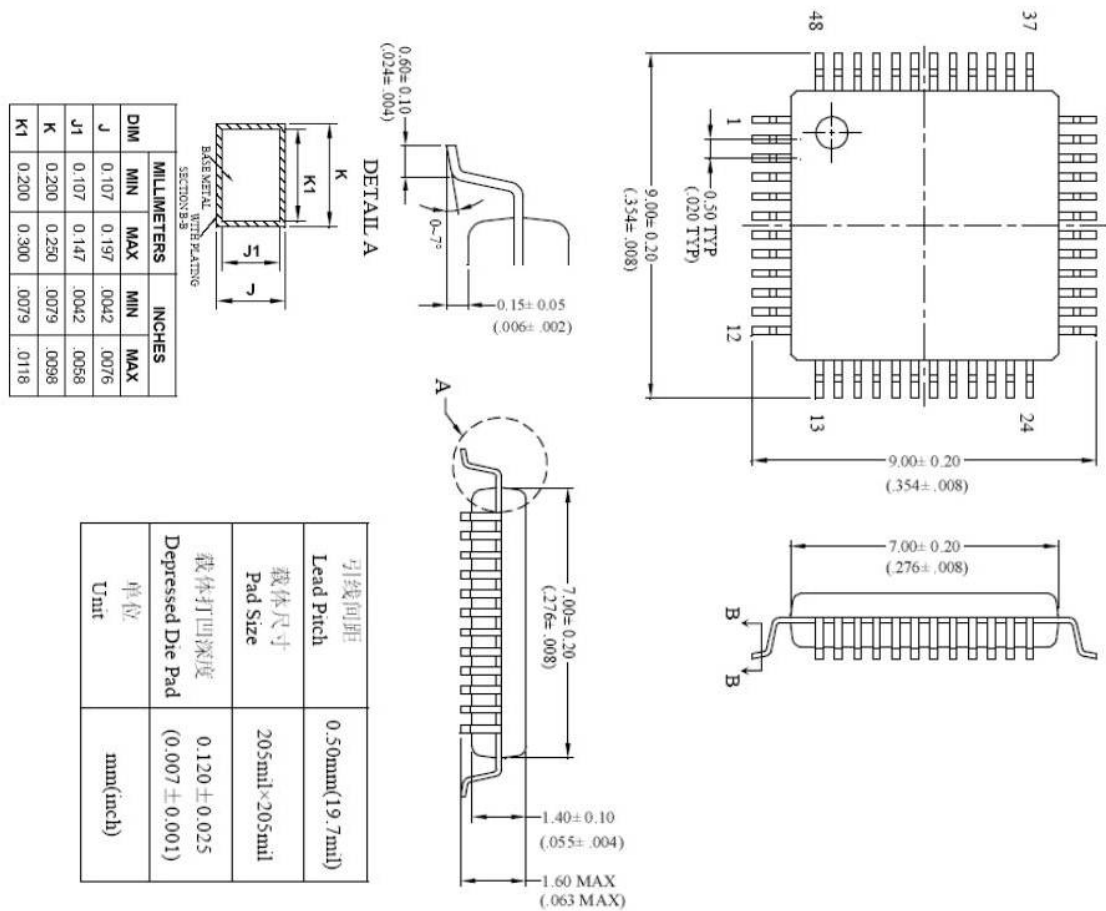


图 7-2 AC1090_LQFP48-7*7mm

7.3 AC1096_28PIN 封装图

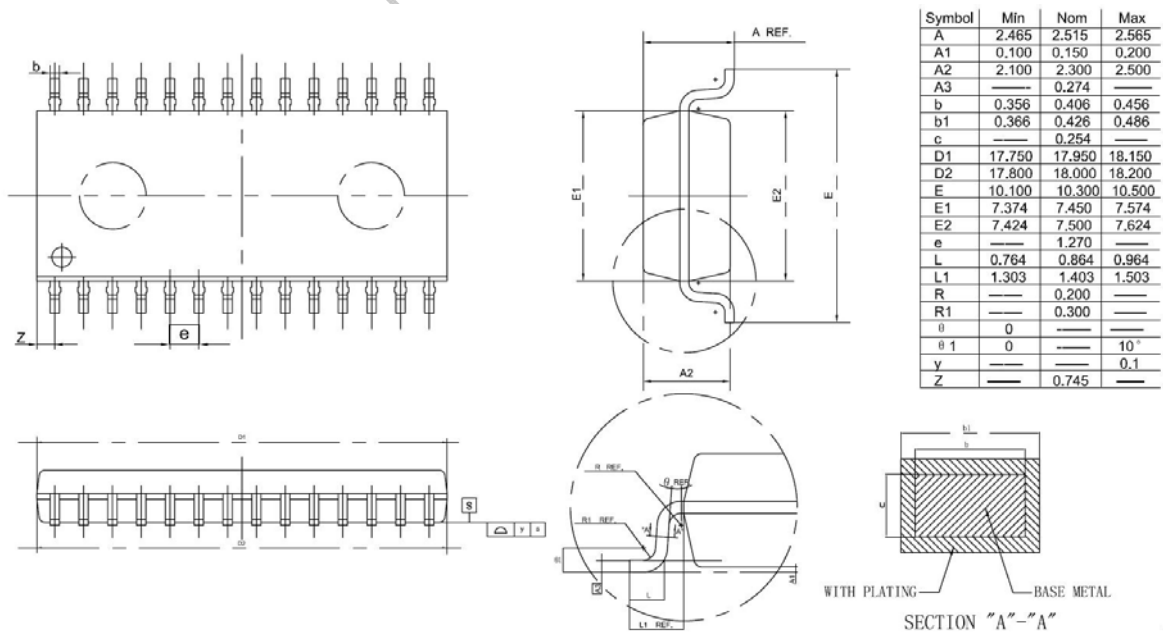


图 7-3 AC1096_SOP28



7.4 AC1085_24PIN 封装图

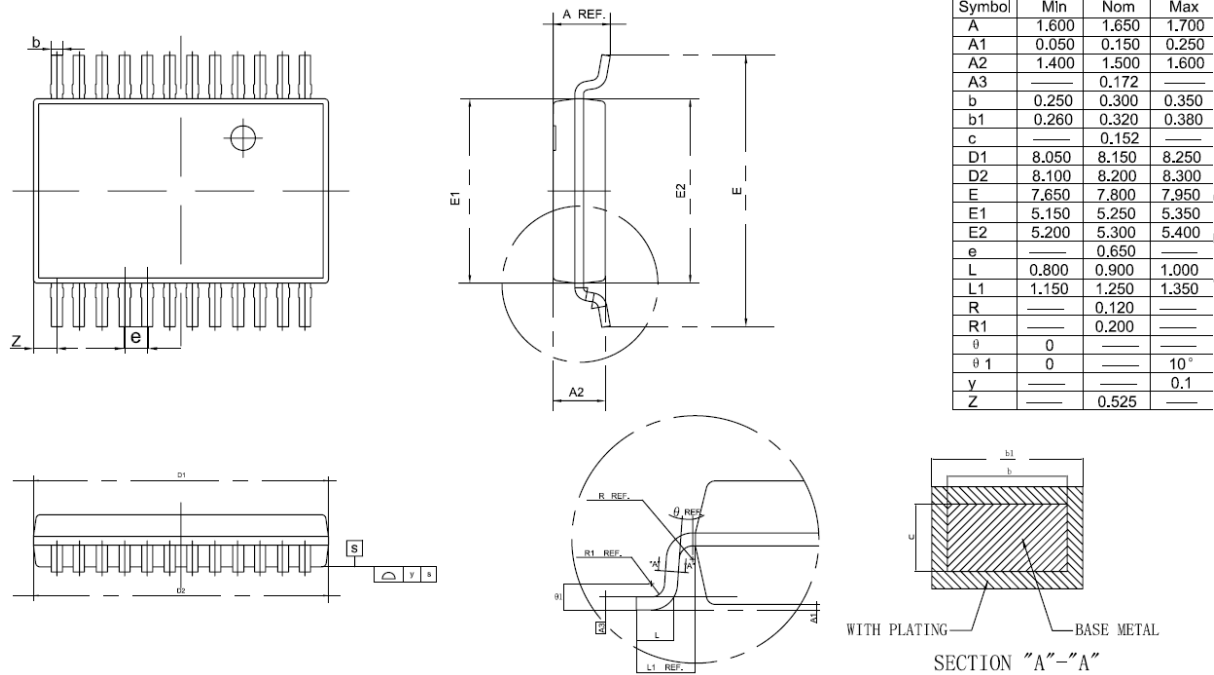


图 7-4 AC1085_SSOP24

7.5 AC1083_16PIN 封装图

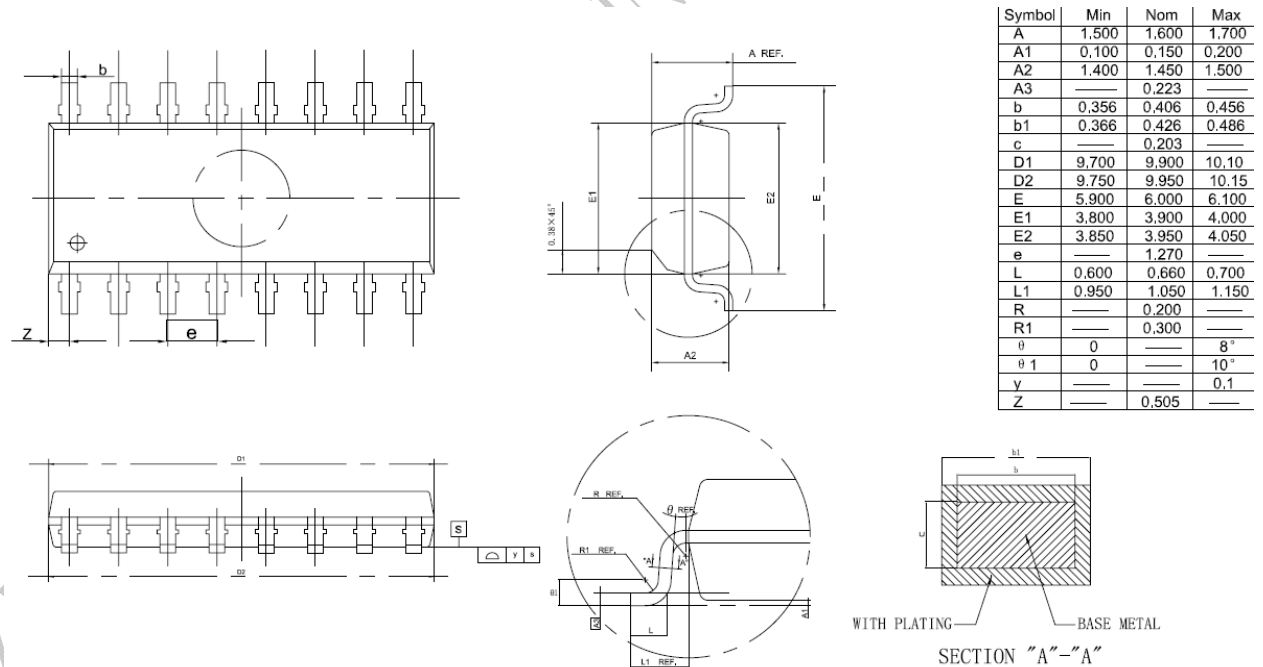


图 7-5 AC1083_SOP16