
Polarisation et modélisation de transistors : amplificateur simple et modèles petit signal

**GUIDE DE L'ÉTUDIANT
S6é – APP1**

Eté 2025

Auteur : Serge Charlebois, Jean-Baptiste Michaud. Refonte à partir de problématiques semblables antérieures élaborées par Hassan Maher, Serge Charlebois, Jean-Baptiste Michaud, Frédéric Bourque et Abdelaziz Ramzi.

Version : 5.1 (avril 2025)

Ce document est réalisé avec l'aide de L^AT_EX et de la classe **gegi-app-guide**.

©2025 Tous droits réservés. Département de génie électrique et de génie informatique, Université de Sherbrooke.

TABLE DES MATIÈRES

1 ACTIVITÉS PÉDAGOGIQUES ET COMPÉTENCES	1
2 SYNTHÈSE DE L'ÉVALUATION	2
3 QUALITÉS DE L'INGÉNIEUR	3
4 ÉNONCÉ DE LA PROBLÉMATIQUE	4
4.1 Éléments essentiels à la résolution	8
4.2 Conseils sur certains éléments particuliers de résolution	11
5 CONNAISSANCES NOUVELLES	17
6 GUIDE DE LECTURE	18
6.1 Références essentielles	18
7 LOGICIELS ET MATÉRIEL	20
8 SANTÉ ET SÉCURITÉ	28
8.1 Dispositions générales	28
8.2 Dispositions particulières	28
9 SOMMAIRE DES ACTIVITÉS	29
10 PRODUCTIONS À REMETTRE	30
10.1 Défense	30
11 ÉVALUATIONS	31
11.1 Évaluation sommative	31
11.2 Évaluation de la problématique	31
12 POLITIQUES ET RÈGLEMENTS	36
13 INTÉGRITÉ, PLAGIAT ET AUTRES DÉLITS	37
14 SÉMINAIRE	38
15 PRATIQUE PROCÉDURALE 1	39
15.1 Exercices	39
15.2 Exercices supplémentaires	43
16 SÉMINAIRE	44
17 PRATIQUE PROCÉDURALE 2	45
17.1 Exercices	45

18 PRATIQUE EN LABORATOIRE 1	51
18.1 Exercices	51
19 PRATIQUE PROCÉDURALE 3	58
19.1 Exercices préparatoires	58
19.2 Exercices	58
19.3 Exercices supplémentaires	61
20 PRATIQUE EN LABORATOIRE 2	62
20.1 Exercices	62
A Grille d'évaluation de la défense	64
B Simulation et analyse d'un amplificateur à émetteur commun	65

1 ACTIVITÉS PÉDAGOGIQUES ET COMPÉTENCES

GEL655 – Physique des composants semiconducteurs

1. Analyser des circuits de polarisation de transistors bipolaires, de MOSFET et de diodes en considérant leurs non-idéalités.
2. Concevoir des circuits de polarisation de transistors bipolaires, de MOSFET et de diodes en considérant leurs non-idéalités

Description officielle : <http://www.usherbrooke.ca/fiches-cours/gel655>

GEL651 – Électronique II

1. Analyser, concevoir et simuler les configurations d'amplificateurs à transistors et d'amplificateurs différentiels.
2. Analyser, concevoir et simuler des circuits amplificateurs à plusieurs étages.
3. Analyser, concevoir et simuler la réponse en fréquence des amplificateurs.

Description officielle : <http://www.usherbrooke.ca/fiches-cours/gel651>

2 SYNTHÈSE DE L'ÉVALUATION

Évaluation	GEL655-1	GEL655-2	GEL651-1	GEL651-2	GEL651-3	Total
Rapport d'APP	40	40	50	30	20	180
Éval. sommative	100	100	125	55	55	435
Total	140	140	175	85	75	615

TABLEAU 2.1 Synthèse de l'évaluation de l'unité

À titre indicatif, voici la correspondance entre note, cote et niveau d'atteinte des compétences.

Note(%)	<50	50	53	57	60	64	68	71	75	78	81	85
Cote	E	D	D+	C-	C	C+	B-	B	B+	A-	A	A+
Niveau	N0	N1	N1	N1	N2	N2	N2	N3	N3	N3	N4	N4
Libellé	Insuffisant	Passable (seuil)			Bien			Très bien (cible)			Excellent	

3 QUALITÉS DE L'INGÉNIEUR

Les qualités de l'ingénieur visées et évaluées par cette unité d'APP sont données dans le tableau un peu plus bas. D'autres qualités peuvent être présentes sans être visées ou évaluées dans cette unité. Pour une description détaillée des qualités et leur provenance, consultez le lien suivant :

<https://www.usherbrooke.ca/genie/etudiants-actuels/au-baccalaureat/bcapg/>

Qualité	Libellé	Touchée	Évaluée
Q01	Connaissances en génie	✓	✓
Q02	Analyse de problèmes	✓	✓
Q03	Investigation		
Q04	Conception	✓	✓
Q05	Utilisation d'outils d'ingénierie	✓	✓
Q06	Travail individuel et en équipe		
Q07	Communication		
Q08	Professionnalisme		
Q09	Impact du génie sur la société et l'environnement		
Q10	Déontologie et équité		
Q11	Économie et gestion de projets		
Q12	Apprentissage continu		

4 ÉNONCÉ DE LA PROBLÉMATIQUE

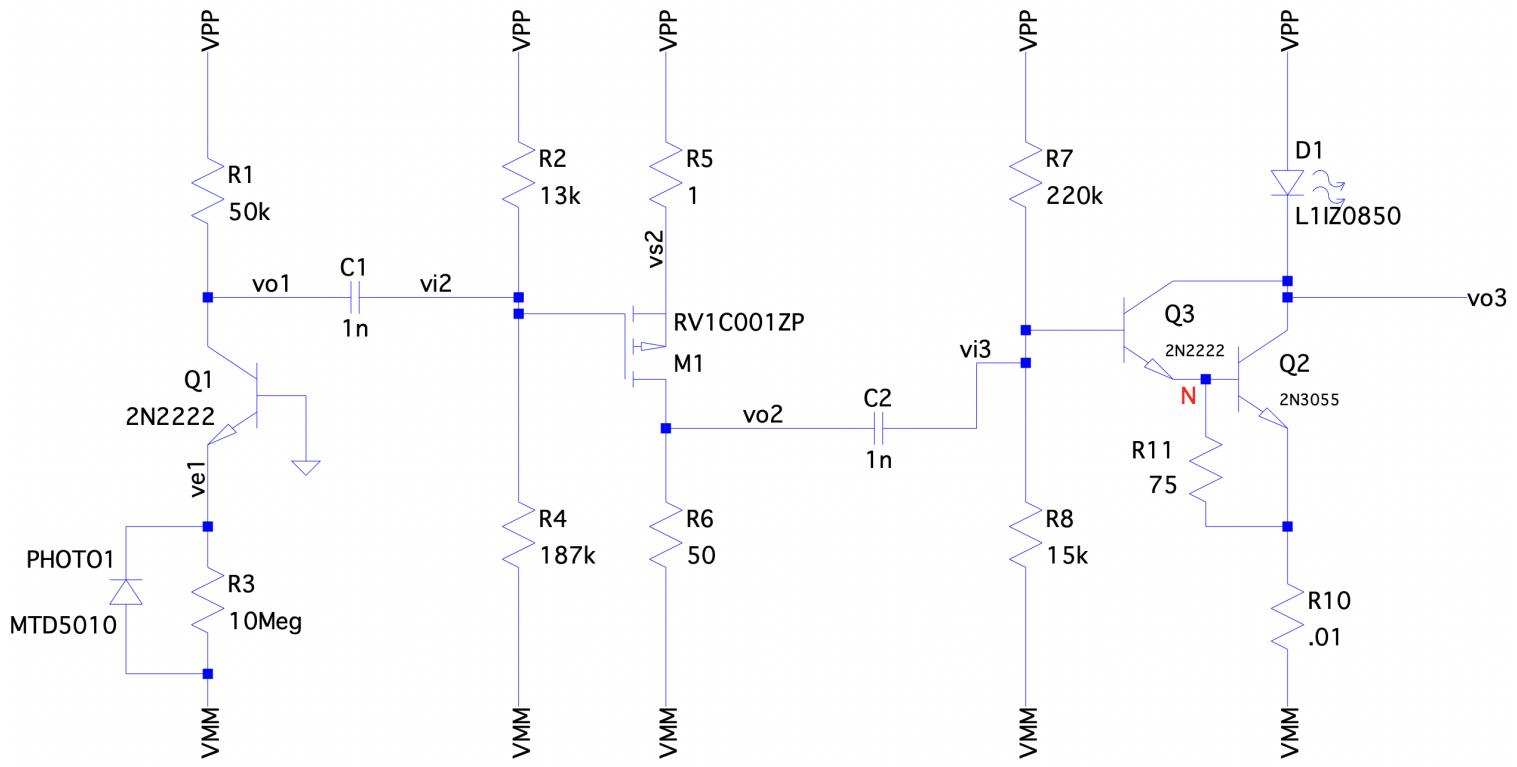
Répéteur opto-électronique

La problématique de cette APP consiste à analyser, corriger et optimiser un prototype de répéteur opto-électronique pour qu'il respecte les contraintes de son application. Le système reçoit un signal numérique optique (éteint/allumé), le traduit en signal électrique par une photodiode et l'amplifie afin d'émettre un signal numérique optique équivalent par le biais d'une diode électroluminescente (DEL). Le prototype (figure 4.1) que vous avez en main fonctionne mais ne livre pas les performances attendues qui sont :

- A La densité surfacique de puissance lumineuse déposée dans la photodiode est de 6.1 mW/cm^2 à une longueur d'onde de 850 nm ;
- B Courant de sortie dans la DEL : 2.5 A dans l'état allumé;
- C Bande passante : entre 5 kHz et 500 kHz pour une fréquence d'opération nominale de 50 kHz ;
- D Les signaux d'entrée et de sortie doivent être en phase;
- E Ratio de distorsion d'impulsion sous 2% (voir équation 4.1).
- F Tension d'alimentation et puissance consommée par le circuit minimales.

Pour résoudre la problématique, vous devrez étudier le fonctionnement physique des transistors MOSFET et BJT, des diodes utilisées en direct ou en inverse (diode Zener), des photodiodes et des diodes électroluminescentes. Vous devrez lier le fonctionnement physique de ces dispositifs et les divers modèles utilisés pour l'analyse et la simulation de circuits, dont notamment les modèles petit signal tant des transistors que des diodes. Vous devrez également expliquer qualitativement les phénomènes physiques qui sous-tendent certains comportements observés, et quantifier la dimension d'autres composantes qui leur permettent d'atteindre leur performance.

FIGURE 4.1 Circuit du répéteur opto-électrique



Structure du circuit

Le schéma de départ est reproduit à la figure 4.1. Le circuit est initialement alimenté à $\pm 10\text{ V}$.

La photodiode est opérée dans un régime linéaire en polarisation inverse et traduit en courant les impulsions lumineuses de $20\text{ }\mu\text{s}$ de période à rapport cyclique de 50% et dont les transitions sont de $2\text{ }\mu\text{s}$. Une photodiode en régime linéaire génère un courant proportionnel à l'intensité lumineuse qu'elle reçoit. Elle se comporte ainsi comme une source de courant modulée par la lumière. Le fournisseur de la photodiode proposée, la MTD5010, ne fournissant pas de modèle de simulation, il faut le créer de toute pièce dans le circuit à partir des propriétés de la fiche technique. Sa responsivité est de 550 mA/W de puissance lumineuse à 850 nm de longueur d'onde. Sa surface photosensible a un diamètre de 2.14 mm . C'est une source de courant "non-idéale" présentant une impédance interne de $1\text{ G}\Omega$ et une capacité de 15 pF . De plus, même sans lumière un courant de 5 nA circule lorsqu'elle est polarisée, le courant de noirceur (ou *dark current*).

Courant de fuite 

Le premier étage est un amplificateur de transimpédance formé autour du transistor BJT Q_1 configuré en base commune. Pour bien polariser cet étage, la valeur de la résistance à l'émetteur (R_3) doit être choisie judicieusement par l'analyse du diagramme de Gummel de ce transistor.

Vout \rightarrow juste tension

Le 2^e étage est un amplificateur de tension formé d'un transistor MOSFET M_1 configuré en source commune. Ce type de configuration donne habituellement un fort gain de tension mais dans ce circuit cet étage est surtout utilisé comme tampon pour mitiger les problèmes d'adaptation d'impédance en sortie du premier étage et en entrée du dernier.

Tension sur Courant $\frac{A}{V} = \frac{out}{in}$

Le 3^e étage est un amplificateur de transconductance constitué de deux transistors BJT (Q_3 et Q_2) branchés en Darlington dans une configuration émetteur commun. La topologie Darlington permet de maximiser le gain de courant de l'étage, tout en étant bien adapté à l'impédance de la DEL. Par contre, dans un Darlington utilisé en mode allumé-éteint comme cette application, il faut se méfier de cette transition allumé-éteint. Lorsque Q_3 conduit moins, ou arrête de conduire, le transistor Q_2 a tendance à rester dans l'état allumé ! Vous expliquerez qualitativement pourquoi. Étudiez l'impact de la présence de R_{11} , en relation avec les phénomènes physiques comme par exemple le courant de diffusion base-émetteur, la capacité de jonction dynamique de cette même diode base-émetteur, le gain de courant β qui peut varier en fonction de I_C , etc. De plus, même si on ne le remplacera pas, le transistor de puissance 2N3055 est sous-optimal pour ce circuit. Expliquez qualitativement

pourquoi le gain de courant variable et les capacités dynamiques limitent la bande passante.
Ces limitations résultent cependant en un problème de conception plutôt intéressant !!!

Les 3 étages sont reliés par des condensateurs de couplage : ils transmettent le signal d'un étage à l'autre mais servent aussi à découpler (isoler) la polarisation DC de chacun des étages.

*Condensateur DC
c'est un circuit ouvert*

Une diode électroluminescente de puissance émet le signal lumineux de sortie. La DEL a une sortie lumineuse proportionnelle (i.e. linéaire) au courant qui la traverse. Pour générer l'intensité du signal optique requise, elle doit passer de ~ 0 à 2.5 A de courant en suivant la même forme et la même phase que le signal d'entrée. La puissance lumineuse de sortie est proportionnelle au courant dans la diode et la valeur désirée (~ 3 à 4 W) est obtenue à 2.5 A . L'état éteint est obtenu avec un courant de moins de $100\text{ }\mu\text{A}$, mais non nul, pour assurer que le Darlington reste en conduction. C'est cette valeur de courant qui définit en pratique la tension de coude de la DEL, un paramètre utile pour la conception du circuit. Le fabricant ne fournit pas de modèle pour cette DEL mais la structure des prototypes a été publiée :

1. Matériau : $\text{Al}_{0.03}\text{Ga}_{0.97}\text{As}$ dont la bande interdite $E_g = 1.424\text{ eV}$ et la densité intrinsèque de porteurs $n_i = 2.18 \times 10^6\text{ cm}^{-3}$;
2. Constante diélectrique relative $13.1\epsilon_o$, où ϵ_o est la permittivité du vide ;
3. Densité de dopage : $N_A = N_D = 1 \times 10^{17}\text{ cm}^{-3}$;
4. Coefficient de diffusion des électrons : $184\text{ cm}^2/\text{s}$; des trous : $8.5\text{ cm}^2/\text{s}$
5. Longueur de diffusion des électrons : $5.09 \times 10^{-5}\text{ cm}$; des trous : $1.61 \times 10^{-5}\text{ cm}$
6. Dimension de la surface active : 1.3 mm de diamètre ;
7. Facteur d'idéalité $\eta = 3.4$ (aussi appelé efficacité d'émission, nommé N dans le modèle) ;
8. Résistance série parasite de 0.25Ω .

Il vous faudra donc calculer les paramètres d'un modèle à partir de la théorie sur les matériaux semiconducteurs et sur la jonction pn , puis les insérer dans un modèle **spice** de diode (I_s , N , V_j , C_{jo} et R_s).¹ Ces paramètres sont :

1. Le courant de saturation I_s qui est la valeur limite du courant "de fuite" en inverse ;
2. Le facteur d'idéalité N de la diode (paramètre donné) décrit les inefficacités au cœur de la diode liées à la recombinaison de porteurs via des défauts, etc. Ce paramètre prend une valeur significative (entre 2 à 4) dans les LED à forte puissance ;²

1. Référer à la description sommaire du modèle : https://ltwiki.org/LTspiceHelp/LTspiceHelp/D_Diode.htm.

2. Le facteur d'idéalité η n'est pas décrit dans le livre de Sedra & Smith parce que pour une diode de silicium bien conçue ce facteur prend une valeur ~ 1 . L'équation 3.40 prendrait la forme $I = I_s (e^{V/\eta V_T} - 1)$.

3. Le potentiel de contact V_o (*built-in voltage*, V_j dans le modèle) qui caractérise l'intensité du potentiel (et du champ électrique) qui s'oppose à la conduction du courant en inverse et qui se fait sentir jusqu'à la tension de coude (*forward potential*) ;
4. La capacité de déplétion (ou de jonction) sans polarisation C_{jo} de laquelle est calculée la capacité de la diode en fonction de sa polarisation ;
5. La résistance série R_s (paramètre donné) représente la résistance des métaux en couche mince, des dopages, des contacts et du boîtier qui sont en série avec la diode "idéale".

4.1 Éléments essentiels à la résolution

Votre solution devrait comporter au minimum des simulations, des analyses à la main du circuit original, des corrections pour atteindre les spécifications et des justifications dans le contexte des bonnes pratiques appropriées.

1. Simulations : étudiez le circuit initial et observer son comportement à la sortie mais également entre chaque étage. Commentez en particulier
 - (a) la qualité du signal (i.e. forme d'onde obtenue *versus* attendue)
 - (b) la bande passante
 - (c) la plage dynamique
 - (d) la phase et la distorsion harmonique
 - (e) les points d'opération, les gains de tension, de transimpédance ou de transconductance, le cas échéant, ainsi que les impédances d'entrée et de sortie de chaque étage.
2. Distinguez les 3 étages d'amplification du circuit et leur rôle
 - (a) Identifiez la configuration des transistors de chaque étage
 - (b) Identifiez les caractéristiques typiques de ces configurations (Tableaux 1.1, 7.4 et 7.5, Sedra *et al.*)
 - (c) Ébauchez quelle(s) équation(s) gouvernent quelle(s) spécification(s) et quel(s) comportement(s) observé(s) en simulation.
3. Analysez les 3 étages du circuit
 - (a) Caractérissez en simulation les composantes pour obtenir leurs propriétés et les paramètres manquants de leur(s) modèle(s) (e.g. tension d'Early, tension de seuil, plages de beta et de courant utiles, etc.)
 - (b) Analysez "à la main" les points de polarisation et en déduire les paramètres des modèles petit signal ; en déduire les propriétés attendues des étages.
 - (c) Comparez vos calculs et vos simulations.

4. Corrigez chaque étage d'amplification
 - (a) Obtenez la valeur désirée des spécifications pour chacun des étages (e.g. impédances d'entrée, impédance de sortie, gain, plage dynamique) à partir soit de l'application, soit des performances des autres étages.
 - (b) Complétez la liste des équations qui gouvernent chacune des spécifications.
 - (c) Revoyez la polarisation de chaque étage pour obtenir un point d'opération optimal, qui satisfait un maximum de spécifications de cet étage.
 - (d) Vérifiez en simulation l'impact des valeurs proposées sur les spécifications.
 - (e) Itérez ces corrections au besoin.
5. Tenez compte dans les corrections précédentes de l'interdépendance entre les étages
 - (a) Corrigez dans la mesure du possible l'adaptation d'impédance entre les étages.
 - (b) À la fin, dimensionner les condensateurs de couplage pour ajuster la bande passante.
6. Réduisez la tension d'alimentation pour maximiser l'efficacité en puissance du circuit
 - (a) Calculez la plage dynamique en tension et en courant requise dans tous les étages pour obtenir les spécifications visées.
 - (b) Revoyez le dimensionnement des courants et tensions de polarisation afin de réduire la tension d'alimentation du circuit.
 - (c) Estimez en simulation la puissance fournie par les alimentations et la puissance dissipée (perdue) dans le circuit, en particulier dans le dernier étage, avant et après l'optimisation.
7. Sauvegardez souvent toute solution intermédiaire. C'est une bonne pratique de déployer une stratégie adéquate de suivi des révisions et des versions pour comprendre
 - (a) ce qui a déjà été essayé, (b) pourquoi tel ou tel choix fonctionne ou pas, et surtout
 - (c) revenir au besoin à des versions antérieures pour en comprendre et en expliquer le (meilleur) comportement.

Simulation du circuit dans LTspice

Vous trouverez sur le site de session le fichier `.asc` du schématique du circuit. Vous n'avez pas à le créer vous même mais suivez les instructions de la section [7](#).

Vous aurez à simuler dans `LTspice` les points d'opération (directive `.OP`) des transistors, la réponse temporelle (directive `.TRAN`) ainsi que les paramètres petit signal (bande passante, impédances, gains – directive `.AC`) du circuit.

Le modèle petit signal de la photodiode MTD5010 est intégré au circuit en composantes discrètes (figure 4.2) et non via un modèle SPICE. On y voit l'impédance interne rd , la capacité de jonction Cd et le courant de noirceur $idark$. La source de courant commandée $G1$ représente la responsivité de la photodiode convertissant la puissance lumineuse **Plumineuse** en courant. Les sources commandées (de courant ou de tension) peuvent ainsi être utilisées pour représenter la transduction d'un signal mécanique, thermique, etc. en signal électrique. Le simulateur considère néanmoins la source (**Plumineuse** dans ce cas) comme une source de tension et c'est à l'humain de faire la différence. Vous devez calculer la puissance lumineuse à laquelle est exposée la photodiode et déduire le courant qu'elle génère lorsqu'elle est éclairée. C'est ce courant qui doit être amplifié par le circuit.

Pour simplifier les simulations petit signal (.AC) et obtenir plus facilement des résultats en dB, on choisit habituellement de poser la source à une valeur de "1". Ici, l'amplitude AC de la source **Plumineuse** doit aussi être ajustée afin que l'amplitude du signal de courant généré par $G1$ soit de "1".

Vous devez insérer (et calculer au besoin) les bonnes valeurs de paramètres (?) dans les composantes du schématique.

Nous avons ajouté un filtre $R9-C9$ pour adoucir les transitions du signal généré par **PULSE(. . .)** afin d'éviter des problèmes de convergence numérique. C'est une bonne pratique.

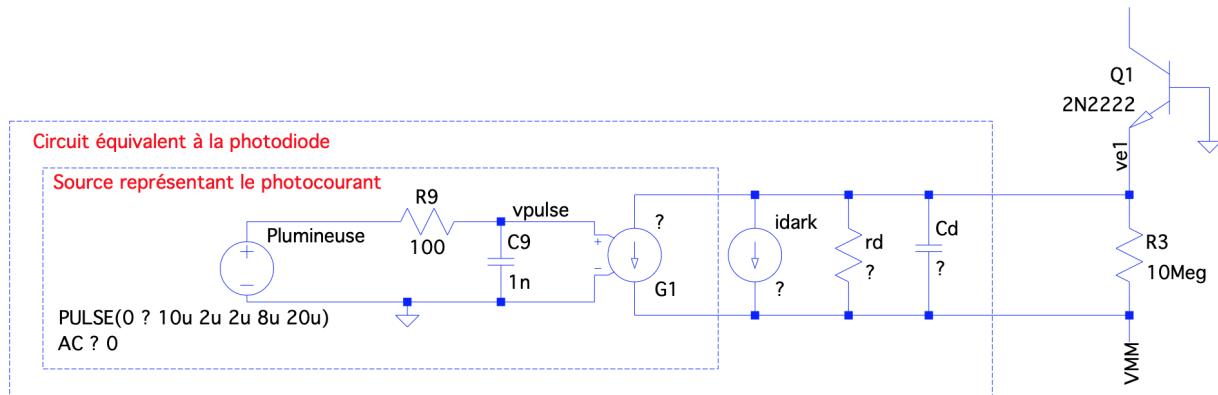


FIGURE 4.2 Modèle petit signal de la photodiode MTD5010

Également, pour stabiliser le simulateur, nous avons ajouté les résistances $R5$ et $R10$ de faible valeur aux étages 2 et 3. Vous devrez les considérer dans vos analyses et confirmer si elles jouent un rôle ou non dans la solution. Conservez les valeurs initiales. **Vous n'avez pas à**

les modifier Dans une implémentation réelle, ces résistances pourraient probablement être éliminées.

Distorsion d'une impulsion

La mesure de la distorsion d'un train d'impulsions numériques n'a pas de définition universelle³. Rappelons que pour une onde carrée parfaite, le signal ne contient que les harmoniques impaires de la fondamentale. Dans cette APP, pour quantifier la distorsion d'impulsion, nous allons définir le ratio suivant :

$$DI = \frac{\sum_{h=\text{paires}} P_h}{\sum_h P_h} \quad (4.1)$$

où P_h est la puissance de la $h^{\text{ième}}$ harmonique. Avec cette définition, $DI = 0$ pour un signal carré parfait. Nous recommandons d'étudier ce ratio à des endroits stratégiques dans le circuit, avant et après l'optimisation des alimentations.

4.2 Conseils sur certains éléments particuliers de résolution

Voici quelques recommandations pour solutionner rapidement certains questionnements ou problèmes spécifiques.

Modèles des composantes

Débutez par représenter correctement la photodiode et la DEL dans le schématique. Vous n'aurez pas à refaire ces calculs par la suite.

1. Photodiode : Il n'y a pas de modèle **spice** pour cette composante. Elle est décrite en pièces discrètes. À partir des données disponibles dans l'énoncé de problématique, vous devez identifier ou calculer les valeurs appropriées et les insérer dans les composantes.
2. DEL : Vous devez calculer à partir des données disponibles dans l'énoncé de problématique les différents paramètres du modèle.

Notez que les toutes les composantes sont pourvues de valeurs par défaut afin que le fichier fourni puisse être simulé dès le début de l'APP. Cependant, sans les bons paramètres pour la photodiode et la DEL, ces simulations ne valent pas grand chose...

Simulations

3. Pour un signal sinusoïdal, certaines métriques de distorsion sont clairement définies. Par exemple : https://fr.wikipedia.org/wiki/Taux_de_distorsion_harmonique

1. Modèle petit signal des étages
 - (a) Mesurer les paramètres à la fréquence d'intérêt pour le circuit, i.e. 20 kHz.
 - (b) Mesurer de préférence les gains avec source idéale et sans charge.
 - (c) Voir le document complémentaire sur le site web pour la mesure des impédances de sortie. Pour le 3e étage, la charge fait partie intégrante de l'étage, donc mesurer le gain avec la DEL. Omettre la mesure de z_{out} puisqu'il est particulièrement ardu de conserver un étage fonctionnel en l'enlevant.
2. Plage dynamique
 - (a) 3^e étage, utilisez si nécessaire « l'exponentielle de charge » trouvée au laboratoire pour comprendre le comportement.

Calculs à la main

1. Paramètres manquants pour les transistors
 - (a) Pour les BJT, nous ne fournissons pas de fiche technique parce que plusieurs manufacturiers en fabriquent, tous avec des caractéristiques légèrement différentes. Par ailleurs, les V_A sont habituellement tirées des valeurs simulées puisque les fiches techniques les listent rarement (FET) ou indirectement (BJT -> output transconductance). Pour la problématique, les valeurs suivantes semblent une bonne approximation :
 - i. Prendre $\beta = 200$ et $V_A = 100$ V pour le 2N2222
 - ii. Prendre $\beta = 70$ pour le 2N3055 en mode lumineux « éteint » ($I_C < 100 \mu\text{A}$) et $\beta = 10$ en mode lumineux allumé ($I_C = 2.5$ A). Prendre $V_A = 50$ V.
 - iii. Pour le RV1C001ZP, il est particulièrement ardu de déduire k de la fiche technique. À partir des simulations, on peut calculer $k = 323 \text{ mA/V}^2$. Utilisez $V_t = 0.79$ V. Prendre $1/\lambda (= V_A) = 20$ V (cette valeur est déduite de $g_{ds} = 1/r_o$ dans les simulations).
2. Calcul des points d'opération initiaux
 - (a) Il est pratiquement impossible et donc inutile de faire une analyse à la main du point d'opération du 3^e étage avec les hypothèses linéarisantes habituelles. Expliquer pourquoi en comparant à une simulation.
 - (b) On poursuivra plutôt l'analyse du transistor et de l'étage avec des valeurs de point d'opération proche de la simulation, e.g. $I_{CQ2} = 200 \text{ nA}$ et $I_{CQ3} = 20 \text{ nA}$.
3. Modèles petit signal des transistors

- (a) Dans le 3^e étage, l'approche à privilégier pour la suite est de traiter le Darlington comme un macro-transistor. Les paramètres importants pour l'analyse petit signal sont ceux d'un quadripôle équivalent
 - i. l'impédance équivalente vue dans la base (utilisez directement les feuilles résumées)
 - ii. le gain $g_{mDarlington}$: analysez attentivement quel transistor est commandé en tension et quel transistor ne fournit qu'un gain de courant... validez optionnellement en simulation .ac
 - iii. et $r_{oDarlington}$.
- 4. Modèles petit signal des étages
 - (a) Pour simplifier l'analyse, démontrer avant tout que r_o est négligeable (beaucoup plus grande que toute résistance avec laquelle elle se trouve en parallèle ou beaucoup plus petite en série). Idem pour les R_E et R_S qui aident à la simulation dans le 2^e et le 3^e étages.
 - (b) Le 1^{er} étage se résout bien avec un modèle en π version β .
 - (c) Le 3^e se résout quand à lui avec un modèle en T version g_m pour le transistor d'entrée.
 - (d) Omettre R_{11} dans le calcul du modèle du 3^e étage.

5. Modèle petit signal global

- (a) Négligez l'effet des condensateurs de couplage à ce stade en leur attribuant temporairement une grande valeur.

Corrections

- 1. Conseils généraux – Interprétation des spécifications
 - (a) S'il est souhaitable de prévoir un peu de marge sur les spécifications souhaitées (e.g. 10 %), il faut éviter de rendre la conception plus difficile voire impossible avec des marges irréalistes.
 - (b) Il y aura forcément des compromis. Il n'est pas rare que certaines spécifications soient difficiles à atteindre, carrément contradictoires ou nécessitent d'utiliser des composantes dans des conditions sous-optimales. Au final, l'important est de faire fonctionner l'application le mieux possible.
 - (c) En général, il n'est pas nécessaire de respecter une spécification au 14^e chiffre significatif. Quelques pourcents suffisent, l'important est d'interpréter les spécifications dans le contexte de l'application. Les variations des composantes (e.g. 10 %) seront souvent pires de toute façon.

- (d) On interprète la plupart des spécifications comme une borne et non une cible. Par exemple, une bande passante de 1 MHz satisfait à une spécification de 200 kHz. Il n'est absolument pas nécessaire de s'approcher plus de 200 kHz.

2. Conseils généraux – Procédure de correction

- (a) Il est primordial de comprendre quelle composante affecte quelle spécification petit signal : compiler les formules pertinentes pour chaque spécification en fonction des composantes.
- (b) Utilisez les outils électroniques pertinents (Matlab, Excel, Python...) pour compiler les équations, les contraintes issues des différentes spécifications et les solutions, et surtout automatiser et paramétriser les calculs.
- (c) L'objectif en conception est de calculer les polarisations souhaitées à partir de toutes les spécifications pour chaque étage, et dimensionner les résistances en conséquence. Établir progressivement une liste de contraintes qui restreignent les plages de valeurs des résistances possibles à partir des spécifications de plage dynamique, de paramètres petit signal et de paramètres DC, dans cet ordre. S'il y a encore de la marge de manœuvre pour certaines résistances, opter pour des valeurs au milieu du choix disponible pour laisser de la flexibilité pour la suite.
- (d) Déterminer d'abord les spécifications requises pour le circuit complet. En déduire ce que chaque étage devrait faire en fonction de son rôle dans le circuit. Comme les spécifications sont connues à l'entrée et à la sortie, il faut donc adopter une approche « de l'extérieur vers l'intérieur ». Ce que l'on obtient aux premier et dernier étages va dicter les spécifications du deuxième.
- (e) La procédure est souvent itérative, i.e. la solution n'est pas nécessairement atteinte du premier coup, soit parce qu'on n'a pas considéré tous les effets des composantes sur les spécifications, soit par suite d'hypothèses ou de choix qui ne s'avèrent pas appropriés.

3. Conseils spécifiques – Corrections des paramètres AC

- (a) 3^e étage
 - i. Montrer que le point d'opération (état « éteint ») de cet étage est dicté directement par les requis de l'application. Obtenir les valeurs requises pour ce point en simulation.
 - ii. Expliquez pourquoi le modèle petit signal du 3e étage au point d'opération est inutile pour la conception des caractéristiques de gain et d'impédances de l'étage. Obtenez en simulation un nouveau point allumé (nouvel état) pour

l'étage, puis comparez les modèles petit signal dans les deux états (éteint et allumé). La solution sera de concevoir le 3e étage en grand signal.

- A. Posez l'hypothèse que l'impédance de sortie de l'étage peut toujours être approximée par la valeur X.
- B. Obtenir l'expression de la pire impédance d'entrée vue dans l'étage pour toute la plage de l'application. De quoi dépend alors majoritairement l'impédance d'entrée de l'étage ? Est-ce que quelque chose doit changer dans le circuit ici ?
- C. Par solution graphique, déduire l'amplitude du signal d'entrée v_{i3} requise. Cette valeur permet de déduire le gain v_{i3} / i_{photo} requis pour le reste du circuit.
- D. Ne pas toucher à la valeur de R_{11} .

(b) 1^{er} étage

- i. Expliquez pourquoi le gain de transconductance et l'impédance de sortie de cet étage sont virtuellement indépendants du point d'opération du transistor. Par quoi sont-ils contrôlés ?
- ii. Est-ce que l'impédance d'entrée de cet étage est adéquate ? Par quoi est-elle fixée ?
- iii. Déduire analytiquement ou graphiquement le gain maximal permis dans cet étage pour que le transistor reste en mode actif, incluant une marge. En déduire ce qui "manque" de gain pour l'étage 2.

(c) 2^e étage

- i. Déduire le gain, l'impédance d'entrée et de sortie requises à partir des autres étages.
- ii. Quel point d'opération permettrait d'obtenir le gain souhaité tout en respectant la plage dynamique imposée par l'amplitude des signaux d'entrée et de sortie ?
- iii. Simulez cet étage : est-ce que l'approximation quadratique $I_D = f(V_{ov}^2)$ est bonne pour ce transistor ? Dans la négative, trouvez le point d'opération requis (V_{GS}) en fonction du gain souhaité graphiquement.

(d) Condensateurs de couplage

- i. Garder cette correction pour la fin, quand la valeur des résistances des étages est définitive.

4. Conseils généraux – Correction des alimentations

- (a) En général, on voudra rester en régime actif (BJT) ou saturation (FET), mais on aura tendance à flirter le plus possible avec la région de saturation (BJT) ou triode (FET). Le transistor fonctionne encore quand même dans ces zones.
- (b) Au final, maximiser la plage dynamique dans une application numérique est synonyme d'obtenir des étages qui n'ont à toutes fins pratiques que 2 états extrêmes, très similaires aux états d'un interrupteur, i.e. un état de grand voltage/petit courant dans le transistor, versus un état de petit voltage/grand courant. Pour maximiser la plage dynamique utilisée, et conséquemment minimiser les alimentations requises, dans le pire étage ces deux états devront être choisis aux extrémum de la plage disponible, mais centrés à 0 pour minimiser les alimentations.
- (c) Dans chaque étage, on vise donc à identifier la condition critique qui limite la plage dynamique. Visualiser sur un graphique temporel les signaux de cet étage et leur plage dynamique, en traçant sur un même graphique les signaux d'intérêt et leurs limites.

5. Conseils spécifiques – Choix des alimentations

- (a) 1^{er} étage : Expliquer comment la plage dynamique disponible pour une alimentation donnée et le gain de transconductance maximal utilisable sont liés dans cette configuration.
- (b) 2^e étage : L'équation de conception devrait inclure explicitement V_{PP} et V_{MM} , V_{GSQ} , V_{DQ} , l'amplitude de v_{i2} et de v_{o2} , et la condition pour rester en saturation.
- (c) 3^e étage : Vous aurez besoin de $V_{CEsatDarlington}$ (à tirer d'une simulation DC).
- (d) Anticiper quel étage sera le plus limitant. Fixer $V_{PP} = -V_{MM}$ à partir de cet étage.
- (e) Les questions suivantes peuvent aussi servir de piste pour itérer :
 - i. Faut-il déplacer les points d'opération à un autre endroit entre V_{MM} et V_{PP} ?
 - ii. Faut-il réévaluer la distribution de gain entre les étages ?

6. Conseils spécifiques – Explications et calculs physiques

- (a) Rôle de R_{11} dans la transition allumé-éteint de Q_2 : commencez l'investigation en observant sur un même graphique I_{R11} , I_{E3} , I_{B2} et I_{C2} avec et sans R_{11} dans le circuit corrigé.

5 CONNAISSANCES NOUVELLES

Connaissances déclaratives (quoi)

- Caractérisation de circuits linéaires à deux ports : gains et impédances
- Matériau semiconducteur, porteurs, dopage et conduction
- Principe de fonctionnement physique des diodes PN (structure physique, modes d'opération, caractéristiques I-V)
- Principe de fonctionnement physique des transistors BJT et MOSFET (structure physique, modes d'opération, caractéristiques I-V)
- Points d'opération des transistors faibles signaux basses fréquences
- Modèles des transistors faibles signaux basses fréquences (modèle en π et T)
- Gain et impédance d'entrée et de sortie d'un étage à transistor à faible signal basse fréquence

Connaissances procédurales (comment)

- Déterminer le point d'opération d'un transistor dans un circuit
- Déterminer les paramètres du modèle d'un transistor pour un point d'opération donné
- Déterminer le gain et l'impédance d'entrée et de sortie d'un étage à un transistor
- Polariser un transistor dans une région d'opération spécifique
- Pouvoir tracer la droite de charge d'un composant.
- Calcul de la puissance dissipée un transistor.
- Calcul de la fréquence de coupure basse d'un amplificateur à transistors
- Utiliser un logiciel pour analyser un circuit à transistor

Connaissances conditionnelles (quand)

- Choisir un modèle de transistor pour une application spécifique
- Utiliser un modèle spécifique d'un transistor
- Considérer le modèle simplifié pour un transistor
- Utiliser un transistor selon ses caractéristiques pour une application spécifique
- Utiliser un logiciel de conception assistée par ordinateur
- Identifier le condensateur qui influence la fréquence de coupure basse

6 GUIDE DE LECTURE

6.1 Références essentielles

Sedra et Smith - Microelectronic Circuits, 8^e edition, Oxford University Press, 2019, 1296 pages, ISBN 9780190853464. Auteurs : Adel S. Sedra, Kenneth C. (KC) Smith, Tony Chan Carusone, and Vincent Gaudet.

Des compléments (tables importantes et annexes) sont disponibles en ligne :

https://learninglink.oup.com/access/sedra8e-student-resources#tag_all-chapters

Semaine 1

Vous devez avoir complété les lectures suivantes pour le 1^{er} procédural :

- Appendice D – Théorème utiles (révision, sur site associé au livre)
- Chapitre 1 – sections 1.1, 1.2, 1.4, 1.5 et 1.6 (révision)
 - Section 1.4.8 sur la convention pour la notation des diverses tensions et courants
 - Table 1.1 tirée à part (site web de session)
- Chapitre 3 – toutes les sections
 - Table 3.1 tirée à part (site web de session)
- Chapitre 4 – sections 4.1, 4.2, 4.3, 4.4, 4.7.3, 4.7.4 et 4.7.5
 - Le concept de "petit signal" est présenté en 4.4
 - Varactor, photodiode et diode électroluminescente
- Chapitre 5 – sections 5.1 et 5.2
 - Tables 5.1 et 5.2 tirées à part (site web de session)
- Chapitre 6 – sections 6.1 à 6.3 (sauf 6.2.4)
 - Tables 6.2 et 6.3 tirées à part (site web de session)

Semaine 2

Vous devez avoir complété toutes les lectures pour la 2^e semaine, dont :

- Appendice C – Quadripôles (sur site web associé au livre)
- Appendice F – Analyse de Laplace – s-domain (révision, sur site associé au livre)
- Appendice E – Circuits à une constante de temps (sur site associé au livre)
- Chapitre 5 – sections 5.3 (5.4.1 et 5.4.2 par curiosité)
- Chapitre 7 – sections 7.1 à 7.3
 - Sec. 7.1.6 et 7.1.7 sur la représentation graphique et le choix du point d'opération
 - Tables 7.1 à 7.5 tirées à part (site web de session)
- Chapitre 10 – section 10.1

Vous pouvez vous pratiquer en reproduisant les exemples, ou en résolvant les exercices liés à ces sections.

7 LOGICIELS ET MATÉRIEL

L'outil de conception assistée par ordinateur utilisé dans cette APP est LTspice disponible dans tous les laboratoires du département. Vous pouvez installer ce logiciel en accès gratuit sur tout ordinateur.

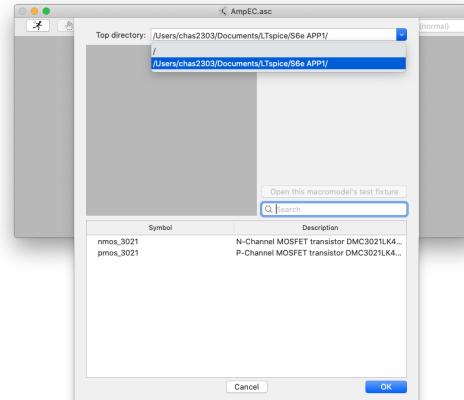
Installation de librairies

Nous vous fournissons diverses librairies (à télécharger sur le site de session avec le schéma du circuit de la problématique) comprenant les modèles de certains transistors utilisés pour l'activité. Il n'y a pas d'installation à proprement parler. Cette librairie doit être copiée dans chacun des répertoires où vous souhaitez faire une simulation. De plus, chaque schématique faisant appel à ces librairies doit comprendre la directive SPICE **.lib**.

Nous recommandons l'utilisation d'une référence relative au répertoire du fichier **.asc** de la forme **.lib 2N3055A_UdeS.lib** par exemple, plutôt qu'une référence absolue de la forme **.lib "/...arborescence.../2N3055A_UdeS.lib "**

Pour placer un BJT de la librairie de LTspice

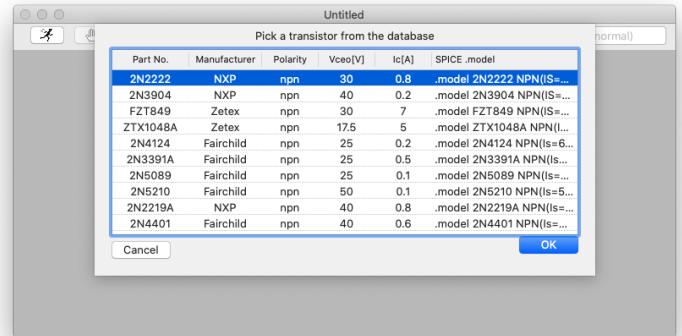
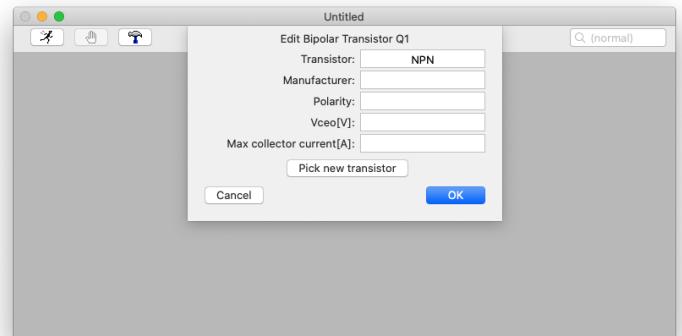
Les transistors BJT 2N2222A est fourni dans les librairies de LTspice (le 2N3055A dans la librairie de l'APP voir section suivante).

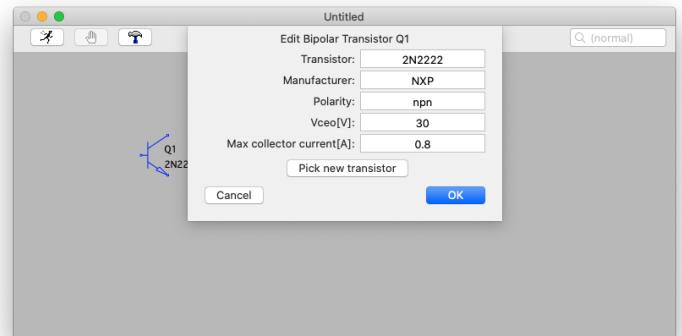


- Insérez le composant sur le schéma-tique. Dans le menu, sélectionnez le répertoire racine pour accédez aux librairies par défaut de LTspice.

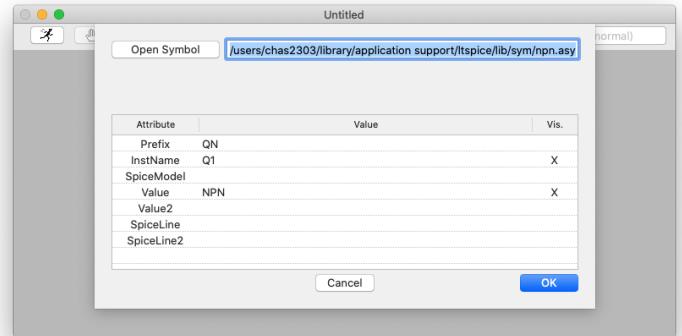


- Il faut ensuite faire le choix de modèle en accédant au menu du composant (bouton de droite sur le composant, pas sur les indications liées au composant) puis en cliquant sur *Pick new transistor*.





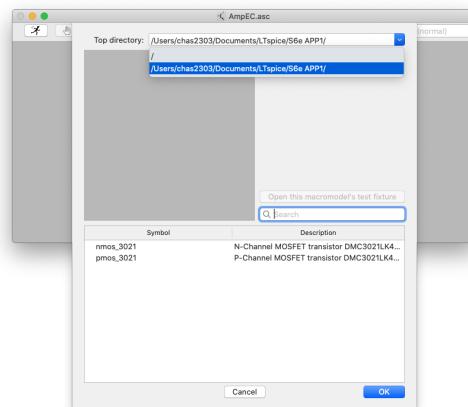
- Vous pouvez modifier ce choix en tout temps. Il y a deux menus de configuration l'un accessible par le bouton de droite, l'autre en combinant CTRL/CMD et le bouton de droite.



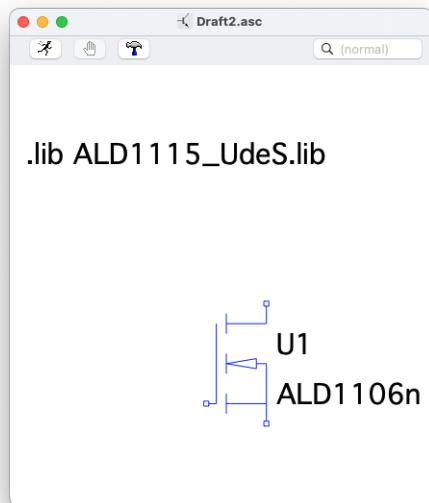
Pour placer un BJT ou un MOSFET d'une librairie

Les transistors BJT 2N3055 et pMOS RV1C001ZP sont fournis dans les librairies **2N3055A_UdeS.lib** et **RV1C001ZP.lib**. Celle-ci doit être placé dans le répertoire du schématique où vous voulez les utiliser.

- Si il s'agit d'un nouveau schématique, vous devez le sauvegarder avant de procéder avec la suite.



- Insérez le composant sur le schématique. Dans le menu, sélectionnez d'abord le répertoire de votre schématique.



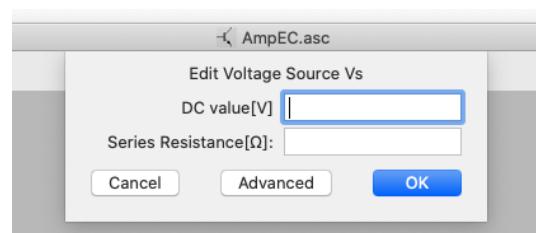
- Vous devez aussi ajouter la directive `.lib NOM-DE-LA-LIB.lib` au schéma-tique.

Pour configurer une source

Vous devez toujours donner une valeur (peu importe laquelle) au paramètre de tension ou de courant DC d'une source. Par défaut, seuls les paramètres de simulation DC sont affichés avec le symbole de la source. La source possède des configurations pour chaque type de simulation à savoir `.op` (point d'opération DC), `.trans` (temporelle) et `.ac`. Consultez la documentation du logiciel.

- Atteignez le menu des paramètres de la source (bouton de droite sur le symbole) puis entrez la valeur DC de la tension ainsi que la résistance série de la source. Cette dernière ne sera pas affichée à moins de le spécifier dans le menu *Advanced*.

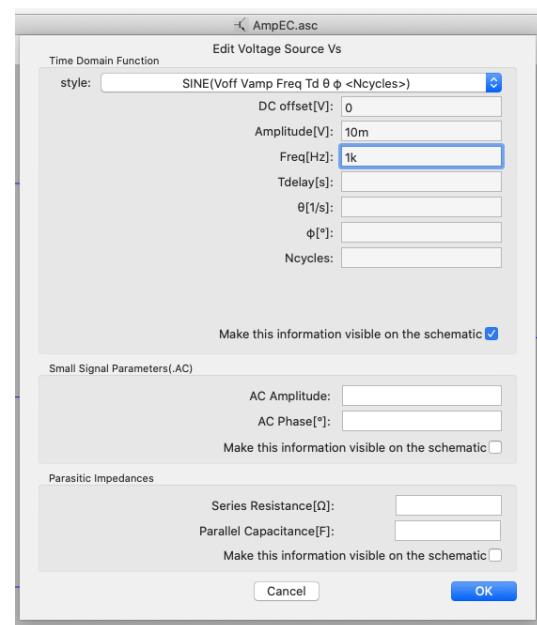
Notez que la valeur DC n'est prise en compte que pour les sources DC (ça semble évident mais...)



- Les autres modes d'opération de la source sont configurés par via le menu *Advanced*.

Pour les simulations temporelles, vous devez choisir la forme de l'onde générée sous le titre *Time Domain Function*. Choisissez l'amplitude, la fréquence et le décalage DC (*DC offset* distinct de la valeur du mode DC de la source).

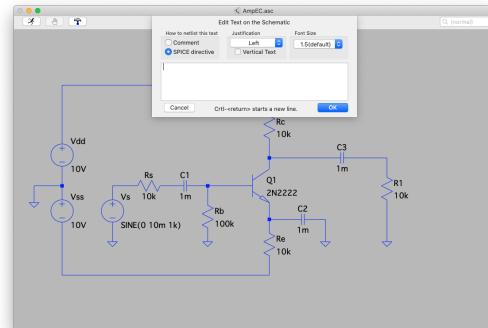
De même, les paramètres *Amplitude* et *AC Amplitude* sont utilisés dans des mode de simulation distincts.



Utilisation des directives SPICE

Les directives SPICE constituent les instructions de simulation de LTspice. Consultez la documentation détaillée du logiciel.

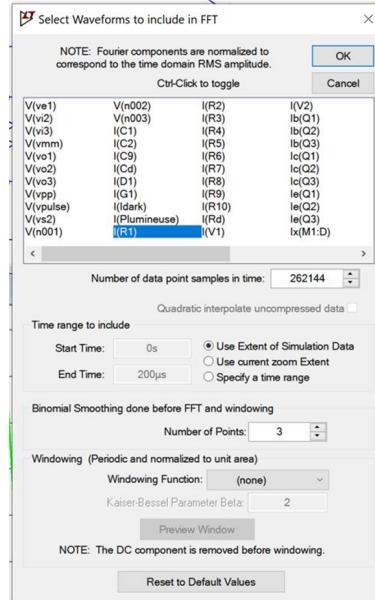
- Les directives peuvent être entrées directement de cette interface.
 - .op** Calcul du point d'opération
 - .dc** Balayage d'une tension
 - .trans** Réponse temporelle
Utilisez ";" devant une directive pour la rendre ineffective (permet de ne pas effacer à chaque fois).
- Vous pouvez également vous servir de l'aide d'édition des directives qui apparaît en cliquant sur le bouton de droite dans la fenêtre de texte.



Transformée de Fourier d'un signal

La transformée de Fourier (FFT) d'un signal permet d'observer son contenu en fréquence et discuter de la distorsion signal.

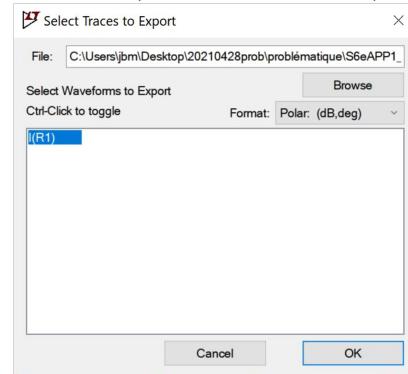
- Pour se faire, faites un graphique temporel de d'un ou de plusieurs signaux d'intérêt.



Ensuite sur le fond du graphique cliquez sur le bouton de droite puis **view** → FFT. Vous obtenez un menu de sélection des signaux et de configuration de la FFT.

- Pour faire une analyse de distorsion, il faudra sortir les données de la FFT pour les traiter dans par ex. dans Excel. ATTENTION : n'utilisez-pas la directive ".fourier" dans LTSpice pour calculer la distorsion harmonique. En effet, son calcul de distorsion ne tient pas compte des harmoniques paires et impaires (voir équation 4.1).

Cliquez sur le bouton de droite
sur le fond de la FFT puis
file → export data as text



Les données contiennent la fréquence puis l'amplitude et la phase du signal.

Freq.	I(R1)
0.000000000000e+000	(-9.51269169666953e+001dB, 0.000000000000e+000°)
5.000000000000e+003	(-1.33962526489630e+002dB, 1.56093632631355e+002°)
1.000000000000e+004	(-1.34478175938205e+002dB, 1.64967987629593e+002°)
1.500000000000e+004	(-1.34580798556266e+002dB, 1.67002087764320e+002°)

Recommandations pour les simulations

Pour développer vos solutions :

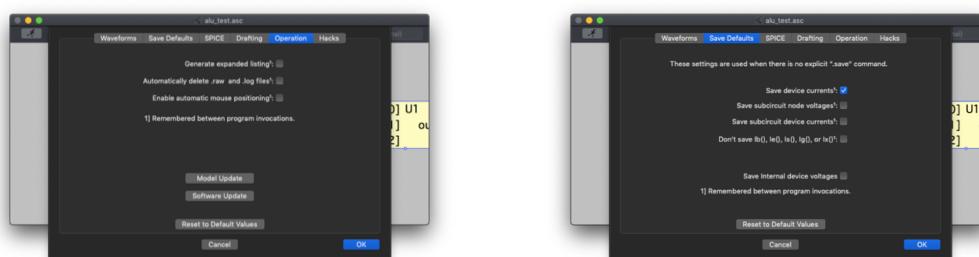
- Mettez tous les fichiers dans un répertoire de travail et faites-y les modifications et simulations.
- Une fois une solution satisfaisante trouvée pour une composante, copiez cette solution (fichiers *.asc et *.log particulièrement) dans un répertoire prévu pour recevoir la solution finale.
- Générez une impression d'écran du schématique pour votre rapport.

Les fichiers suivants sont générés lors des simulations :

- *.net : le netlist utilisé par le simulateur
- *.log : sortie textuelle du simulateur contenant (selon les options choisies, voir après)
 - un extended netlist qui contient tous les composants dans un seul netlist avec notamment les valeurs utilisées pour le calcul (i.e. les variables remplacées par leurs valeurs)
- le résultat des directives .meas
- le résultat de plusieurs types de simulations (ex. .op)
- ce fichier contient beaucoup de « warnings » qu'il faudra ignorer.
- *.raw : résultats de la simulation en format binaire (non exploitable)

Options à utiliser pour les simulations

Les options ne sont pas les mêmes sous Windows ou Mac. Nous recommandons l'opération sous Windows dont les fonctionnalités sont plus conviviales. Le bouton sert à modifier les options (Figure 4) de l'interface et de simulation. Assurez-vous de ne pas cocher « Automatically delete .raw and .log files », autrement ces fichiers sont effacés lorsque le fichier *.asc correspondant est fermé. Vous n'aurez plus accès aux résultats des directives .meas consignés au fichier *.log. Si vous désirez voir le netlist complet, cochez « Generate expanded listing ». Cet expanded netlist sera consigné au fichier *.log. Vous pouvez accéder aux tensions et courants des sous-circuits avec certaines options. Explorez et référez-vous à l'aide sur le logiciel (l'internet regorge de références aussi).



Deux écrans d'options utiles.

8 SANTÉ ET SÉCURITÉ

8.1 Dispositions générales

Dans le cadre de la présente activité, vous êtes réputés avoir pris connaissance des politiques et directives concernant la santé et la sécurité. Ces documents sont disponibles sur les sites web de l'Université de Sherbrooke, de la Faculté de génie et du département. Les principaux sont mentionnés ici et sont disponibles dans la section *Santé et sécurité* du site web du département : <https://www.gel.usherbrooke.ca/santesecurite/>.

- Politique 2500-004 : Politique de santé et sécurité en milieu de travail et d'études
- Directive 2600-042 : Directive relative à la santé et à la sécurité en milieu de travail et d'études
- Sécurité en laboratoire et atelier au département de génie électrique et de génie informatique

8.2 Dispositions particulières

Il s'agit d'une APP résolue par simulations. Il n'y a donc aucune règle particulière.

9 SOMMAIRE DES ACTIVITÉS

Pour cette APP, il y aura 3 périodes de formation procédurale et 2 laboratoires.

Deux séminaires permettront de reviser des notions déjà vues dans les sessions antérieures et d'accompagner la lecture et l'acquisition de nouvelles connaissances.

Au deuxième laboratoire, nous ferons ensemble un exemple de conception, le permier étage de la problématique.

10 PRODUCTIONS À REMETTRE

- Les productions se font par équipe de 3, sauf lorsque spécifié autrement, ce qui n'arrive jamais dans cet APP.
- L'identification des membres des équipes doit être complétée sur la page web de l'unité avant 16h30, le lendemain de votre premier tutorat.
- Malgré les solutions parfois collaboratives, les productions soumises à l'évaluation doivent être originales pour chaque équipe, sinon l'évaluation sera pénalisée en cas de non-respect de cette consigne.

10.1 Défense

La seule production sommative est une défense orale de la problématique, qui consiste en une archive, une partie pratique et une partie orale plus théorique.

Des productions formatives, sur Moodle, sont aussi proposées et également détaillées à la section suivante.

11 ÉVALUATIONS

11.1 Évaluation sommative

L'évaluation sommative théorique est un examen écrit qui porte sur tous les éléments de compétences de l'unité.

C'est un examen sans documentation sauf la feuille de formules publiée sur le site web.

11.2 Évaluation de la problématique

L'évaluation de la problématique se fait lors de deux validations et par le biais d'une défense.

11.2.1 1^{re} validation formative (analyse du circuit original)

Nous utiliserons Moodle pour vous permettre de vérifier sans les noter certains calculs et analyses par le biais d'une correction automatique. Par exemple, vous pourrez valider les points suivants :

- Les paramètres utilisés pour la modélisation de la photodiode ;
- Les paramètres utilisés dans le modèle de la DEL ;
- Les points d'opération initiaux des transistors Q1, M1, Q3 et Q2 ;
- Les paramètres petit signal initiaux des transistors Q1, M1, Q3 et Q2 ;
- Le diagramme de Gummel du 2N3055.

Cette validation fera l'objet d'une rétroaction en grand groupe le jour même de son dépôt. Nous commenterons la qualité et les démarches de quelques équipes au hasard pour le bénéfice de tous.

11.2.2 2^e validation formative (analyse de la démarche de conception)

Cette évaluation formative vise à valider la démarche de conception, à l'instar de la méthode utilisée au laboratoire 2. Chaque étage fera l'objet d'une telle analyse, qui notamment inclut les dépendances entre les étages. Un gabarit des tableaux requis vous sera fourni sur le site web.

À nouveau, cette validation fera l'objet d'une rétroaction en grand groupe le jour même de son dépôt. Nous commenterons la qualité et les démarches de quelques équipes au hasard pour le bénéfice de tous.

Notez que bien que ces évaluations formatives ne soient pas notées, elles restent obligatoires par souci d'équité pour tous, et nous nous réservons le droit d'appliquer une pénalité aux équipes qui négligeraient volontairement d'effectuer le travail demandé à temps pour les discussions en grand groupe.

11.2.3 Défense de la solution

Lors de la défense, on évalue l'exactitude, la précision, la valeur de chaque élément de solution. La qualité de la communication ne sera pas évaluée de façon sommative mais si les livrables sont fautifs sur le plan de la qualité de l'écrit et de la présentation, ils vous seront retournés pour correction avant qu'ils ne soient notés. La grille d'évaluation est donnée à l'annexe A.

Dépôt d'une archive de l'ensemble de la solution

En plus de la présentation servant à la défense, il vous faudra déposer une archive contenant les schémas (.asc) de la **solution** à la problématique, incluant les journaux de bord et tout document ou démarche de résolution. Le dépôt doit inclure tous les éléments de la solution, pas seulement les éléments ciblés par la défense pratique ou théorique.

Le dépôt sera fait par la méthode usuelle sur le site du département (et non par Moodle). L'absence du dépôt entraîne la note 0 pour la défense.

Défense pratique

Cette partie prend la forme d'une démonstration fonctionnelle de la solution par simulation. Chaque équipe disposera de 20 minutes pour faire fonctionner sa solution. L'équipe professorale inspectera tout élément pertinent de votre solution, et s'attardera au minimum aux simulations suivantes **du circuit final** :

- le signal généré par la photodiode et le courant dans la DEL
- les paramètres des modèles de la photodiode et de la DEL
- la forme d'onde à l'entrée/sortie de chaque étage (4 courbes sur le même graphique) : entrée de l'étage 1, sortie étages 1, 2 et 3
- les 4 lieux de Bode d'amplitude à l'entrée/sortie de chaque étage sur le même graphique
- la valeur des alimentations, potentiellement sur le même graphique que
- le placement des signaux dans la plage dynamique à l'entrée ($v_B/v_G, V_{PP}, V_{MM}$) et à la sortie ($v_C/v_D, v_E/v_S, V_{PP}, V_{MM}$) pour chaque étage
- la puissance consommée par les alimentations
- la FFT des signaux i_{R1} et i_{D1} sur le même graphique et le calcul de la distorsion
- une discussion expliquant les différences entre les résultats de simulation du circuit original et les calculs à la main (toutes caractéristiques ou spécifications confondues). Évitez les trivialités comme "le simulateur prend les bonnes valeurs des composantes..." et parlez des limitations et différences entre les deux approches, et si elles sont significatives ou non dans l'approche de conception.

Défense des aspects théoriques

Cette partie prendra la forme d'une présentation orale de 30 minutes. Afin optimiser la longueur de la défense, elle évaluera votre compétence à effectuer certaines analyses au moyen d'exemples ciblés. Pour les éléments demandés, vous discuterez des résultats, justifierez vos choix et exposerez votre méthodologie de résolution :

- Schéma du circuit final avec une emphase sur ce qui a changé.
- Discussion sur les configurations et topologies choisies pour chaque étage en fonction des spécifications à atteindre et de leur rôle dans le circuit global.
- Circuit original : Analyse à la main (i.e. pas de gain ou d'impédance issus des feuilles résumées dans cette section) du point d'opération, du modèle petit signal complet et du gain de tension du 2^e étage.
- Calcul de l'adaptation d'impédance entre les 2^e-3^e étages.
- Corrections
 - Tableau de spécifications requises pour chaque étage (gain, impédances, plage dynamique, point d'opération, etc.) selon le gabarit demandé.
 - Justification des changements requis et des choix de conception.
 - Calcul détaillé du dimensionnement des composantes du 3^e étage.
 - Calcul de la plage dynamique disponible au 2^e étage.
 - Discussion sur les compromis entre sur les spécifications (e.g. courant de la DEL état éteint)
 - Discussion sur les spécifications antagonistes entre les étages et les "répartitions" résultante de spécification entre les étages (e.g. gain global, etc.)
 - Discussion sur ce qui empêche de réduire davantage les alimentations.
- Justification de la présence de R_{11} et explication du comportement.
- Discussion de la stratégie de contrôle des versions utilisées pour la résolution de la problématique en y incluant le nombre d'itérations principales.

Approche de présentation des « calculs » pour la partie théorique

Adressez-vous à un auditoire averti qui pourrait reproduire votre approche avec des directives simples. Éviter les longues résolutions ligne par ligne. Énoncer plutôt les hypothèses d'analyse, les équations de départ (si non triviales) et finales et quelques grandes lignes intermédiaires du développement si nécessaire.

Exemple acceptable

Avec le support visuel adéquat, présentez par exemple oralement la démarche suivante :

Pour calculer le .op de telle partie, on suppose que le transistor est en régime de saturation, et on fait d'abord un thévenin avec les composantes 1, 2 et 3 ($V_{eq} = 10\text{ V}$, $R_{eq} = 1\text{ k}\Omega$), puis une loi des boucles par ici, une autre par là qu'on substitue dans la première équation. La solution de la quadratique résultante

$$i_d^2 + \sqrt{2}i_d + \frac{kQT}{2V_{GS}} = 0 \quad (11.1)$$

donne $i_d = 1\text{ mA}$, ce qui confirme l'hypothèse de saturation. En considérant les caractéristiques mesurées pour le transistor ($\lambda = 40\text{ V}$), la linéarisation autour de ce .op donne $g_m = 10^{-6}\text{ A/V}$ et $r_o = 20\Omega$ comme modèle petit signal. En posant les alimentations court-circuit et autre gossage d'usage (Sedra p. 10), le modèle variationnel complet de l'étage est montré à la figure Y. On le résout à l'aide du résultat connu (feuille résumé éq. X si on a droit), une loi des nœuds ici, une loi des boucles ailleurs et la loi d'ohm au besoin dans les composantes x, y et z. On isole dans le système d'équations résultant

$$r_o \neq \infty \quad (11.2)$$

$$i_1 + \frac{v_o}{r_\pi} = g_m v_o \quad (11.3)$$

le gain de transimpédance en substituant la valeur déjà calculée pour le paramètre K_{pout} (éq. 0.4.2)

$$\frac{v_o}{i_1} = r_\pi / r_o = 1 \frac{kV}{A}. \quad (11.4)$$

11.2.4 Utilisation de l'intelligence artificielle générative

Dans le cadre de la présente activité, vous êtes réputés avoir pris connaissance de la page Intégrité intellectuelle des Services à la vie étudiante.

Utilisation de l'intelligence artificielle générative

L'intelligence artificielle générative (IAG) réfère à l'ensemble d'outils capable de générer de nouveaux contenus (texte, images, code informatique, musique, etc.) à partir de requêtes texte, incluant, mais pas limité à :

- ChatGPT (fin de l'apprentissage en 2021)
- CoPilot
- Dall-E
- Synthesia
- Scribe
- Duet
- Bard

L'écosystème des IAG est extrêmement énergivore et a un impact environnemental significatif. Avant d'avoir recours à ces outils, vérifier si la réponse à votre requête pourrait se trouver dans votre documentation, vos collègues, votre équipe professorale ou par l'utilisation d'un moteur de recherche (Ecosia, Google, etc.) afin de limiter votre empreinte énergétique.

Attention : il peut y avoir des erreurs de l'IAG

La responsabilité finale du contenu des productions appartient à la personne étudiante.

Dans le cadre de cette unité d'APP, l'usage des IAG est permis pour votre apprentissage, l'aide à la rédaction et pour résoudre la problématique, conditionnellement à ce que tout élément produit par une IAG directement utilisé dans les productions remises à l'équipe professorale soit cité et documenté dans les règles de l'art.

L'utilisation des IAG lors des évaluations sommatives et finales n'est pas permise.

12 POLITIQUES ET RÈGLEMENTS

Dans le cadre de la présente activité, vous êtes réputés avoir pris connaissance des politiques, règlements et normes d'agrément suivants.

Règlements de l'Université de Sherbrooke

- Règlement des études :

<https://www.usherbrooke.ca/registraire/>

Règlements facultaires

- Règlement facultaire d'évaluation des apprentissages / Programmes de baccalauréat
- Règlement facultaire sur la reconnaissance des acquis

Normes d'agrément

- Informations pour les étudiants au premier cycle :

<https://www.usherbrooke.ca/genie/etudiants-actuels/au-baccalaureat/bcapg>

- Informations sur l'agrément :

<https://engineerscanada.ca/fr/agrement/a-propos-de-l-agrement>

Si vous êtes en situation de handicap, assurez-vous d'avoir communiqué avec le *Programme d'intégration des étudiantes et étudiants en situation de handicap* à l'adresse de courriel prog.integration@usherbrooke.ca.

13 INTÉGRITÉ, PLAGIAT ET AUTRES DÉLITS

Dans le cadre de la présente activité, vous êtes réputés avoir pris connaissance de la déclaration d'intégrité relative au plagiat :

<https://www.usherbrooke.ca/ssf/antiplagiat/jenseigne/declaration-dintegrite/>

14 SÉMINAIRE

Matière couverte par l'activité

- Processus d'analyse d'un circuit analogique
- Appendice D – Théorème utiles (révision, sur site associé au livre)
- Appendice C – Quadripôles (sur site web associé au livre)

Processus d'analyse de circuits électroniques analogiques

Construisez le schéma bloc, voire un schéma de concepts, pour représenter le processus d'analyse d'un circuit électronique analogique.

Utilisez au minimum les mots-clés suivants : circuit, lois des boucles et des noeuds, analyse DC, courants, voltages, point d'opération, réponse temporelle, simulation .op, simulation .ac, simulation .tran, plage dynamique, linéarisation, modèle petit signal (transistor), modèle petit signal (étage), modèle petit signal (circuit), quadripôle, topologie, analyse AC, plage dynamique, droite de charge, z_{in} , z_{out} , gain, bande passante, distorsion, FFT, β , g_m , r_e , r_π , r_o .

Équivalents de Norton et Thevenin

Section 1.1, Sedra *et al.*

- Exemple 1.1
- Exercice 1.15
- Exercice 1.16 (réponse disponible dans annexe L).

Cette matière a été étudiée antérieurement à l'aide d'autres références (notamment Hambley, 7e édition, 2018).

Modélisation d'amplificateur par des quadripôles

Section 1.5, Sedra *et al.*

- Exemple 1.3
- Les exercices 1.48, 1.51, 1.53, 1.56, 1.60, 1.66 (réponses disponibles dans annexe L).

15 PRATIQUE PROCÉDURALE 1

Matière couverte par l'activité

- Droite de charge d'un transistor
- Fonctionnement, polarisation et régimes d'opération des transistors BJT et MOSFET
- Modèles petit signal des transistors

15.1 Exercices

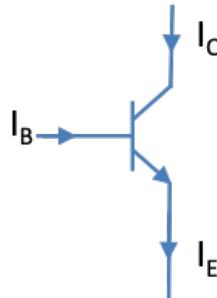
Transistor bipolaire (BJT)

E.1 Courants dans un transistor bipolaire

Le transistor de la figure ci-contre présente un gain $\beta = 100$ en régime actif.

1. Quel est le type de ce transistor.
2. Démontrer les formules suivantes en partant de l'expression $I_C = \beta I_B$, de la définition $\alpha = \frac{\beta}{(\beta+1)}$ et en considérant le transistor comme un noeud :

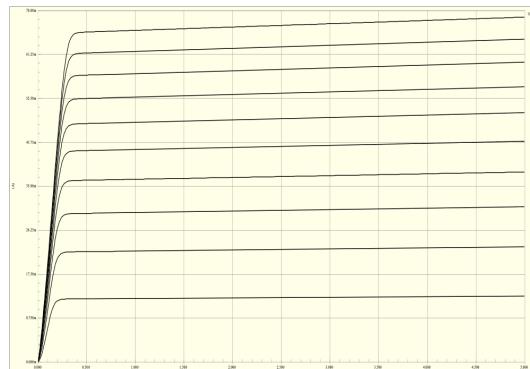
$$I_E = (\beta + 1) I_B, \quad I_C = \alpha I_E$$



E.2 Régimes d'opération du transistor bipolaire

Sur le graphe $I_C(V_{CE})$, :

1. identifiez les différents régimes du fonctionnement du transistor.
2. identifiez la région où le gain du transistor est le plus fort
3. tracez la courbe de $V_{CESAT}(I_C)$ de ce transistor.
4. Que représente la pente des courbes situées dans le régime linéaire du fonctionnement du transistor ?



Tracez la caractéristique $I_C(V_{BE})$

Quelle est la tension V_{BE} en régime actif ?

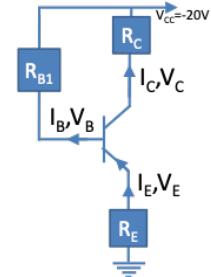
Quelle est la tension V_{CE} en régime actif ?

E.3 Polarisation des transistors BJT

Pour le circuit suivant, on donne :

$$R_{B1} = 550 \text{ k}\Omega, R_C = 1 \text{ k}\Omega, R_E = 500 \Omega \text{ et } \beta = 100.$$

1. Quel est le type de ce transistor.
2. Quel est le mode de fonctionnement du transistor ?
3. Calculer les 6 paramètres de polarisation du transistor.



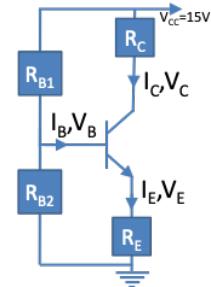
E.4 Polarisation des transistors BJT

Pour le circuit suivant, on donne :

$$R_{B1} = 12.5 \text{ k}\Omega, R_{B2} = 2.5 \text{ k}\Omega, R_C = 400 \Omega, R_E = 200 \Omega \text{ et } \beta = 20.$$

1. Quel est le type de ce transistor.
2. Quel est le mode de fonctionnement du transistor ?
3. Calculer les 6 paramètres de polarisation du transistor.

Indice : obtenez un équivalent de Thévenin du circuit de polarisation de la base. Quelle est la conséquence d'un si faible β ?

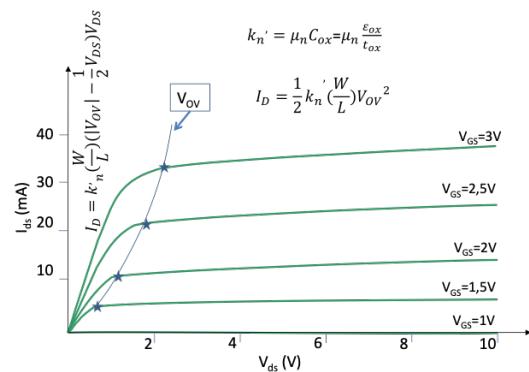


Transistor à effet de champ (FET)

E.5 Régime d'opération et équations du transistor à effet de champ

Sur le graphe $I_D(V_{DS})$ déterminer :

1. Les différents régimes du fonctionnement du transistor.
2. La région où le gain du transistor est le plus fort
3. Expliquez la procédure d'extraction le $r_{ds(on)}$ et expliquez comment elle évolue en fonction de V_{GS} .



E.6 Polarisation de transistors à effet de champ

Pour un transistor MOSFET avec

$$t_{ox} = 9 \text{ nm}, \mu = 500 \text{ cm}^2/\text{V.s}, V_t = 0.7 \text{ V}, W/L = 10$$

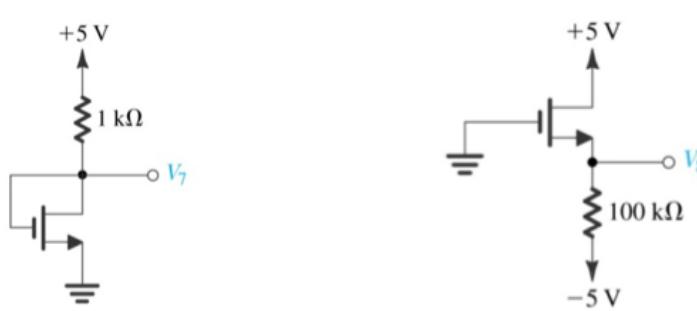
$$\text{et } \epsilon_{ox} = 3.9\epsilon_o, \epsilon_o = 8.854 \times 10^{-14} \text{ F/cm},$$

- trouvez le courant I_D dans les cas suivants :
 - $V_{GS} = 5 \text{ V}$ et $V_{DS} = 1 \text{ V}$
 - $V_{GS} = 2 \text{ V}$ et $V_{DS} = 1.3 \text{ V}$
- Ce MOSFET à enrichissement avec $V_t = 0.5 \text{ V}$ et devrait opérer en régime de saturation. Si on vise un courant drain-source de $12 \mu\text{A}$, trouvez le V_{GS} correspondant et la valeur minimale permise pour V_{DS} .
- Faites le même calcul pour un courant drain-source de $50 \mu\text{A}$.

E.7 Polarisation de transistors à effet de champ

Pour les différents circuits suivants, trouvez les paramètres électriques V_7 et V_8 .

$$V_t = 0.8 \text{ V}, k'_n (W/L) = 0.5 \text{ mA/V}^2, \lambda = 0.$$

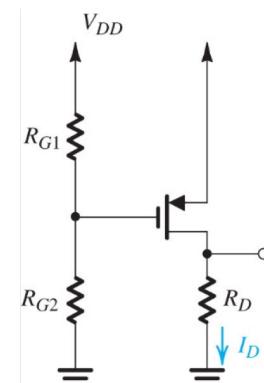


E.8 Polarisation de transistors à effet de champ

Soit un transistor PMOS opérant en régime de saturation dans un circuit où $V_{DD} = 5 \text{ V}$, $R_{G1} = 2 \text{ k}\Omega$ et $R_{G2} = 3 \text{ k}\Omega$. Les caractéristiques du transistors sont : $V_t = -1 \text{ V}$, $\lambda = 0$ et $k'_p (W/L) = 1 \text{ mA/V}^2$.

Trouver la valeur maximale de R_D qui garde le transistor en régime de saturation à ce courant.

Note : Cet exercice est étroitement relié à l'ajustement de la plage dynamique de tension de sortie d'un amplificateur.



E.9 Modèle petit signal d'un transistor BJT ou FET

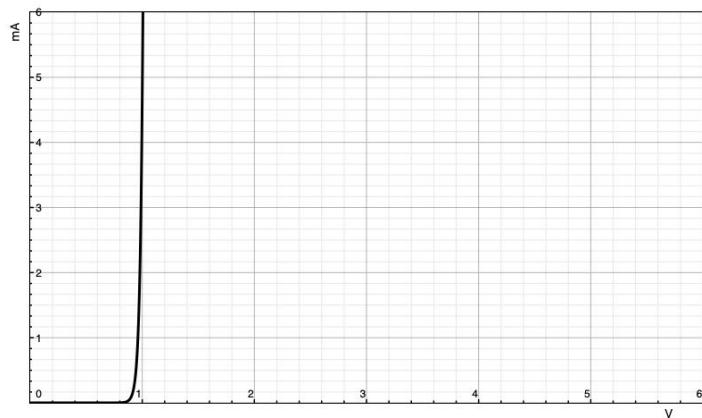
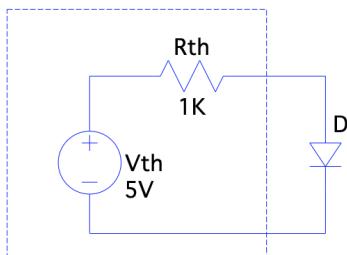
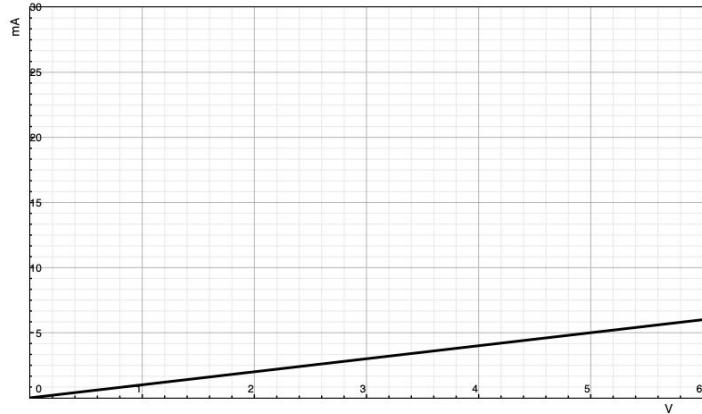
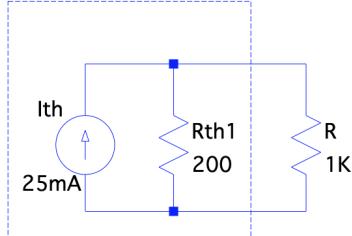
- Dessinez le modèle petit signal en représentation π et T pour un BJT
- En considérant le modèle petit signal en π et l'identité $g_m + \frac{1}{r_\pi} = \frac{1}{r_e}$, que représente le terme $\frac{v_\pi}{r_\pi}$?

- En considérant le modèle petit signal en T,
que représente le terme $\frac{v_\pi}{r_e}$?
- Que devient l'identité $g_m + \frac{1}{r_\pi} = \frac{1}{r_e}$ dans le cas d'un MOSFET ?
Note : Il s'agit d'identités clés pour la résolution de problèmes.

E.10 Droites de charge

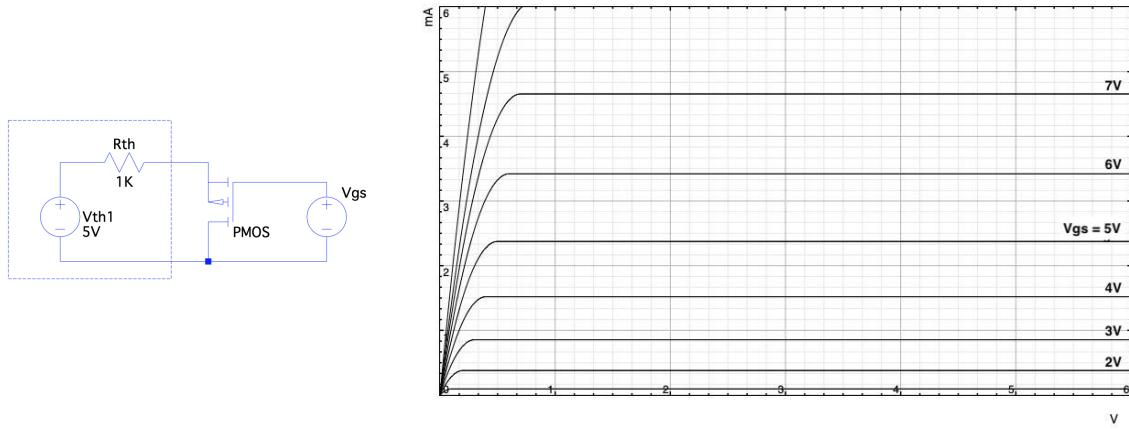
Tracer les droites de charge de ces deux circuits sur les figures correspondantes.

Donnez également le courant et la tension au "point d'opération".



E.11 Droites de charge et point d'opération

- Tracer la droite de charge de ce transistor sur la figure.



- Indiquez sur la figure le point d'opération pour $V_{GSQ} = 6 V$ et déduisez I_{DQ} et V_{DSQ} .
- Indiquez sur la figure deux autres points d'opération, soit à $V_{GSQ} = 5$ et $3 V$.
- Lequel de ces 3 points d'opération permet la plus grande plage dynamique de tension en sortie (pour un signal sinusoïdal) ?

Vous pouvez visualiser l'opération d'un amplificateur sur le site

<https://www.desmos.com/calculator/blyv05r6uk>. En suivant les consignes, vous verrez la relation entre les courbes caractéristiques et la droite de charge ainsi que l'opération de l'amplificateur lorsque la tension sur la grille est soumise à une variation temporelle.

15.2 Exercices supplémentaires

S.1 BJT – Exercices additionnels

Problèmes 6.28, 6.29 et 6.35, Sedra *et al.*

S.2 MOSFET – Exercices additionnels

Problèmes 5.54 et 5.58, Sedra *et al.*

16 SÉMINAIRE

Matière couverte par l'activité

- Appendice F – Analyse de Laplace – s-domain (révision, sur site associé au livre)
- Appendice E – Circuits à une constante de temps (sur site associé au livre)
- Notions de base en physique des semiconducteurs
 - Niveaux d'énergie, bandes de valance, de conduction et bande interdite
 - Dopage des semiconducteurs, notion de porteurs de charge, matériau intrinsèque, de type p et de type n.
 - Résistance, résistivité, conductivité et courant de dérive en présence d'un champ électrique
 - Effet de l'absorption de la lumière sur les porteurs
- Jonction pn et la diode
 - Modélisation de la diode dans différents régimes d'opération
 - Capacité de la jonction pn

17 PRATIQUE PROCÉDURALE 2

Matière couverte par l'activité

- Propriétés des semiconducteurs, porteurs de charges et courants
- Structure et fonctionnement de la jonction pn et de la diode
- Droite de charge (composantes à 2 terminaux)

17.1 Exercices

Physique des semiconducteurs

E.1 Dopage et porteurs dans les semiconducteurs

- Quelles est la densité intrinsèque de porteurs dans le silicium à 300K et à 75°C (intérieur d'un boîtier pendant opération) ?
Quel facteur a la plus grande contribution ($T^{3/2}$ ou l'exponentielle) ?
- On dope le silicium avec du phosphore à une concentration $1 \times 10^{14} \text{ cm}^{-3}$.
Quel est le type de porteurs majoritaires ? Et des minoritaires ?
Quelle est la concentration des porteurs majoritaires ? Et des minoritaires ?

E.2 Courant de dérive

- Quelle est la résistance d'un barreau de silicium intrinsèque de $100 \times 10 \times 1 \mu\text{m}^3$ (longueur, largeur, épaisseur) ?
- Quelle est la résistance de ce même barreau de silicium s'il est dopé de type p à raison de $N_a = 10^{17} \text{ cm}^{-3}$? Attention, la mobilité des porteurs est réduite par le dopage !
- Si on applique une tension de 10 V entre les deux bouts du barreau de silicium intrinsèque (sens de la longueur), quelle est la vitesse des trous ?
Est-ce que cette vitesse est différente pour le barreau de silicium dopé et est-ce que cette différence explique sa plus forte conductivité ?

Physique de la diode

E.3 Jonction pn : le cœur de la diode

Révision : Matière partiellement couverte en S1 et S2 (chapitre 9, Hambley).

Soit une diode formée d'un jonction abrupte de dopage $N_d = 10^{16} \text{ cm}^{-3}$ et $N_a = 10^{18} \text{ cm}^{-3}$.

- Quel est le potentiel de contact (i.e. "built-in voltage") de cette jonction ?
- Quelle est la largeur de la zone de déplétion ?
- Quel est le champ électrique maximal à la jonction métallurgique (i.e. interface entre type p et type n) sachant que pour une jonction abrupte fortement dopée d'un seul côté il est donné par $\mathcal{E}_{max} \approx \frac{2V_0}{W}$?
- **Important** : Vous devez être en mesure d'expliquer la formation de la zone de déplétion dans la jonction pn, cette notion d'équilibre en diffusion des porteurs d'un côté vers l'autre qui est stoppé par la construction d'un champ électrique dans la zone de déplétion. Difficile à faire par un exercice...
- Exercice supplémentaire : faites l'exercice 3.8 du Sedra, un peu d'algèbre ça ne fait jamais de tors.

E.4 Jonction pn polarisée : courbe caractéristique de la diode

La relation courant-tension d'une jonction pn polarisée (autant en direct qu'en inverse) est donnée par $I_D = I_S [e^{(V_D/V_T)} - 1]$ où $I_S = Aq n_i^2 \left(\frac{D_p}{L_p N_D} - \frac{D_n}{L_n N_A} \right)$.

- Pour V_D positif tel que $V_D \gg V_T$, donnez l'expression du courant dans la diode.
- Donnez la valeur du courant de la diode à V_D négatif ($|V_D| \gg V_T$).
- Pour une diode p⁺n, quels porteurs contribuent au courant en direct ? Quelle simplification de l'équation de I_S est possible ?
- Faites l'exemple résolu 3.6, Sedra *et al.*. Est-ce que votre réponse à la question précédente est cohérente avec le résultat de cet exemple ?
- **Important** : Vous devez être en mesure de décrire lequel du courant de diffusion ou du courant de dérive domine lorsque la diode est polarisée en inverse, en direct ou est non-polarisée.

E.5 Capacité de jonction (inverse) et de diffusion (direct)

Soit une diode formée d'un jonction abrupte de dopage $N_d = 10^{16} \text{ cm}^{-3}$ et $N_a = 10^{18} \text{ cm}^{-3}$ et dont la surface (section) est de 10^{-4} cm^2 .

- Quelle est la capacité statique (i.e. de jonction) de la diode sans polarisation ?
- Utilisée comme varactor dans un filtre opérant à 1 kHz, quelle serait la fréquence de coupure de ce filtre à une polarisation de 5 V (Considérez que rien d'autre ne change) ?
- Quelle est la capacité dynamique (i.e. de diffusion) de la diode opérée en direct à 0.2 mA et que le temps de vie des porteurs minoritaires est de 25 ns ?

E.6 Modèle petit signal linéarisé de la diode

Rappels : Les sections 4.1, 4.2 et 4.3, Sedra *et al.*, sont des rappels de notions vues dans les sessions S1 et S2. Voir aussi les exercices 4.17, 4.19, 4.23, 4.28 (réponses disponibles dans l'annexe L).

La section 4.4, Sedra *et al.*, est de la matière nouvelle et traite de la réponse dynamique (i.e. petit signal) d'une diode.

L'exercice suivant sur la capacité statique et dynamique de la diode complète ses propriétés petit signal.

- Quelle est l'équation décrivant la résistance dynamique de la diode définie par $r_d = (dI_D/dV_D)^{-1}$.
- Donnez la valeur de la résistance dynamique de la diode pour les valeurs de courant suivantes : $I_D = 1 \mu\text{A}, 1 \text{ mA}$ et 50 mA .

Diodes spécialisées

E.7 La photodiode

Section 4.7.4, Sedra *et al.*

Mécanique quantique : Les photons sont des particules (de lumière) dont l'énergie est quantifiée. Cette énergie est fonction de la longueur d'onde λ selon

$$E = \frac{hc}{\lambda} \approx \frac{1.985 \cdot 10^{-16} \text{ J} \cdot \text{nm}}{\lambda} \quad (17.1)$$

où h est la constante de Planck et c la vitesse de la lumière.¹ Lors d'une interaction entre un photon et la matière (ex. le silicium), le photon est soit absorbé en entier donnant toute son énergie à la matière, soit non absorbé. Il y a de nombreux mécanismes d'absorption qui dépendent principalement de la nature du matériaux absorbant et de l'énergie des photons. Dans le cas d'un semiconducteur, comme le silicium, le principal mécanisme d'absorption de photons dans les longueurs d'onde de la lumière visible (i.e. 350 nm à 1000 nm) est par la création de paire électron-trou : un électron absorbe l'énergie du photon et est excité de la bande de valence à la bande de conduction, laissant un trou dans la bande de valence. Bien entendu, dans le détail, c'est bien plus compliqué ! Mais dans la plupart des situations, on peut résumer toute cette mécanique quantique par un énoncé simple : si un photon est absorbé il crée une paire électron-trou. Corollaire : si un photon n'est pas absorbé, il ne laisse pas d'énergie en traversant le matériaux et ce dernier ne s'échauffe donc pas. Une photodiode est caractérisée par son efficacité quantique qui indique la probabilité qu'une paire électron-trou créée par l'absorption d'un photon soit récupérée et participe au courant dans la diode. On peut également qualifier la photodiode par son ratio courant-généré/puissance-lumineuse que l'on appelle responsivité.

- On éclaire une photodiode avec un source de photon de 550 nm de longueur d'onde à un flux de 4.5×10^{15} photons par seconde. Quel serait le courant maximal dans la photodiode si tous les photons étaient convertis en courant ?
- Quelle est la puissance de cette excitation lumineuse ?
- La photodiode a une responsivité de 0.35 mA/W. Quel est le courant généré dans la photodiode ?

E.8 La diode électroluminescente - DEL

Section 4.7.5, Sedra *et al.*

1. Voir aussi https://fr.wikipedia.org/wiki/Relation_de_Planck-Einstein.

Mécanique quantique : La mécanique quantique est souvent réversible (en fait pas mal toujours...). Ainsi, si l'absorption d'un photon génère une paire électron-trou, alors la désexcitation d'un électron de la bande de conduction vers la bande de valence (i.e. la recombinaison d'un électron et d'un trou) émet un photon d'énergie égale à la bande interdite du semi-conducteur (par conservation d'énergie). La longueur d'onde d'émission est donc fonction du semi-conducteur utilisé. C'est le mécanisme de l'électroluminescence. La diode est un dispositif particulièrement efficace pour générer l'électroluminescence quand elle est faite de semi-conducteur à bande interdite directe. Ce n'est notamment PAS le cas du silicium. On caractérise une DEL par son efficacité quantique, i.e. la fraction des paires électron-trou du courant qui génère un photon. Corollaire : la fraction du courant qui n'émet pas de photons (i.e. $1 - \text{efficacité}$) génère une puissance qui se dissipe dans la diode et qui l'échauffe. En pratique, notamment pour l'éclairage, on définit l'efficacité de puissance d'une DEL par le ratio (puissance lumineuse émise) / (puissance électrique).

Problème : On fait circuler un courant de 20 mA et à une tension de 2.1 V à travers une DEL émettant à 624 nm dont l'efficacité quantique est de 40 %.

- Quel est le flux de photons émis (i.e. photons par seconde) ?
- Quelle est la puissance lumineuse émise ?
- Quelle est l'efficacité de puissance ?
- Quelle est la puissance thermique qui est dissipée dans la DEL ?

Structure des transistors

E.9 Structure des transistors BJT et MOSFET : similitudes et différences

- Dessinez la structure du BJT npn et d'un nMOS : identifiez l'émetteur, le collecteur et la base du BJT ; la source, le drain, la grille, l'oxyde de grille et le corps du MOSFET
- Identifiez les diodes présentes entre le collecteur et l'émetteur du BJT et entre la source et le drain du MOSFET : Est-ce qu'un courant peut facilement passer ?
- Expliquez les mécanismes distincts (BJT versus MOSFET) qui permettent le fonctionnement de ces transistors.
- **Important :**
 - Vous devez pouvoir expliquer sommairement le fonctionnement du MOSFET incluant l'origine de la saturation du courant.
 - Vous devez pouvoir expliquer sommairement l'origine des régimes d'opération des transistors et relier les conditions qui les définissent à leur origine physique.

- Vous devez être en mesure de reconnaître et distinguer les différents symboles utilisés pour représenter les BJT et les MOSFET de différentes polarités.

18 PRATIQUE EN LABORATOIRE 1

Buts de l'activité

Le but de cette activité est de s’initier à la simulation logicielle et se familiariser avec :

- La simulation des dispositifs (transistors) pour tracer leurs caractéristiques i-v à partir de leurs modèles SPICE ;
- BJT et MOSFET
- Diagramme de Gummel de BJT et de la configuration Darlington
- Droite de charge du Darlington avec la DEL
- La simulation de circuit pour déterminer les points d’opération des dispositifs utilisés ;
- La simulation de circuit pour déterminer les caractéristiques d’un amplificateur en régime dynamique : gain, plage dynamique, impédance d’entrée et de sortie ;
- La simulation et la représentation de la bande passante ;
- L’utilisation de la transformée de Fourier pour étudier la distorsion.

Utilisation du logiciel LTspice

Nous vous recommandons d’installer le logiciel LTspice sur votre ordinateur personnel. Des consignes générales figurent à la section [7](#) du guide de l’étudiant.

18.1 Exercices

E.1 Simulation du circuit initial

0. Entrez les valeurs des paramètres de la photodiode dans son circuit équivalent. Entrez également les paramètres dans le modèle de la DEL (dans l’instruction `.model`). Tous ces paramètres ont été évalués dans le cadre de la première validation.

1. Simulez le point d’opération `.op` dont les résultats sont dans le fichier `".log"`.

ATTENTION : Celui-ci sera écrasé par les simulations subséquentes. Faites en une copie ! Comparez à votre analyse faite à la main.

Structure du `.log` : la première partie donne les caractéristiques du point d’opération (dans l’ordre) des diodes, des BJT, des MOSFET puis du circuit complet. Les MOSFET de cette librairie sont à l’intérieur de `subcircuits` ce qui explique leur identifiant compliqué (ex. `m:m1:t`). La référence aux courants du MOSFET sont par conséquent aussi un peu compliquées : `Ix(...:1)`= courant de drain, `Ix(...:2)`= courant de grille, `Ix(...:3)`= courant de source.

2.a Simulez la réponse temporelle .trans sur une durée de quelques cycles. Utiliser/ajouter des noms de noeud (net) pour faciliter l'identification des tensions et l'analyse.

— Visualisez les tensions d'entrée et de sortie des étages. Procédez un étage à la fois pour rendre les graphiques plus lisibles. Par exemple, pour l'étage 1, faites afficher v_{e1} , $I_e(Q1)$, v_{o1} .

Visualisez les signaux incluant leur partie DC à savoir, la tension à la base, à l'émetteur et au drain.

Vous pouvez aussi ajouter des traces pour marquer les tension d'alimentation, 0 V, etc. Par exemple, en insérant les traces "10 V", "-10 V" et "0 V" sans oublier les unités pour que la courbe s'affiche sur le bon axe Y.

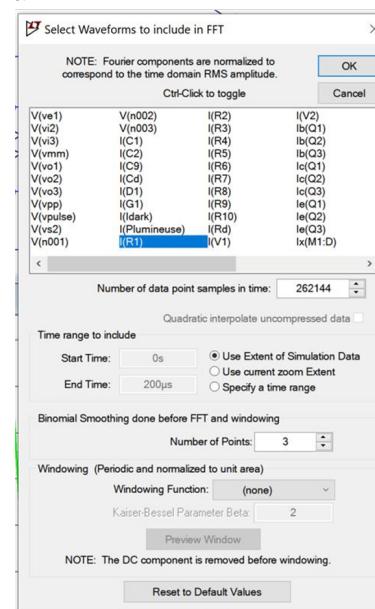
— Pour chaque étage, obtenez le gain de tension ou de transconductance ou de transimpédance.

Note : La visualisation du gain par un ratio de type " $V(v_o)/V(v_{in})$ " comme trace d'un graphique n'est presque jamais pratique.

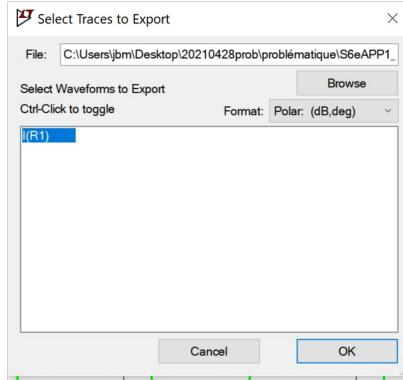
2.b Faites une transformée de Fourier (FFT) pour observer le contenu en fréquence et discuter de la distorsion.

— Comparez la FFT du courant dans R1 et dans la DEL.

Pour ce faire, faites un graphique temporel de ces deux signaux. Ensuite sur le fond du graphique cliquez sur le bouton de droite puis **view** → **FFT**. Vous obtenez un menu de sélection des signaux et de configuration de la FFT.



— Pour faire une analyse de distorsion, il faudra exporter les données de la FFT pour les traiter dans par exemple dans Excel. ATTENTION : n'utilisez pas la directive ".fourier" dans LTSpice pour calculer la distorsion harmonique. En effet, son calcul de distorsion ne tient pas compte des harmoniques paires et impaires (voir équation 4.1).



Cliquez sur le bouton de droite sur le fond de la FFT puis `file → export data as text`

Les données contiennent la fréquence puis l'amplitude et la phase du signal.

Freq.	I(R1)
0.00000000000000e+000	(-9.51269169666953e+001dB, 0.00000000000000e+000°)
5.00000000000000e+003	(-1.33962526489630e+002dB, 1.56093632631355e+002°)
1.00000000000000e+004	(-1.34478175938205e+002dB, 1.64967987629593e+002°)
1.50000000000000e+004	(-1.34590700556266e+002dB, 1.67007007761270e+002°)

- Simulez la réponse fréquentielle .ac du circuit. Il s'agit d'une approximation "petit signal" du comportement de l'amplificateur qui, par exemple, ne tient pas compte de la saturation des transistors.

Note : Pour que l'amplitude donnée par l'analyse .ac ait un sens, la source G1 doit générer un signal AC de 1A. Vous devez donc donner une valeur appropriée au paramètre *AC amplitude* de la source Plumineuse.

- Identifiez les fréquences de coupure basse et haute du circuit.
- Identifiez le condensateur qui est à l'origine de la coupure basse.

E.2 Mesure des impédances d'entrée et de sortie de chaque étage

- Impédance d'entrée :** Il y a plusieurs méthodes pour estimer l'impédance d'entrée d'un circuit et toutes demandent de bien identifier l'étage d'amplification et un noeud d'intérêt (il n'y a pas de bouton magique!).
- Au noeud d'intérêt :** Il est possible d'estimer l'impédance d'entrée à partir du ratio tension/courant au noeud d'intérêt. Par exemple, pour le 2e étage, faites le ratio de la tension au noeud vi2 sur le courant entrant par C1 à ce noeud (i.e. le courant sortant de C1).
- Méthode du désaccord d'impédance :** Lorsque la source a une impédance connue et que vous avez accès à la tension avant l'impédance de source, alors vous pouvez vous baser sur la tension au noeud d'intérêt pour en déduire l'impédance

d'entrée. Voir par exemple section 1.5.2., Sedra *et al.*

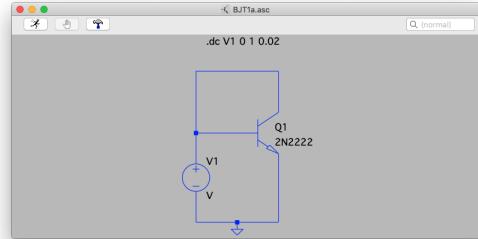
- **En isolant l'étage :** Lorsque l'étage d'intérêt est couplé au signal par un condensateur, il est possible d'isoler cet étage (i.e. faire un nouveau schématique avec seulement cet étage) et de mettre comme source un équivalent Thévenin d'impédance connue. Idéalement, il faut reproduire l'ordre de grandeur de tension et d'impédance de sortie du circuit qui a été enlevé. C'est là que les choses peuvent se compliquer un peu...
- **Impédance de sortie :** Il n'y a qu'une seule manière d'estimer l'impédance de sortie d'un étage et elle requiert d'utiliser une charge d'impédance connue. Elle consiste à modifier légèrement et de façon connue la charge de l'étage d'intérêt. En comparant les tensions de sortie avec et sans cette modification, on peut déduire l'impédance de sortie de l'étage.

Les instructions sont décrites dans une note technique sur le site de session.

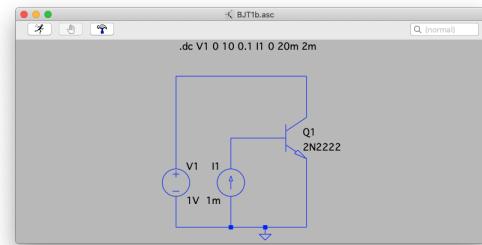
E.3 Caractérisation d'un BJT

Consultez la section 7 "Logiciels et matériel" pour l'ajout du transistor.

1. Réalisez le circuit suivant et tracez la courbe caractéristique $I_B(V_{BE})$ du transistor 2N2222A pour $V_{CB} = 0$. Faire varier V_{BE} de 0 à 1V. Familiarisez-vous avec la directive SPICE `.dc` pour réaliser un balayage de tension d'une source.
2. À partir des courbes précédentes, tracez $\beta(V_{BE})$ pour $V_{BC} = 0$. Ajoutez sur ce graphique les courbes de I_B et I_C afin d'obtenir le diagramme de Gummel. Faites afficher l'axe des courants en échelle logarithmique. On en déduit la plage d'utilisation optimale du transistor.



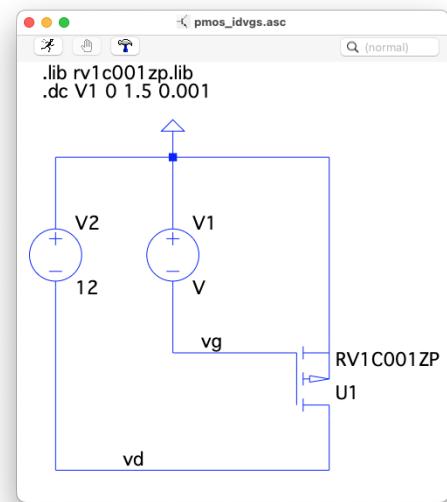
3. Réalisez le circuit suivant et tracer les courbes caractéristiques $I_C(V_{CE})$ pour le transistor 2N2222A. Faire varier V_{CE} de 0 à 10V et I_B de 0 à 0.5 μ A. Familiarisez-vous avec la directive SPICE .dc pour réaliser deux balayages imbriqués, ici un premier de la tension de la source V1 et un second du courant de la source I1.



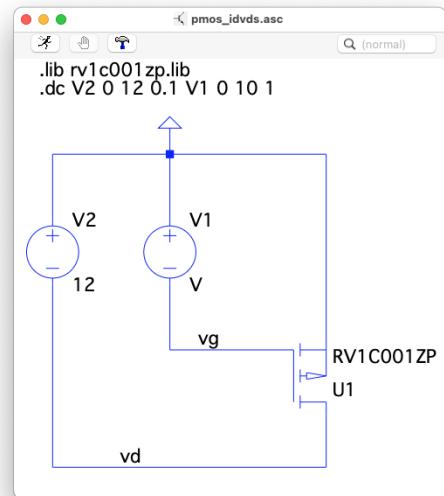
E.4 Caractérisation d'un MOSFET

Consultez la section 7 "Logiciels et matériel" pour l'ajout du transistor.

- Réalisez le circuit suivant et tracez les courbes caractéristiques $I_D(V_{GS})$ pour le transistor pMOS RV1C001ZP dans une plage de tension V_{GS} allant de 0 à -1V et pour $V_{DS} = -12$ V.
 - Estimez V_t à partir d'une de ses définitions pratiques : $|I_D(V_{GS} = |V_t|)| = 0.4 \text{ mA}$.
 - Tracez aussi la courbe $g_m(V_{GS})$ en utilisant la fonction de différentiation d(...) dans LTspice



2. Réalisez le circuit suivant et tracez les courbes caractéristiques $I_D(V_{DS})$ pour le pMOS RV1C001ZP dans une plage de tension V_{DS} de 0 à -12 V et de V_{GS} allant de $-V_t$ à -12 V par pas de 1 V.

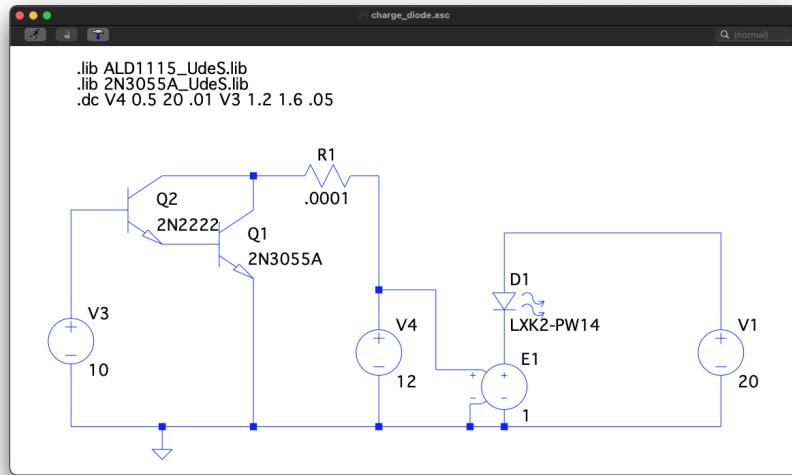


E.5 Le Darlington et la DEL

La configuration Darlington s'analyse comme un BJT. Faites comme à l'exercice E.3 en remplaçant cette fois le BJT par les deux transistors en configuration Darlington.

- Obtenez le diagramme de Gummel du Darlington.
Estimez la valeur de $\beta_{\text{Darlington}}$ à 2.5 A .
Estimez la valeur de $V_{BE,\text{Darlington}}$ à 2.5 A .
- Obtenez les courbes $I_C(V_{CE})$ du Darlington.
Estimer la valeur $V_{CE,SAT}$ à 2.5 A .
Estimer la valeur de r_o à 2.5 A .

- En reproduisant le circuit suivant, obtenez les courbes caractéristiques du Darlington superposées à la caractéristique de la charge (DEL).



Pour résoudre la problématique, vous devrez refaire cette analyse en utilisant la DEL L1IZ0850 et ses bons paramètres (que vous devez calculer). Recommandation : partez du fichier de départ en ne gardant que le darlington et la DEL. Vous obtiendrez ainsi les deux points d'opération nécessaire, i.e. à bas (DEL éteinte) et fort courant (DEL allumée).

19 PRATIQUE PROCÉDURALE 3

Matière couverte par l'activité

- Modélisation petit signal
- Configurations d'amplificateurs et leur propriétés
- Plage dynamique
- Différentes configuration : gain, impédance d'entrée/sortie
- Représentation en quadripôle et adaptation d'impédance entre étages d'amplification
- Fréquence de coupure basse et bande passante

19.1 Exercices préparatoires

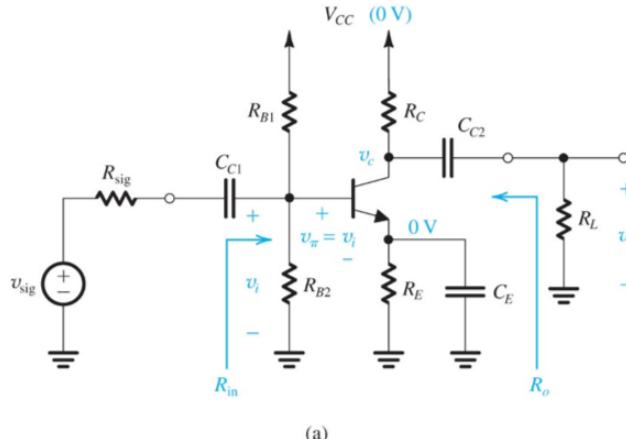
Révisez le concept de modèle petit signal, son utilisation ainsi que le lien entre le point d'opération et les paramètres petit signal (Procédural 1).

19.2 Exercices

E.1 Amplificateur émetteur commun

Dessiner le quadripôle petit signal équivalent (avec une source contrôlée en tension). Calculez son gain en tension ainsi que l'impédance d'entrée et de sortie.

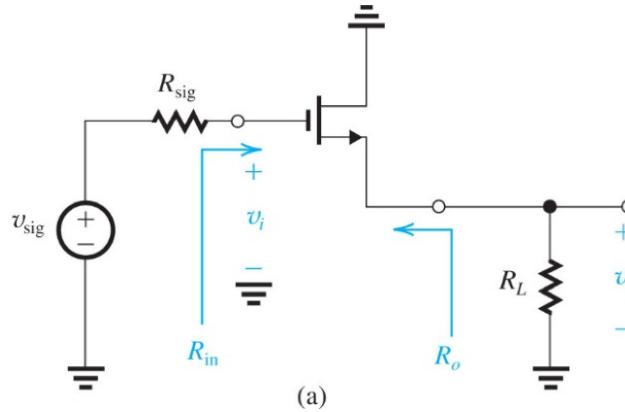
Évaluer la plage dynamique disponible à l'entrée et à la sortie de cet étage.



(a)

E.2 Amplificateur drain commun ou source-suiveur

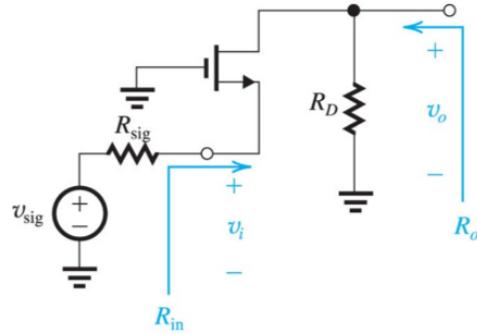
Dessiner le schéma équivalent petit signal et obtenez, ô surprise, le gain en tension ainsi que l'impédance d'entrée et de sortie.



E.3 Amplificateur grille commune

Dessiner le schéma équivalent petit signal et obtenez :

- le gain en tension
- l'impédance d'entrée ;
- l'impédance de sortie ;



E.4 Adaptation d'impédance d'amplificateurs représentés par des quadripôles

- Calculez le gain de tension global en boucle ouverte de cette chaîne de 3 amplificateurs.

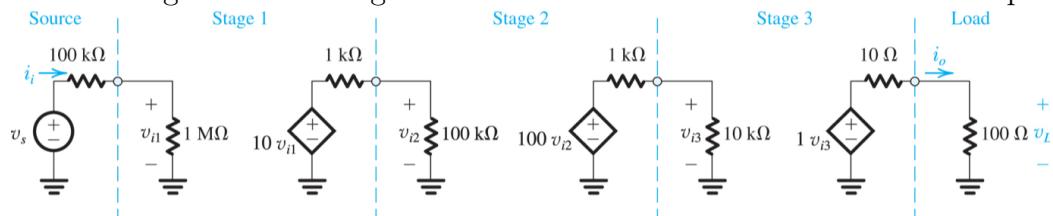
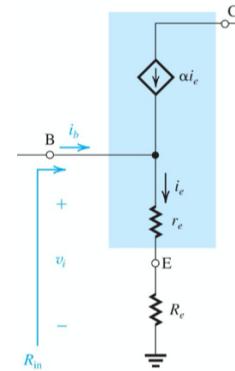


Fig. 1.17, Sedra et al.

- Calculez le gain de tension global en charge de cette chaîne.

E.5 Méthode de calcul d'impédance : la réflexion par la base

Utilisez la méthode de réflexion par la base pour obtenir l'impédance R_{ib} vue à la base d'un transistor BJT.



E.6 Fréquence de coupure basse

À partir du circuit du problème E.1 et en considérant les paramètres suivants :

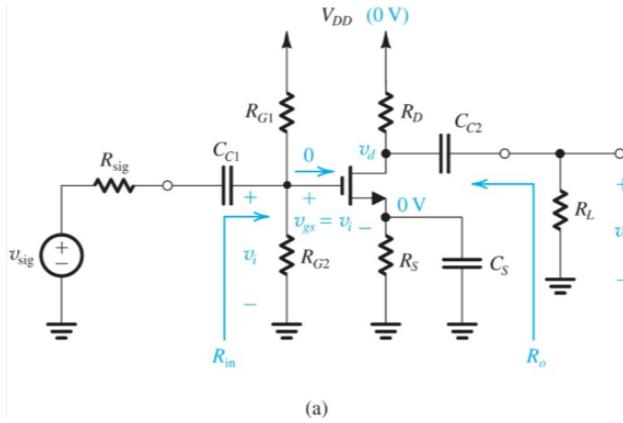
$\beta = 120, V_{CC} = 5V, I_E = 0.3mA, R_{sig} = 5k\Omega, R_1 = 33k\Omega, R_2 = 22k\Omega, R_E = 3.9k\Omega, R_C = 4.7k\Omega, R_L = 5.6k\Omega, C_{C1} = C_{C2} = 1\mu F, C_E = 20\mu F$.

- Calculez la fréquence de coupure associée à chaque condensateur
- Identifiez la fréquence de coupure basse du circuit

19.3 Exercices supplémentaires

S.1 Amplificateur source commune : gain de tension, impédance d'entrée/sortie

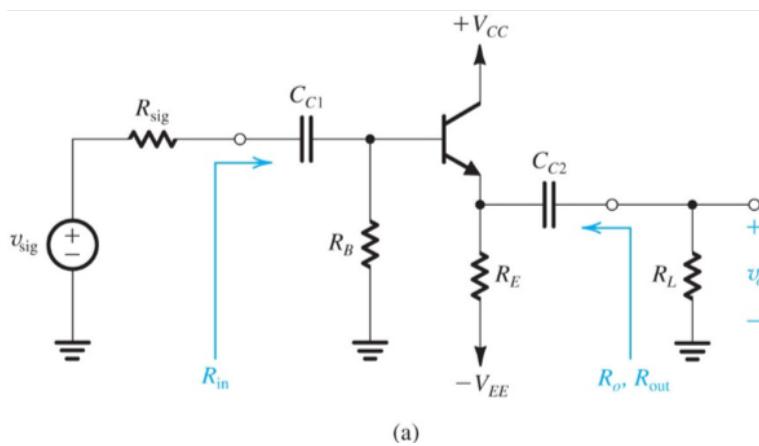
Dessiner le schéma équivalent petit signal et obtenez le gain en tension ainsi que l'impédance d'entrée et de sortie. La solution est détaillée à la section 7.5.5, Sedra *et al.*.



(a)

S.2 Amplificateur collecteur commun ou émetteur-suiveur

Dessiner le schéma équivalent petit signal. Comparez avec le modèle petit signal de l'amplificateur source-suiveur de l'exercice précédent. Pouvez-vous déduire le gain en tension, l'impédance d'entrée, l'impédance de sortie sans autre forme de calcul ? La solution est détaillée à la section 7.5.5, Sedra *et al.*.



(a)

20 PRATIQUE EN LABORATOIRE 2

But de l'activité

Cette activité vise à servir d'exemple de conception d'un étage à partir de spécifications. Nous ferons ensemble la première itération de conception du premier étage de la problématique.

Tableau récapitulatif de formules et de valeurs en vue de la conception

Construisez au fur et à mesure du processus un tableau de valeurs et de formules issues de calculs et de spécifications semblable à celui-ci.

Paramètre	Formule	Valeur requise ou calculée	Commentaire
Bandé passante		$> 500 \text{ kHz}$	Spécification
Gain v_{out}/i_{in}			
V_{CEQ}			
I_{CQ}			

20.1 Exercices

Analyse du circuit

E.1 Analyse DC du circuit original

Calculez les principaux paramètres DC de l'étage (V_{CEQ} , I_{CQ}). Confirmez en simulation et extrayez-en les principaux paramètres AC du transistor. Remplissez le tableau précédent avec les formules appropriées.

Vous pouvez bien entendu référer à votre livrable 1.

E.2 Modèle petit signal de l'étage

Analysez l'étage pour obtenir les expressions du gain de transimpédance v_{out}/i_{in} , de z_{in} et de z_{out} . Continuez à remplir le tableau précédent. Confirmez vos calculs par des simulations .ac et .tran. Remarquez-vous autre chose d'intéressant ?

1^{ère} itération de conception

E.3 Plage utilisable du transistor

Extraire d'un diagramme de Gummel la plage I_C utile du transistor. Le tableau...

E.4 Étude de la bande passante

Expliquez comment la capacité de jonction de la diode base-émetteur (et d'autres capacités ?) forme un filtre responsable de la bande passante limitée de l'étage. Estimez sa fréquence de coupure. Le tableau...

E.5 Gain et plage dynamique

Étudiez quels gain et plage dynamique sont utilisables dans cet étage, analytiquement, graphiquement dans une simulation .tran et/ou sur au moyen d'une droite de charge. Le tableau...

E.6 z_{in} et z_{out}

Calculez les expressions réduites de ces paramètres en fonction des composantes ou de I_{CQ} et imposez des bornes sur leur valeur. Le tableau, évidemment.

E.7 Nouvelles valeurs et simulations

Choisissez des valeurs de composantes qui répondent le mieux possible aux critères de conception que vous avez compilés dans votre tableau jusqu'à maintenant. Validez en simulation.

Préparation de la 2^e itération

Quels paramètres resteront à ajuster lors d'une itération subséquente ?

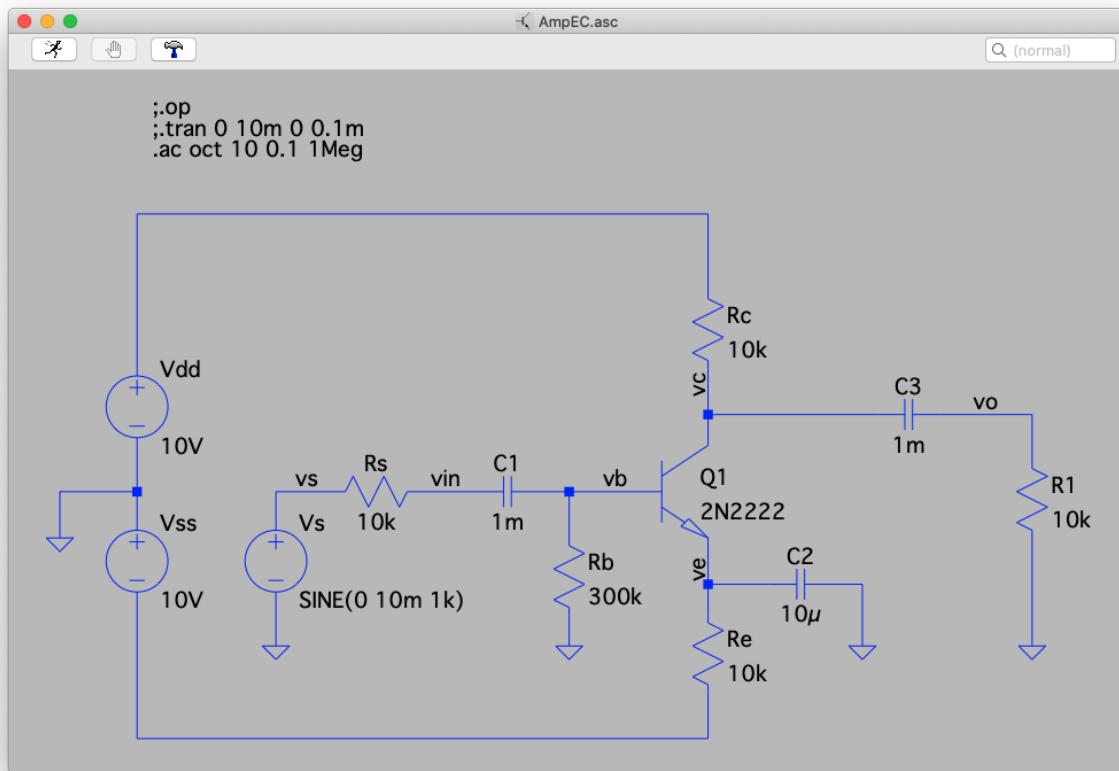
A Grille d'évaluation de la défense

La grille suivra sur le site web.

B Simulation et analyse d'un amplificateur à émetteur commun

Voici un exercice supplémentaire dans LTspice permettant de se familiariser avec l'analyse des résultats de simulation d'un circuit amplificateur.

Consultez la section 7 "Logiciels et matériel" pour la configuration de la source Vs.



- Simulez le circuit de cet amplificateur en utilisant une source d'amplitude $V_{in} = 10 \text{ mV}$ à 1 kHz .
 - Simulez d'abord le point d'opération .op dont les résultats sont dans le fichier ".log". ATTENTION : Celui-ci sera écrasé par les simulations subséquentes. Faites en une copie ! Comparez à votre analyse faite à la main.
 - Sur les courbes caractéristiques obtenues à l'exercice 18.1, spécifiez le point d'opération statique et dessinez les droites de charges.
- Simulez la réponse temporelle .trans sur une durée de quelques cycles. Utiliser des noms de noeud (net) pour faciliter l'identification des tensions et l'analyse.
 - Visualisez les tensions de sortie V_o , V_{in} et V_s , obtenez le gain. Note : Parce que les signaux passent par "0V", la visualisation du gain par le calcul de ratio de type "vo/vin" n'est pas pratique.

- Visualisez les signaux incluant leur partie DC à savoir, la tension à la base, à l'émetteur et au drain.
3. Simulez la réponse fréquentielle .ac du circuit. Il s'agit d'une approximation "petit signal" du comportement de l'amplificateur qui, par exemple, ne tient pas compte de la saturation des transistors. Note : Pour que l'amplitude donnée par l'analyse .ac ait du sens, la source G1 doit générer un signal AC de 1V. Vous devez donner une valeur de $1/0.55m = 1818.2$ au paramètre *AC amplitude* de la source Plumineuse.
- Identifiez les fréquences de coupure basse et haute du circuit.
 - Identifiez le condensateur qui est à l'origine de la coupure basse.
 - Que devez-vous faire pour réduire la coupure basse à moins 10Hz ? Faites vos estimations et essayez les dans le circuit.
4. Mesurez l'impédance d'entrée et de sortie de l'amplificateur
- L'impédance d'entrée s'obtient directement à partir des amplitudes v_{in} et V_s .
 - Pour calculez l'impédance de sortie, vous devez modifier légèrement ($\sim 10\%$) l'impédance de la charge et comparer l'amplitude de sortie entre ces deux cas. Vous obtenez 2 équations (une pour chaque valeur d'impédance de charge) pour résoudre 2 inconnus (l'amplitude au collecteur et l'impédance de sortie de l'amplificateur). Aide : représentez la sortie du circuit petit signal comme un équivalent de Thévenin.
5. Effet des composantes du circuit
- Quel est l'effet de l'augmentation de R_c ? Augmenter le gain comme prévu par les équations ?
 - Quelle est la stabilité du point d'opération et du gain pour de petites variations de R_c , R_e et R_b ? C'est une propriété importante d'un amplificateur à émetteur commun dégénéré (i.e. avec une résistance à l'émetteur).
 - Quelle serait une plage dynamique acceptable (i.e. sans trop de distorsion à l'oeil) en entrée et en sortie pour ce circuit ?
 - **À faible amplitude de sortie ($< 0.5 V$) :** Est-ce que le signal reste centré à 0 ? Est-ce que le signal est encore sinusoïdal (démontrez ceci avec une fft) ? Calculez le gain au maximum (alternance positive) et le gain au minimum (alternance négative). Le gain est-il comparable ?
 - **À forte amplitude de sortie (mais pas trop de déformation du signal) :** Est-ce que le signal reste centré à 0 ? Est-ce que le signal est encore sinusoïdal ? Calculez le gain au maximum (alternance positive) et le gain au minimum (alternance négative). Le gain n'est pas le même... pourquoi ?