
Conception d'un amplificateur opérationnel en composantes discrètes

**GUIDE DE L'ÉTUDIANT
S6é – APP2**

Eté 2025

Auteurs : Jean-Baptiste Michaud, Serge Charlebois.
Version : 4.01 (mai 2025)

Ce document est réalisé avec l'aide de L^AT_EX et de la classe **gegi-app-guide**.

©2025 Tous droits réservés. Département de génie électrique et de génie informatique, Université de Sherbrooke.

TABLE DES MATIÈRES

1 ACTIVITÉS PÉDAGOGIQUES ET COMPÉTENCES	1
2 SYNTHÈSE DE L'ÉVALUATION	2
3 QUALITÉS DE L'INGÉNIEUR	3
4 ÉNONCÉ DE LA PROBLÉMATIQUE	4
4.1 Étapes de conception	11
5 CONNAISSANCES NOUVELLES	19
6 GUIDE DE LECTURE	20
6.1 Références essentielles	20
7 LOGICIELS ET MATÉRIEL	22
8 SANTÉ ET SÉCURITÉ	23
8.1 Dispositions générales	23
8.2 Dispositions particulières	23
9 SOMMAIRE DES ACTIVITÉS	24
10 PRODUCTIONS À REMETTRE	25
10.1 Validation et défense de la solution	25
11 ÉVALUATIONS	26
11.1 Validation et défense	26
11.2 Validation formative 1	26
11.3 Validation formative 2	26
11.4 Validation et défense finale	26
11.5 Évaluation sommative	28
11.6 Utilisation de l'intelligence artificielle générative	28
12 POLITIQUES ET RÈGLEMENTS	30
13 INTÉGRITÉ, PLAGIAT ET AUTRES DÉLITS	31
14 PRATIQUE PROCÉDURALE 1	32
14.1 Exercices préparatoires	32
14.2 Exercices	34
15 SÉMINAIRE	38

16 PRATIQUE PROCÉDURALE 2	39
16.1 Exercices	39
17 PRATIQUE EN LABORATOIRE 1	44
17.1 Exercices	44
18 SÉMINAIRE	53
19 PRATIQUE PROCÉDURALE 3	55
19.1 Exercices	55
20 PRATIQUE PROCÉDURALE 4	58
20.1 Exercices	58
A Grille d'évaluation de la validation et du rapport	60
B Réponses des exercices	61
B.1 Procédural 1	61
B.2 Exercices préparatoires	61
B.3 Exercices	61
B.4 Procédural 2	64
B.5 Laboratoire	67
B.6 Procédural 3	74

1 ACTIVITÉS PÉDAGOGIQUES ET COMPÉTENCES

GEL655 – Physique des composants semiconducteurs

1. Analyser des circuits de polarisation de transistors bipolaires, de MOSFET et de diodes en considérant leur non-idéalités.
2. Concevoir des circuits de polarisation de transistors bipolaires, de MOSFET et de diodes en considérant leur non-idéalités

Description officielle : <http://www.usherbrooke.ca/fiches-cours/gel655>

GEL651 – Électronique II

1. Analyser, concevoir et simuler les configurations d'amplificateurs à transistors et d'amplificateurs différentiels.
2. Analyser, concevoir et simuler des circuits amplificateurs à plusieurs étages.
3. Analyser, concevoir et simuler la réponse en fréquence des amplificateurs.

Description officielle : <http://www.usherbrooke.ca/fiches-cours/gel651>

2 SYNTHÈSE DE L'ÉVALUATION

Évaluation	GEL655-1	GEL655-2	GEL650-1	GEL650-2	GEL650-3	Total
Rapport d'APP	15	15	35	55	45	165
Éval. sommative	25	25	65	135	110	360
Total	40	40	100	190	155	525

TABLEAU 2.1 Synthèse de l'évaluation de l'unité

À titre indicatif, voici la correspondance entre note, cote et niveau d'atteinte des compétences.

Note(%)	<50	50	53	57	60	64	68	71	75	78	81	85
Cote	E	D	D+	C-	C	C+	B-	B	B+	A-	A	A+
Niveau	N0	N1	N1	N1	N2	N2	N2	N3	N3	N3	N4	N4
Libellé	Insuffisant	Passable (seuil)			Bien			Très bien (cible)			Excellent	

3 QUALITÉS DE L'INGÉNIEUR

Les qualités de l'ingénieur visées et évaluées par cette unité d'APP sont données dans le tableau un peu plus bas. D'autres qualités peuvent être présentes sans être visées ou évaluées dans cette unité. Pour une description détaillée des qualités et leur provenance, consultez le lien suivant :

<https://www.usherbrooke.ca/genie/etudiants-actuels/au-baccalaureat/bcapg/>

Qualité	Libellé	Touchée	Évaluée
Q01	Connaissances en génie	✓	✓
Q02	Analyse de problèmes	✓	✓
Q03	Investigation		
Q04	Conception	✓	✓
Q05	Utilisation d'outils d'ingénierie	✓	✓
Q06	Travail individuel et en équipe		
Q07	Communication		
Q08	Professionnalisme		
Q09	Impact du génie sur la société et l'environnement		
Q10	Déontologie et équité		
Q11	Économie et gestion de projets		
Q12	Apprentissage continu		

4 ÉNONCÉ DE LA PROBLÉMATIQUE

Conception d'un amplificateur opérationnel en composantes discrètes

L'amplificateur opérationnel reste probablement l'application analogique contemporaine la plus répandue de l'électronique. Comprendre la structure élémentaire d'un tel amplificateur permet d'expliquer comment cette structure sous-tend ses propriétés et son comportement.

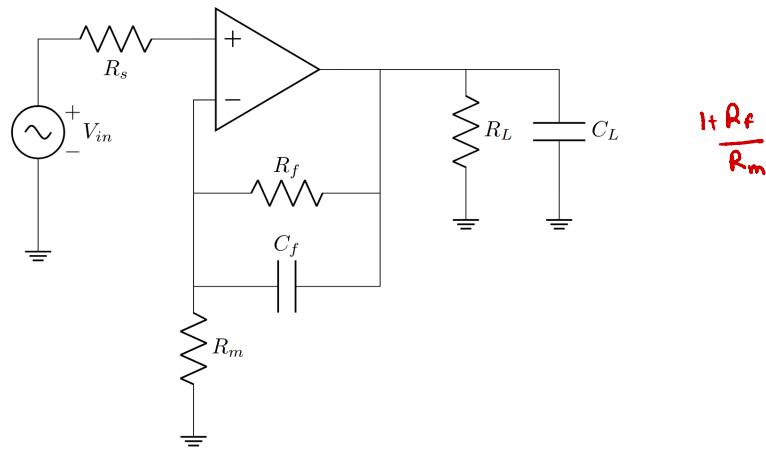
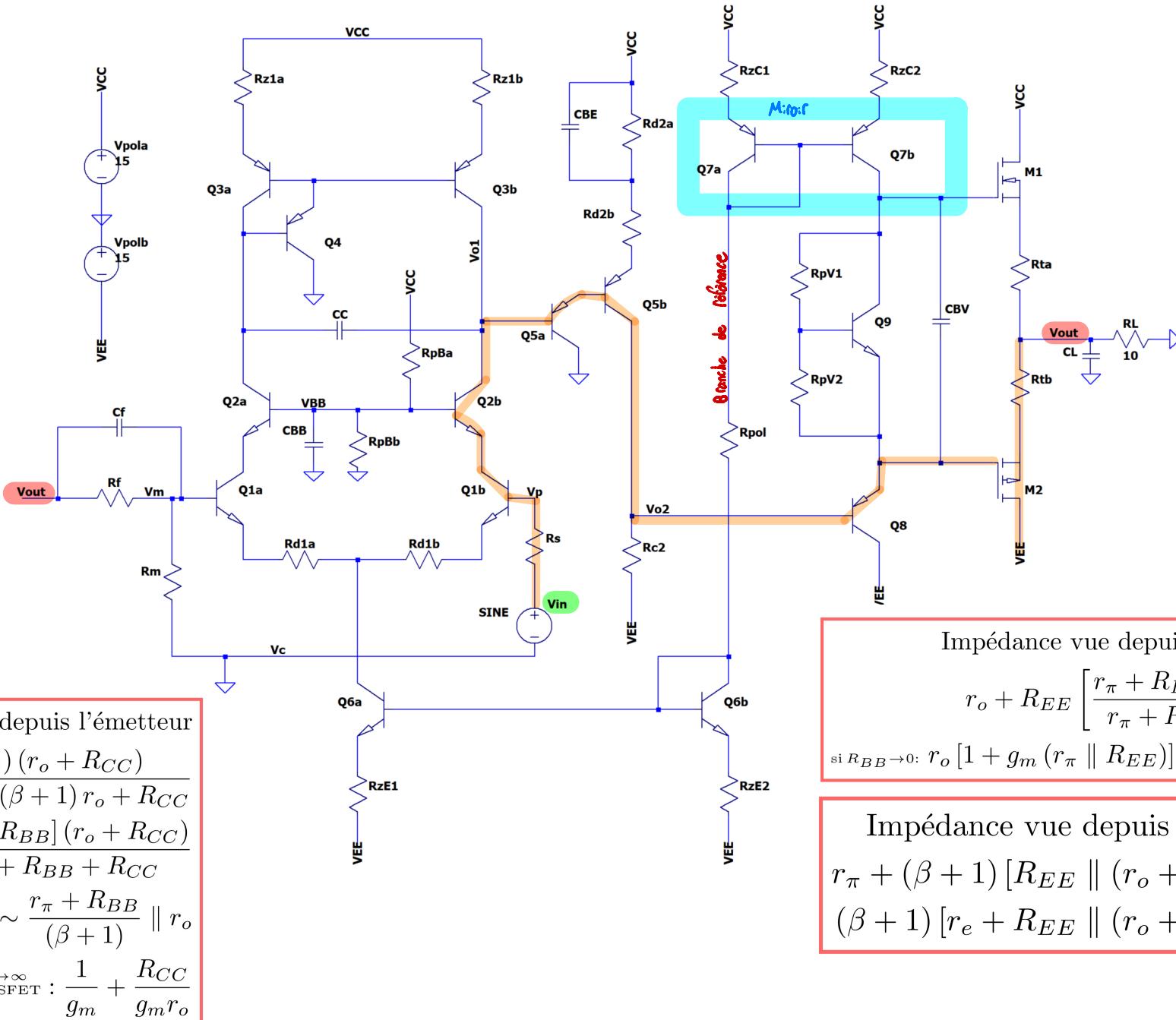


FIGURE 4.1 Amplificateur avec boucle de contre-réaction négative

Un amplificateur opérationnel simplifié est montré à la figure 4.2 et est fourni en fichier de départ de simulation. Il comporte, comme à l'habitude, une entrée différentielle, les bornes + et -, et une sortie unipolaire. On l'utilise habituellement en boucle fermée à l'aide d'un réseau de contre-réaction (figure 4.1). On modélise sa source différentielle comme un signal variationnel et une impédance parasite, tandis qu'à la sortie **on tient compte d'une éventuelle composante capacitive de la charge**. Dans cette application typique avec des alimentations symétriques, **le mode commun** à l'entrée est de 0 V.

À la différence de l'APP précédent, les étages sont directement connectés les uns aux autres puisque la fréquence 0 (DC) fait partie de la bande passante d'un amplificateur opérationnel et qu'il doit exister un chemin DC entre l'entrée et la sortie. Les points d'opération de tous les étages sont donc interdépendants et souvent un étage est directement polarisé par un autre. Autre conséquence, **les impédances r_o ne sont souvent plus négligeables** lorsqu'un transistor n'est branché qu'à d'autres transistors. On notera dans la même ligne de pensée que la polarisation est habituellement réalisée activement, avec des miroirs de courant, pour

FIGURE 4.2 Circuit de l'amplificateur opérationnel



mitiger l'impédance parasite parallèle des sources de courant ainsi matérialisées. Ici un seul courant de référence génère tous les courants de polarisation nécessaires. De plus, dans un amplificateur opérationnel, l'hypothèse d'utilisation en petit signal est rarement respectée. Il faut donc judicieusement choisir les points d'opération pour maximiser les plages dynamiques de tension et de courant disponibles.

L'amplificateur lui-même est construit de 3 étages. Le premier, schématisé à la figure 4.3, est comme à l'habitude un étage différentiel. Dans ce cas-ci, la plage de mode commun disponible à l'entrée est assez limitée par rapport aux alimentations, par opposition à un amplificateur moderne *rail-to-rail*. La topologie est par ailleurs assez courante, une cascode (un émetteur commun suivi d'une base commune qui agit comme tampon de courant) avec charge active, avec un gain intrinsèque très grand. Le CMRR résultant est aussi assez typique.

Le deuxième étage, schématisé à la figure 4.4, est une configuration connue avec un Darlington pour favoriser l'adaptation d'impédance avec la sortie de l'étage différentiel. Un bypass partiel de R_E permet de contrôler en même temps le point d'opération, l'impédance d'entrée et le gain. Cet étage sert essentiellement à adapter les niveaux DC entre l'étage différentiel et l'étage de sortie, et implémente un peu de gain de tension pour limiter la plage dynamique de tension requise à la sortie de l'étage différentiel.

Le dernier étage, schématisé à la figure 4.5, est un suiveur push-pull qui permet d'accommorder des charges de petite valeur. Une partie de la circuiterie associée (V_{tt} , réalisée avec un V_{BE} -multiplier) l'amène tout juste au seuil de conduction, pour minimiser la distorsion. Un autre suiveur injecte le signal à partir de l'étage précédent, en adaptant l'impédance d'entrée qui varie substantiellement en fonction de la fréquence dans cet étage.

Utiliser l'amplificateur opérationnel en boucle fermée amène plusieurs avantages, comme l'amélioration de la bande passante et de la distorsion harmonique, ainsi que la stabilisation des paramètres comme le gain et l'amélioration des impédances vues par la source et la charge. On peut modéliser la boucle fermée autant à l'aide de graphes (solution graphique) que de quadripôles (solution analytique), qui tiennent compte des effets de la charge lorsque l'amplificateur opérationnel n'est pas idéal.

Qui dit boucle fermée dit instabilité potentielle. Les critères quantitatifs habituels comme la marge de gain et la marge de phase sont les plus utilisés en électronique. Ces critères sont affectés directement par le comportement haute fréquence du transistor où des parasites capacitifs découlant surtout des capacités de jonction apparaissent, créant une multitude de pôles et de zéros dans les amplificateurs multi-étages. Heureusement, plusieurs méthodes comme une compensation ou une charge capacitive judicieusement placée permettent au

concepteur de réduire le modèle pratique de l'amplificateur à un passe-bas avec un seul pôle. Cependant la réalisation en transistors discrets (plus gros) nous force à dégénérer substantiellement les gains, puisque les capacités parasites plus importantes diminuent les marges de gain et de phase, comparativement à un circuit intégré. Comme le réseau de contre-réaction est habituellement passif, son gain est au mieux unitaire et l'analyse de stabilité pour ce pire cas garantit dans la plupart des cas la stabilité en boucle fermée.

Pour solutionner le circuit, il reste à dimensionner les différentes composantes pour atteindre les spécifications regroupées au tableau 4.1. Ce processus est par nature itératif, étant donné l'interdépendance de plusieurs spécifications. La section 4.1 (p. 11) vous propose une approche qui converge assez rapidement, mais elle presuppose de comprendre la stratégie globale et l'objectif de chaque étape, et donc l'impact de chacun des changements sur chacune des spécifications, ou en d'autres mots, quelle composante influe sur quel requis. une grille de conception qui regroupe l'ensemble des équations qui gouvernent le circuit et les bornes déduites pour l'ensemble des valeurs est indispensable pour itérer optimalement.

Par ailleurs, on n'effectue que très rarement l'analyse détaillée de tels circuits à la main, au-delà de la compréhension haut-niveau de leur comportement. La simulation dépasse la fonction d'analyse et devient un outil essentiel de conception. Une stratégie explicite de contrôle des versions permet de référer plus facilement aux étapes antérieures, et accélère la compréhension de l'impact des topologies et des valeurs individuelles sur les performances au-delà du simple essai et erreur, peu efficace ici. Les outils habituels fonctionnent bien avec les fichiers sauvegardés par LTSpice, qui sont des fichiers texte.

Enfin le tableau 4.2 vous propose différentes quantités qui ne font pas l'objet d'une cible précise ici, mais intéressantes à mesurer a posteriori pour différentes raisons.

TABLEAU 4.1 Liste des spécifications

Paramètre	Plage acceptable	Commentaire
z_{id} <i>differential</i>	$> 1 \text{ M}\Omega$	BO
z_{ic} <i>Common</i>	$> 10 \text{ M}\Omega$	BO
Marge gain	$> 10 \text{ dB}$	
Marge phase	$> 30^\circ$	
C_L	0 à 1 μF	
R_L	10Ω à circuit ouvert	
Bandé passante	DC à 100 kHz	BF
CMRR	$> 100 \text{ dB}$	
$A_{vd} = A_{vBO}$	$> 60 \text{ dB}$	Dans la bande passante BO
A_{vBF}	10 V/V	BF
Distorsion harmonique	$\sim 1 \%$	BF @ 10 kHz et $V_{out} = 10 \text{ V}_{\text{crête}}$
Plage dynamique V_{out}	$\sim 10 \text{ V}_{\text{crête}}$	
Plage mode commun entrée	-2 à 2 V	

TABLEAU 4.2 Mesures pertinentes à faire après la conception

Paramètre	Commentaire
z_{out} Puissance moyenne dissipée dans chacune des composantes	BO et BF $R_L = 10 \Omega$ et $V_{out} = 10 \text{ V}_{\text{crête}}$

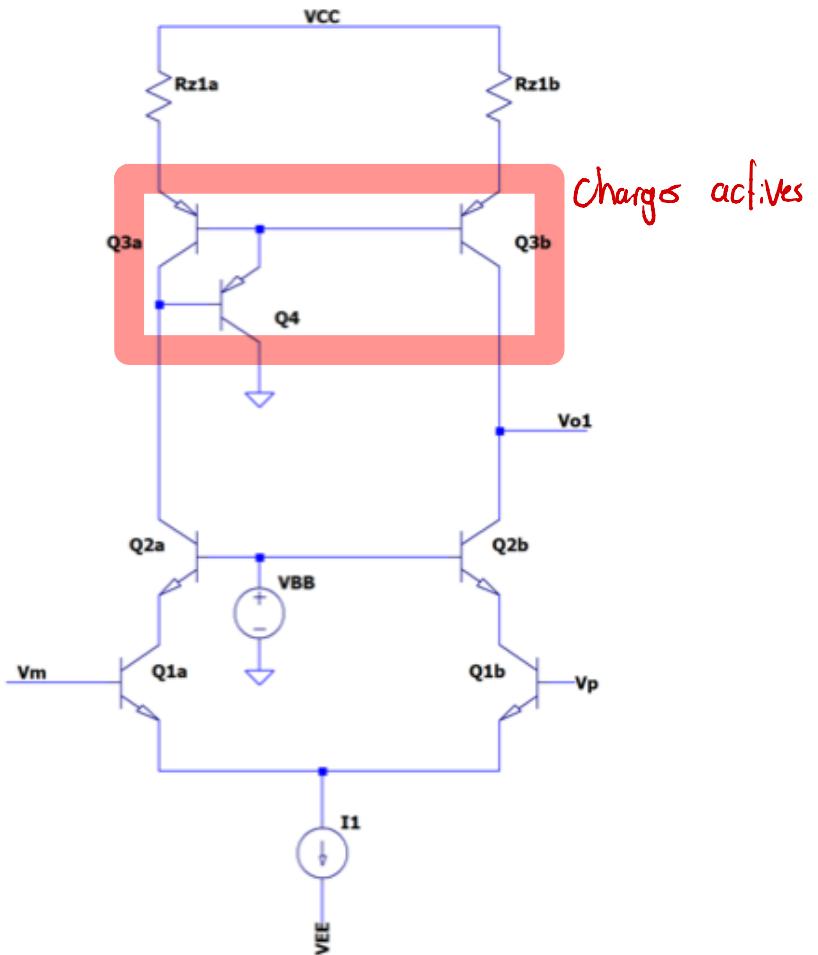


FIGURE 4.3 Premier étage – Amplificateur différentiel

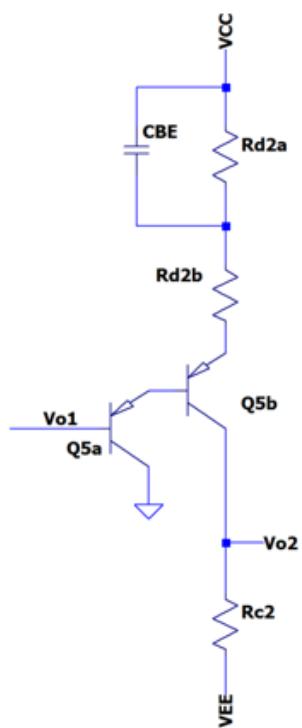


FIGURE 4.4 Deuxième étage – Darlington en émetteur commun

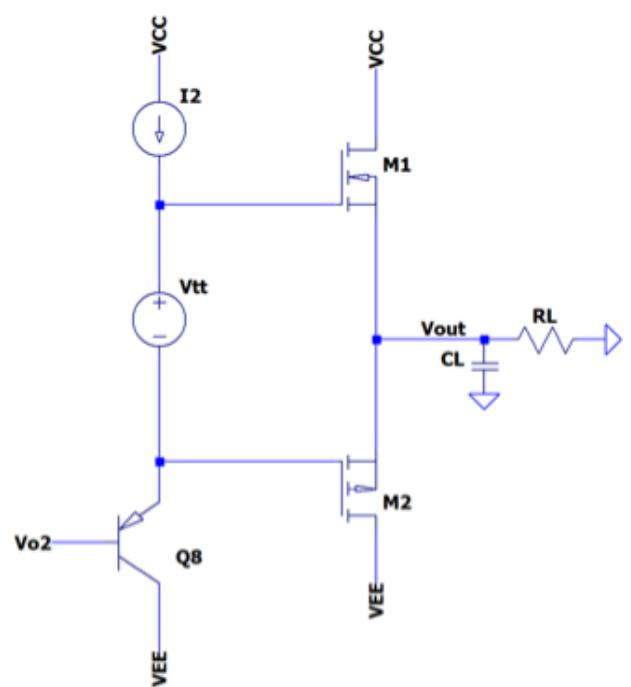


FIGURE 4.5 Troisième étage – Configuration Push-Pull

4.1 Étapes de conception

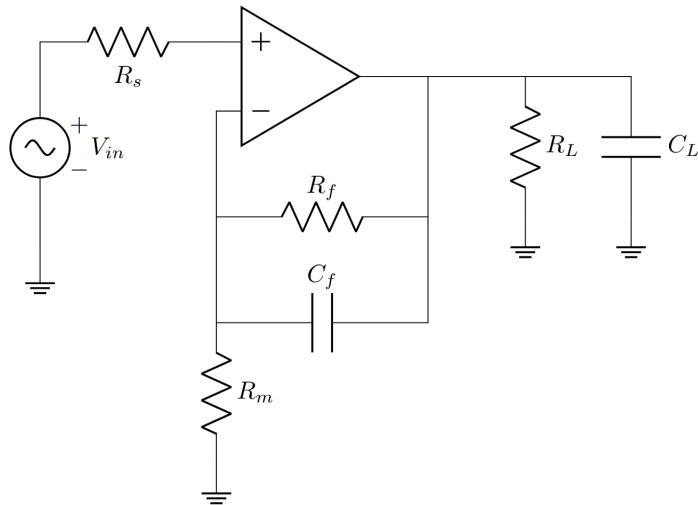
Développer une vision d'ensemble du circuit

0. Comprendre d'abord les objectifs et les impacts de chaque étape sur le circuit global.

Dans un circuit électronique multiétages, a fortiori un circuit couplé DC, il est presque impossible de contrôler indépendamment un paramètre ou une seule spécification.

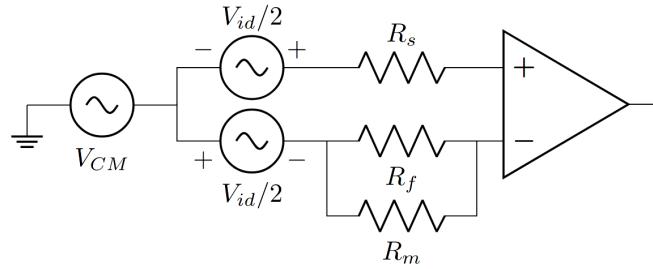
- Construire une synthèse des requis de chaque étage, et étudier à l'avance les étapes proposées pour déduire le comportement anticipé à l'aide des équations connues (dont plusieurs étudiées à l'APP1).
- Dresser sous forme d'une grille de conception une liste de l'ensemble des impacts du ou des changements demandés sur les autres paramètres ou spécifications ; vous vérifierez la validité de ces hypothèses en simulation au fur et à mesure, et les maintiendrez à jour.
- Certaines spécifications ne sont pas explicitement mentionnées dans cette procédure, attention de comprendre à l'avance ce qui les influence.

Étapes préliminaires



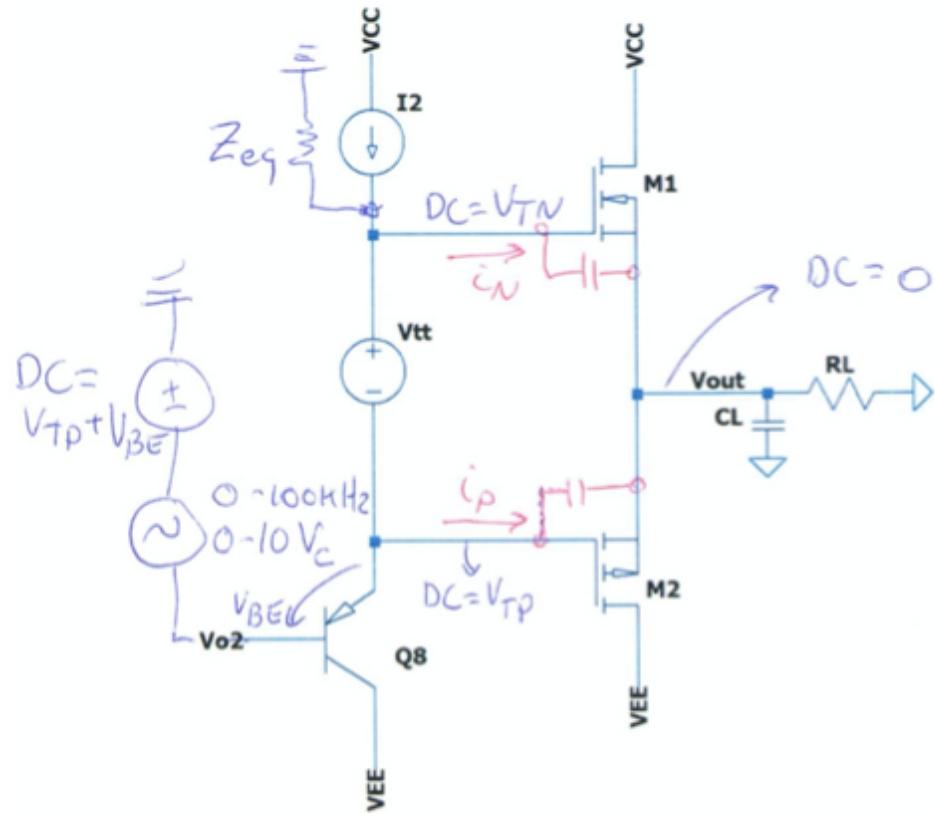
1. Choisir un ratio de résistance R_f/R_m pour obtenir le gain BF désiré en assumant dans un premier temps un ampli-op idéal. Fixer R_s en conséquence pour balancer l'offset à l'entrée pour la durée de la conception.

2. Ouvrir la boucle en conservant le réseau de résistance à la patte V_m et réarranger les sources adéquatement. v_{id} peut être scindée entre les deux banches comme dans une analyse à la main, mais ce n'est pas indispensable.

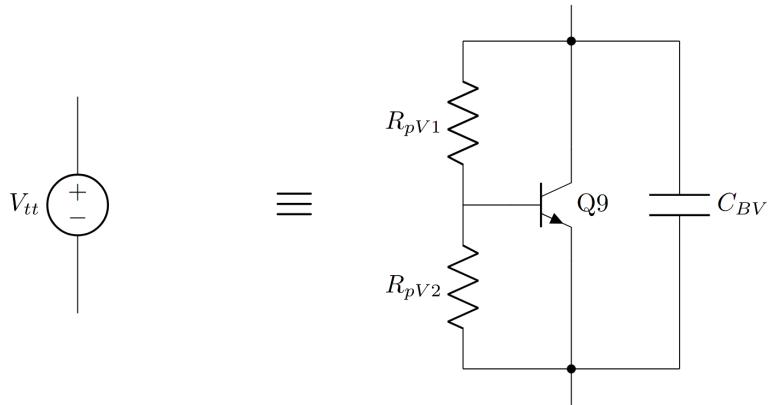


3. Choisir un ordre de grandeur pour les courants de polarisation des transistors BJT en fonction de leur diagramme de Gummel. Mesurer V_A des BJTs.

Étage de sortie

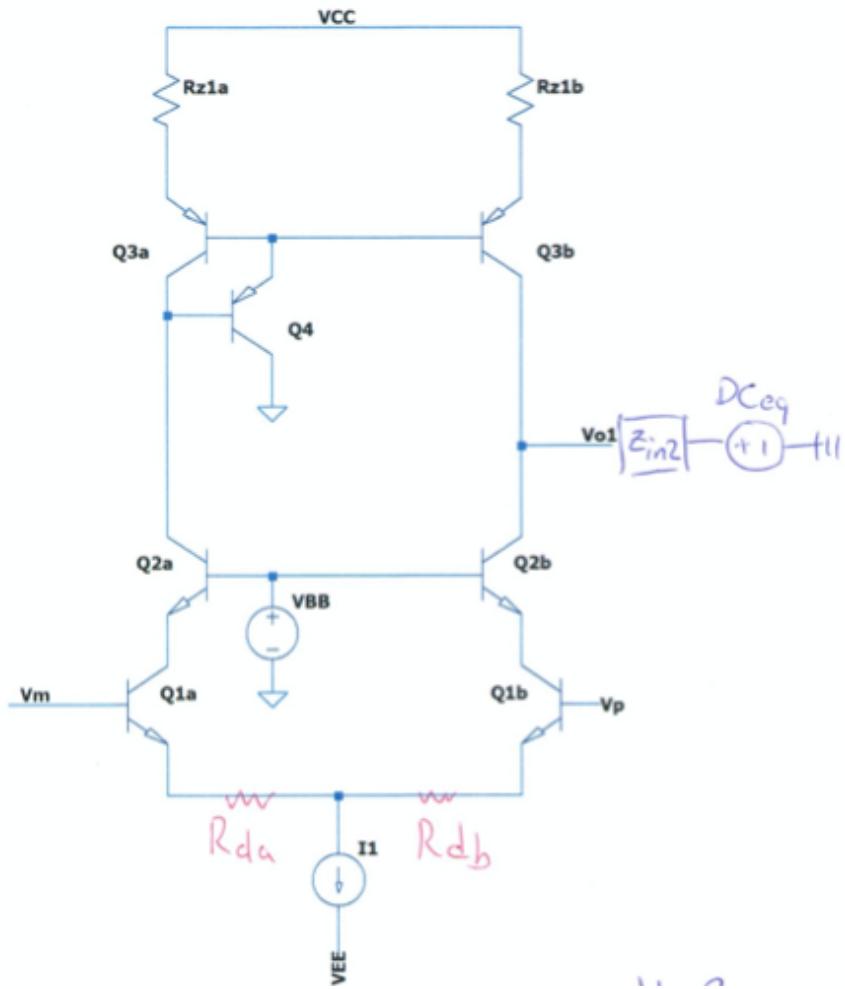


4. Mesurer le threshold V_{TP} et V_{TN} des FETs. Étudier le courant de grille nécessaire i_N et i_P pour opérer les FETs sur la plage de fréquences souhaitée avec la pire charge capacitive. Choisir un courant de polarisation I_2 conséquent pour la branche d'attaque des FETs et utiliser temporairement une source de courant idéale.
5. Dimensionner le V_{BE} multiplicateur (donc V_{tt}) pour obtenir quelques mA au repos dans les FETs, pour $V_{out} = 0$. Il faudra peut-être manuellement forcer V_{o2} à une source DC de la bonne valeur pour atteindre cette condition. Privilégier des courants du même ordre de grandeur dans le réseau de résistances R_{pV} que dans le transistor.

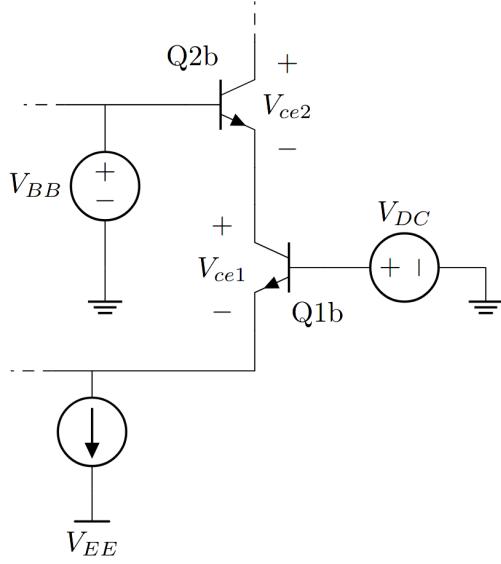


6. Dimensionner C_{BV} pour rendre le V_{BE} multiplicateur court-circuit à partir de quelques dizaines de Hz.
7. Mesurer le gain et l'impédance d'entrée en fonction de la fréquence pour l'étage de sortie.

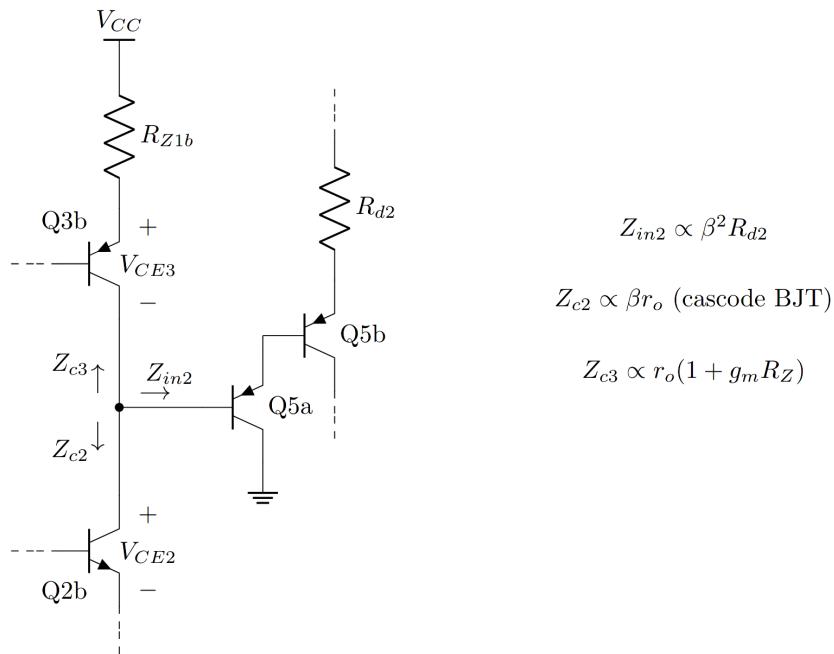
Étage différentiel



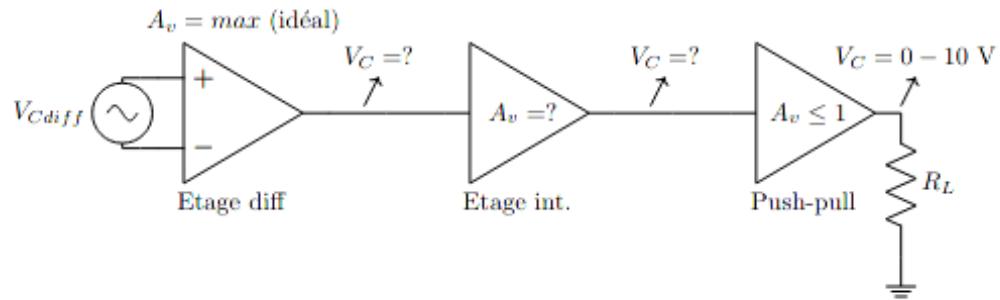
8. Choisir V_{BB} qui respecte les requis de la plage de mode commun à l'entrée. Dimensionner les composantes associées.



9. Étudier le gain intrinsèque (sans dégénérescence ni compensation) de l'étage d'entrée à des valeurs de courant similaire aux conclusions de 3. Utiliser temporairement une source de courant idéale I_1 pour la polarisation.
10. Maximiser le gain de l'étage différentiel en même temps que l'adaptation d'impédance à la sortie de l'étage différentiel en choisissant des ordres de grandeur pour R_{z1} et R_{d2b} en tenant compte des requis déterminés en 3 et 9.



Étage intermédiaire



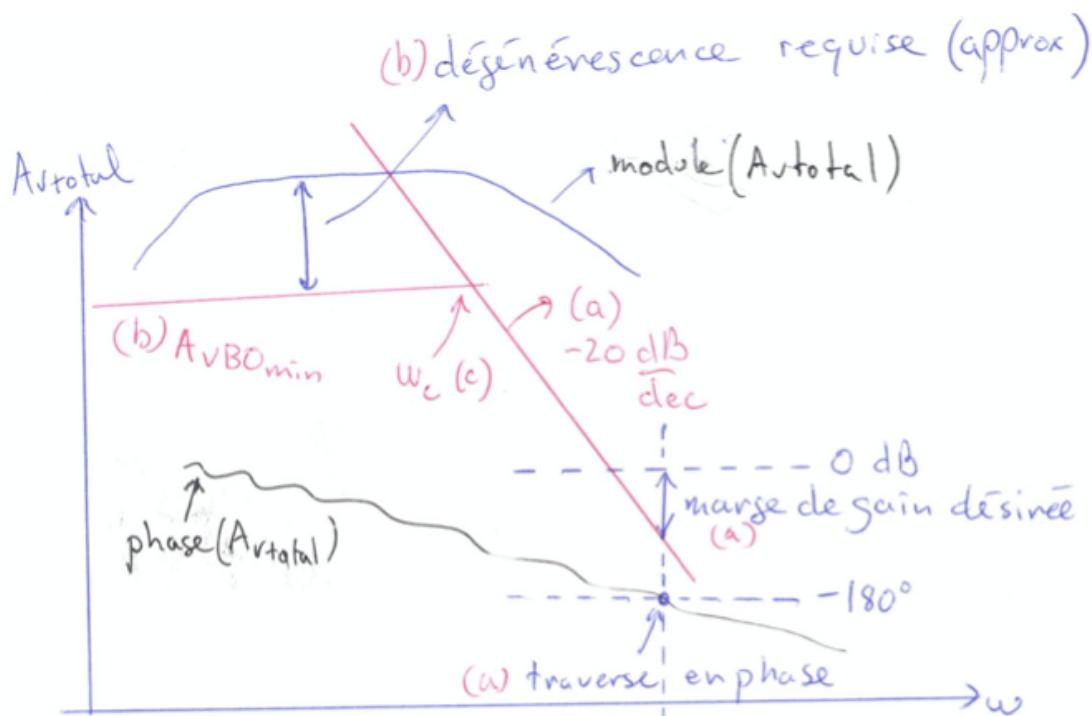
11. À partir de la plage dynamique requise en sortie, choisir en regard de 7 un gain (R_{c2} et R_{d2b}) pour l'étage intermédiaire qui conduit à une plage dynamique ($V_{crête}$) acceptable à la sortie de l'étage différentiel (V_{o1}), de l'ordre de la moitié de la plage totale disponible à cet endroit pour garder l'étage différentiel dans une zone la plus linéaire possible (aidera à la distorsion plus tard). Itérer si nécessaire avec l'opération précédente.
12. Finir la polarisation de l'étage intermédiaire (R_{d2a} , C_{BE}).

Polarisation

13. Remplacer toutes les sources idéales par des miroirs de courant.
14. Ajuster les R_{zC} pour adapter l'impédance vue dans la source de courant qui polarise l'étage d'injection des FETs.

Stabilité

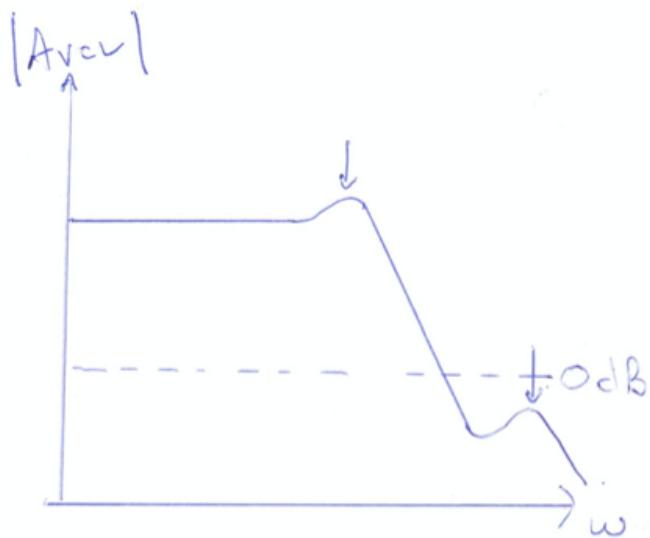
15. Mesurer les marges de gain et de phase de l'ensemble des étages. Ajuster au besoin la dégénérescence de l'étage intermédiaire pour le rendre individuellement stable, en gardant un œil sur la plage dynamique requise à la sortie de l'étage différentiel. Il n'est pas nécessaire de satisfaire la spec complète de marges pour chaque étage, mais chaque étage individuel doit être strictement stable.
16. Récupérer la marge de gain et de phase nécessaires à la stabilité de l'ampli complet dans l'étage différentiel.



- (a) Déterminer d'abord la fréquence de traverse en phase, et tracer une droite de -20 dB par décade qui respecte la marge de gain à cette fréquence.
- (b) Dégénérer l'étage différentiel pour obtenir le gain minimal requis en BO et tracer une deuxième droite.
- (c) Rendre la charge de l'étage différentiel partiellement capacitive au moyen de C_C . Déterminer la fréquence requise du pôle à l'intersection des deux droites et dimensionner C_C en conséquence. Valider que ce pôle est bien dominant et que l'ampli peut être approximé par un passe-bas d'ordre 1.
- (d) Itérer en faisant varier R_L et C_L pour obtenir la dégénérescence minimale et la plus petite capacité C_C qui respectent les requis de stabilité. Il est souhaitable de maximiser le gain de l'étage différentiel pour préserver l'idéalité de l'ampli-op.

Autres ajustements

17. Ajuster les R_{zE} pour obtenir le CMRR voulu.
18. Fermer la boucle et dimensionner empiriquement C_f (typiquement en pF) pour minimiser les résonnances observées dans la partie supérieure de la bande passante ou hors bande en haute fréquence. Itérer sur la plage de R_L et C_L .



19. Mesurer la distorsion harmonique et itérer au besoin sur les polarisations (courants, V_{CE}) et les plages dynamiques choisies pour opérer dans des régions plus linéaires.

Peaufinement

20. Valider l'ensemble des spécifications. Itérer au besoin.

5 CONNAISSANCES NOUVELLES

Connaissances déclaratives (quoi)

- Origine physique des parasites haute fréquence des transistors BJT et MOSFET
- Modèle grand signal des transistors
- Circuits de polarisation
- Structure et caractéristiques des sources de courant (stabilité du courant de sortie, impédance de la source)
- Configurations de base des amplificateurs faibles signaux et leurs caractéristiques
- Réponse en fréquence des amplificateurs faibles signaux (fréquence de coupure basse et haute, effet Miller)
- Structures et caractéristiques des amplificateurs différentiels (gains, impédances d'entrée, impédance de sortie, mode de fonctionnement)
- Amplificateurs différentiels à charge active
- Stabilité des amplificateurs différentiels
- Linéarité des amplificateurs

Connaissances procédurales (comment)

- Déterminer les caractéristiques d'un amplificateur à transistors
- Estimer la réponse en fréquence d'un amplificateur à transistors, incluant l'effet Miller, le cas échéant
- Déterminer les caractéristiques d'un amplificateur différentiel
- Analyser et concevoir des sources de courant
- Polariser des circuits à l'aide de sources de courant
- Utiliser les sources de courant comme charge active
- Déterminer la stabilité d'un amplificateur opérationnel
- Déterminer le type de rétroaction à appliquer à un amplificateur
- Calculer les caractéristiques d'un amplificateur à rétroaction
- Utiliser un logiciel pour analyser un circuit à transistors

Connaissances conditionnelles (quand)

- Choisir un transistor selon ses caractéristiques pour une application spécifique
- Choisir une configuration spécifique d'un amplificateur à transistor

6 GUIDE DE LECTURE

6.1 Références essentielles

- Sedra et Smith - **Microelectronic Circuits**, 8e edition, Oxford University Press, 2019, 1296 pages, ISBN 9780190853464. Auteurs : Adel S. Sedra, Kenneth C. (KC) Smith, Tony Chan Carusone, and Vincent Gaudet.
- « Synthèse du comportement fréquentiel », JB Michaud, 2021

Des compléments (tables importantes et annexes) sont disponibles en ligne :

https://learninglink.oup.com/access/sedra8e-student-resources#tag_all-chapters

Procédural 1

Vous devez avoir complété les lectures suivantes pour le 1^{er} procédural :

- Section 8.2 – Miroir de courant
- Section 8.3 – Charge active
- Sections 9.1, 9.2 – Paire différentielle
- Section 9.5 – Paire différentielle avec charge active
- Section 12.4.1 – Amplificateur de type *push-pull*
- Section 12.5.2 – Référence de tension V_{BE} -multiplier

Procédural 2

Vous devez avoir complété les lectures suivantes pour le 2^e procédural, dont :

- Sections 8.3.4, 8.4 et 8.5 – Base/Grille commune et Cascode
- Section 10.1 – Physique haute fréquence du transistor
- Section 10.2 – Modèle petit signal à haute fréquence
- Section 10.3 – Comportement haute fréquence des amplificateurs
- Document « Synthèse du comportement fréquentiel », JB Michaud – voir site de session
- Révision – Annexe F, Sedra *et al.*, par exemple, la construction d'un lieu de Bode d'amplitude et de phase à la section F.3

Procédural 3

Voici enfin les lectures pour le 3^e procédural :

- Section 11.6 – Méthodologie de résolution BF avec quadripôles
- Section 11.1 à 11.4 incl. – Boucle de rétroaction

Lectures facultatives

- Section 11.5 – Contre-réaction autres topologies
- Section 13.1.4 – Common mode rejection ratio
- Section 13.2.6 – Amplificateur "Rail-to-Rail" à MOSFET
- Section 13.3.5 – Amplificateur "Rail-to-Rail" à BJT

7 LOGICIELS ET MATÉRIEL

L'outil de conception assistée par ordinateur utilisé dans cette APP est LTspice disponible dans tous les laboratoires du département. Vous pouvez installer ce logiciel en accès gratuit sur tout ordinateur.

Installation de la librairie DMC3021LK4.lib

Nous ne vous fournissons que la librairie **DMC3021LK4.lib** (à télécharger sur le site de session) comprenant les modèles des transistors MOSFET utilisés pour l'activité. Il n'y a pas d'installation à proprement parler. Cette librairie doit être copiée dans chacun des répertoires où vous souhaitez faire une simulation (avec MOSFET évidemment). De plus, chaque schématique faisant appel à cette librairie doit comprendre la directive SPICE **.lib**. Nous recommandons l'utilisation d'une référence relative au répertoire du fichier **.asc** de la forme **.lib "/...arborescence.../DMC3021LK4.lib"**

Utilisation de LTspice

Référez-vous au guide de l'APP1 pour l'utilisation de LTspice et pour des exemples de simulations.

8 SANTÉ ET SÉCURITÉ

8.1 Dispositions générales

Dans le cadre de la présente activité, vous êtes réputés avoir pris connaissance des politiques et directives concernant la santé et la sécurité. Ces documents sont disponibles sur les sites web de l'Université de Sherbrooke, de la Faculté de génie et du département. Les principaux sont mentionnés ici et sont disponibles dans la section *Santé et sécurité* du site web du département : <https://www.gel.usherbrooke.ca/santesecurite/>.

- Politique 2500-004 : Politique de santé et sécurité en milieu de travail et d'études
- Directive 2600-042 : Directive relative à la santé et à la sécurité en milieu de travail et d'études
- Sécurité en laboratoire et atelier au département de génie électrique et de génie informatique

8.2 Dispositions particulières

Il s'agit d'une APP résolue par simulations. Il n'y a donc aucune règle particulière.

9 SOMMAIRE DES ACTIVITÉS

Semaine 1

- Première rencontre de tutorat
- Étude personnelle et exercices
- Formation à la pratique procédurale 1
- Formation à la pratique procédurale 2
- Formation à la pratique en laboratoire/simulation
- Formation à la pratique procédurale 6000

Semaine 2

- Formation à la pratique en laboratoire/simulation
- Formation à la pratique procédurale 6000
- Validations formatives

Semaine 3

- Validation de la solution
- Remise des livrables d'APP
- Deuxième rencontre de tutorat
- Défense de la solution
- Évaluation formative théorique écrite
- Évaluation sommative théorique écrite

10 PRODUCTIONS À REMETTRE

- La défense et la validation se font par équipe de 3 personnes, sauf autorisation explicite de l'équipe professorale.
- L'identification des membres des équipes doit être complétée sur la page web de l'unité avant 16h30, le lendemain de votre premier tutorat.
- Les productions soumises à l'évaluation doivent être originales pour chaque équipe, sinon les productions pourraient être considérées comme du plagiat.
- Ne pas oublier les dépôts électroniques séparés liés aux validations formatives, à la validation pratique et à la défense, sous diverses formes dans Moodle ou sur le site du Département. Les dépôts doivent comprendre l'ensemble du matériel soumis à l'évaluation, y compris les différentes versions de schémas, journaux de bord et tout matériel de conception pertinent.
- Le dépôt final, i.e. de la validation pratique et de la défense, doit inclure tous les documents, incluant les validations formatives.
- Un dépôt *en retard* est assujetti aux pénalités habituelles de 10% par jour de retard. Un dépôt *incomplet* peut entraîner a posteriori la note 0 pour la validation **et** le rapport.

10.1 Validation et défense de la solution

La principale production sommative est une défense orale de votre solution à la problématique, qui consiste en une archive complète, une validation pratique et une partie orale plus théorique. Des productions formatives obligatoires sont détaillées à la section suivante.

11 ÉVALUATIONS

11.1 Validation et défense

La grille combinée d'évaluation de la défense et de la validation pratique est donnée à l'annexe A.

L'évaluation de la défense/validation d'APP contribue à l'évaluation des éléments de compétence de l'unité. On évalue l'exactitude, la précision, la valeur de chaque élément de solution.

La qualité de la communication ne sera pas évaluée de façon sommative mais si les livrables sont fautifs sur le plan de la qualité de l'écrit et de la présentation, ils vous seront retournés pour correction avant qu'ils ne soient notés.

11.2 Validation formative 1

Vous devrez obligatoirement déposer les documents suivants :

1. **Courants de polarisation** : Une grille de conception présentant les courants de polarisation dans toutes les branches du circuit. Vous devez identifier les équations qui fixent ces courants de polarisation. Vous devez également exprimer le point d'opération de certains transistors et certains paramètres petit signal. Un gabarit vous sera fourni.
2. **Lieu de Bode du circuit complet** Le lieu de Bode de l'amplificateur en boucle fermée tel que représenté à la Fig. 4.1 de ce guide. Donnez également les équations des fréquences de coupure associées aux condensateurs C_f (1 pôle et 1 zéro) et C_L (1 pôle). Note : Considérez une impédance de sortie finie (Pouvez-vous justifier pourquoi?). Vous pouvez confirmer votre analyse par une simulation utilisant une source dépendante de type E. N'oubliez pas d'inclure une impédance de sortie finie.

11.3 Validation formative 2

Vous devrez obligatoirement compléter et déposer la grille de conception débutée à la validation 1. Un gabarit vous sera fourni.

11.4 Validation et défense finale

L'archive complète doit être remise avant le matin de la journée de validation/défense en suivant les indications du site de l'APP. Celle-ci doit comprendre la présentation, les journaux de bord et tous les fichiers de simulation de la solution incluant les différentes solutions intermédiaires.

11.4.1 Validation finale pratique

Au laboratoire, en respectant l'horaire prévu (20 minutes par équipe), l'équipe professorale vous questionnera sur le processus de conception lui-même. Vous devez pouvoir effectuer les simulations requises en direct pendant la validation. Il n'y a pas de présentation formelle à préparer. La qualité de l'organisation n'est pas évaluée explicitement, mais une validation mal structurée est une perte de temps précieux dans l'évaluation des autres éléments couverts. Vous devrez présenter les éléments suivant pour évaluation :

1. Le fonctionnement global de la solution à la problématique, en simulation. **Vous devez pouvoir effectuer les simulations requises en direct pendant la validation,** et ce de manière à démontrer l'atteinte de n'importe laquelle des spécifications des tableaux [4.1](#) et [4.2](#).
2. La démonstration générale en simulation de l'atteinte de certaines spécifications. Vous devez présenter **toutes** les étapes 5, 8, 10, 15, 17 et 19 (voir section [4.1](#)). **L'équipe professorale doit voir fonctionner votre simulation.** Dupliquez les circuits et les simulations au besoin pour montrer l'ensemble des points sans reconfigurer votre logiciel.
3. Les explications générales des choix de conception pour cette(s) spécification(s). Démontrez votre maîtrise de la solution et justifiez vos choix de conception en fonction de la théorie et des observations en simulation. L'équipe professorale se réserve le droit d'attribuer une note individuelle s'il est particulièrement évident qu'une personne ne peut fournir de justification adéquate aux performances de sa solution, que cette personne ait participé à l'atteinte de cette spécification ou non.

11.4.2 Défense orale de la solution

Cette partie prendra la forme d'une présentation orale de 30 minutes. Elle évaluera votre compétence à effectuer certaines analyses au moyen d'exemples ciblés (afin d'optimiser la longueur de la défense). Pour les éléments demandés, vous discuterez des résultats, justifierez vos choix et exposerez votre méthodologie de résolution.

- Le schéma final du circuit indiquant les valeurs finale des composantes.
 - La grille de conception complète comprenant tous les étages et la contre-réaction.
 - La démarche de conception pour **les étapes 4, 9, 11, 12, 14, 16 et 18** de la section [4.1](#) :
- Sans entrer dans le menu détail des calculs¹, les grandes lignes de chaque étape de

1. Note : Soutenez vos explications et vos justifications par *la quantité minimale* de figures, équations et résultats de simulations qui permette de clarifier vos arguments. Vous pouvez présumer que l'équipe

conception, i.e. quels sont les résultats attendus versus la théorie connue et comment appliquer adéquatement cette théorie au circuit particulier de la problématique. Si des itérations ont été nécessaires dans certaines étapes, discuter surtout de l’itération finale. Expliquer cependant pourquoi des itérations ont été requises, par exemple par suite de l’interdépendance de certaines spécifications ou de certaines hypothèses limitantes.

Les journaux de bord et les différentes versions antérieures pourraient vous être demandés à la discrédition de l’équipe professorale. Il n’est pas nécessaire de simuler ces versions, elles doivent plutôt servir de support aux justifications des points précédents et comme démonstration du processus de conception approprié.

11.5 Évaluation sommative

L’évaluation sommative théorique est un examen écrit qui porte sur tous les éléments de compétences de l’unité. C’est un examen à livre fermé, sauf les feuilles-résumé fournies.

11.6 Utilisation de l’intelligence artificielle générative

Dans le cadre de la présente activité, vous êtes réputés avoir pris connaissance de la page Intégrité intellectuelle des Services à la vie étudiante.

L’intelligence artificielle générative (IAG) réfère à l’ensemble d’outils capable de générer de nouveaux contenus (texte, images, code informatique, musique, etc.) à partir de requêtes texte, incluant, mais pas limité à :

- ChatGPT (fin de l’apprentissage en 2021)
- CoPilot
- Dall-E
- Synthesia
- Scribe
- Duet
- Bard

L’écosystème des IAG est extrêmement énergivore et a un impact environnemental significatif. Avant d’avoir recours à ces outils, vérifier si la réponse à votre requête pourrait se trouver

professorale est experte dans tout principe d’ingénierie qui ne figure pas explicitement aux connaissances nouvelles à acquérir de cet APP. Appliquer directement et succinctement toute équation ou principe qui figure déjà dans toute feuille-résumé ou solution fournie dans ce guide, par exemple ”l’impédance vue par ici en appliquant telle formule donne telle grosse équation qu’on simplifie avec telle hypothèse pour obtenir tel résultat”, ”on estime en vertu de telle équation ou telle référence obtenir tel comportement, mais telle simulation montre telle différence attribuable à tel autre élément”, ou encore ”ici on applique tel principe en tenant compte de telle différence et tel autre choix fait à telle autre étape, ce qui conduit à tel résultat”.

dans votre documentation, vos collègues, votre équipe professorale ou par l'utilisation d'un moteur de recherche (Ecosia, Google, etc.) afin de limiter votre empreinte énergétique.

Attention : il peut y avoir des erreurs de l'IAG !

La responsabilité finale du contenu des productions appartient à la personne étudiante.

Dans le cadre de cette unité d'APP, l'usage des IAG est permis pour votre apprentissage, l'aide à la rédaction et pour résoudre la problématique, conditionnellement à ce que tout élément produit par une IAG directement utilisé dans les productions remises à l'équipe professorale soit cité et documenté dans les règles de l'art.

L'utilisation des IAG lors des évaluations sommatives et finales n'est pas permise.

12 POLITIQUES ET RÈGLEMENTS

Dans le cadre de la présente activité, vous êtes réputés avoir pris connaissance des politiques, règlements et normes d'agrément suivants.

Règlements de l'Université de Sherbrooke

- Règlement des études :
<https://www.usherbrooke.ca/registraire/>

Règlements facultaires

- Règlement facultaire d'évaluation des apprentissages / Programmes de baccalauréat
- Règlement facultaire sur la reconnaissance des acquis

Normes d'agrément

- Informations pour les étudiants au premier cycle :
<https://www.usherbrooke.ca/genie/etudiants-actuels/au-baccalaureat/bcapg>
- Informations sur l'agrément :
<https://engineerscanada.ca/fr/agrement/a-propos-de-l-agrement>

Si vous êtes en situation de handicap, assurez-vous d'avoir communiqué avec le *Programme d'intégration des étudiantes et étudiants en situation de handicap* à l'adresse de courriel prog.integration@usherbrooke.ca.

13 INTÉGRITÉ, PLAGIAT ET AUTRES DÉLITS

Dans le cadre de la présente activité, vous êtes réputés avoir pris connaissance de la déclaration d'intégrité relative au plagiat :

<https://www.usherbrooke.ca/ssf/antiplagiat/jenseigne/declaration-dintegrite/>

14 PRATIQUE PROCÉDURALE 1

Matière couverte par l'activité

- V_{BE} -multiplier
- Miroirs de courants
- Étage différentiel avec charge active

14.1 Exercices préparatoires

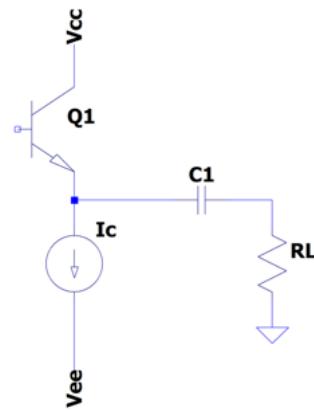
P.1 Point d'opération en grand signal

Comp. GEL655

Objectif : Comprendre comment optimiser le point d'opération d'un transistor pour en maximiser la plage dynamique

Décrire graphiquement et analytiquement comment dimensionner I_{CQ} et V_{CEQ} en fonction de V_{CC} et V_{EE} pour obtenir une excursion grand signal maximale à la sortie du circuit suivant.

Est-ce différent pour un étage émetteur commun ?



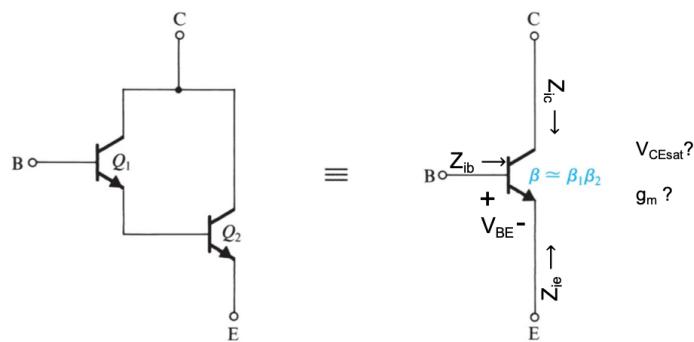


P.2 Darlington

Comp. GEL651

Objectif : Synthétiser les équations utiles à l'analyse d'un Darlington

Obtenez la formulation exacte des principales propriétés DC et AC d'un Darlington lorsqu'on le modélise comme un seul transistor équivalent (V'_{BE} , V'_{CEsat} , β' , r'_π , r'_o , g'_m , etc.)

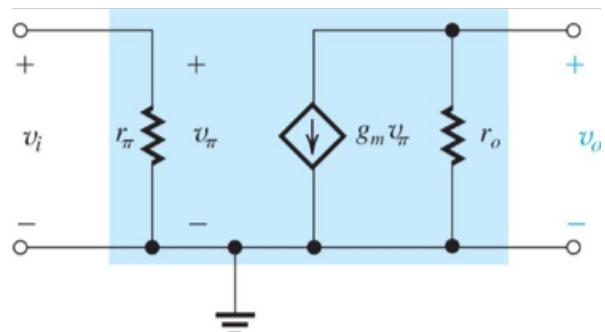
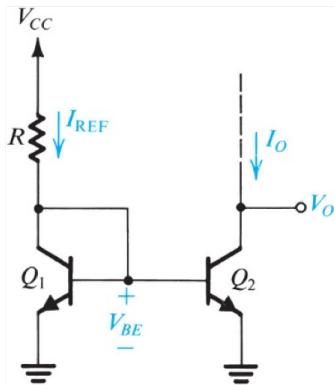


14.2 Exercices

E.1 Résolution de nouvelles configurations

Objectif : Compléter les équations disponibles pour certaines topologies particulières

- a) Calculer l'impédance vue dans le {collecteur || base} d'un FET ou BJT monté en diode comme Q_1 .

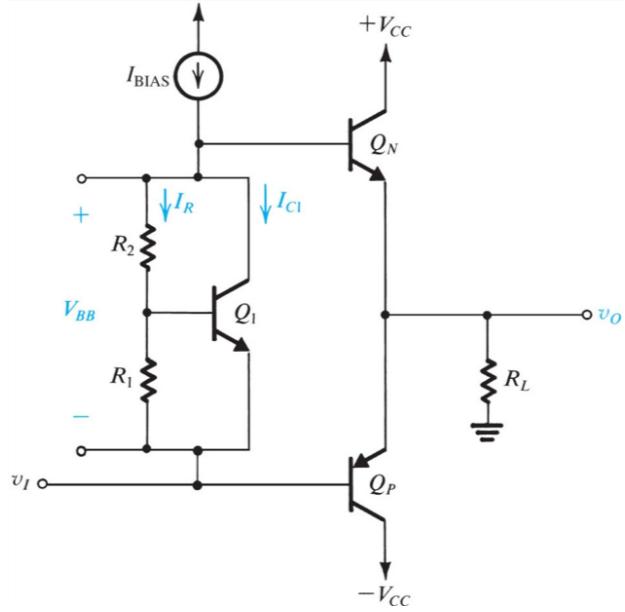


- b) Démontrer, à partir d'une modélisation avec des quadripôles, que pour calculer le gain total en charge G_v d'un étage, procéder comme à l'APP1 en deux étapes (1) calculer le gain sans charge A_{v0} puis (2) calculer l'adaptation d'impédance à la sortie peut se simplifier à directement utiliser $z_{out} \parallel z_{in}$ dans l'équation de A_{v0} .

E.2 V_{BE} -multiplier

Objectif : Être capable de dimensionner la polarisation d'un V_{BE} -multiplier et comprendre son fonctionnement

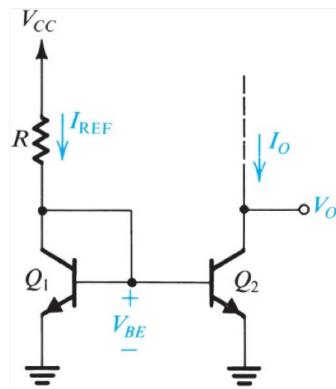
Dimensionner R_1 et R_2 pour obtenir V_{BB} volts aux bornes du V_{BE} -multiplier.



E.3 Miroir de courant simple

Objectif : Être capable d'analyser un miroir de courant et d'en déduire les performances

Expliquer le fonctionnement DC et AC d'un miroir de courant et calculer l'impédance parasite vue à la sortie.



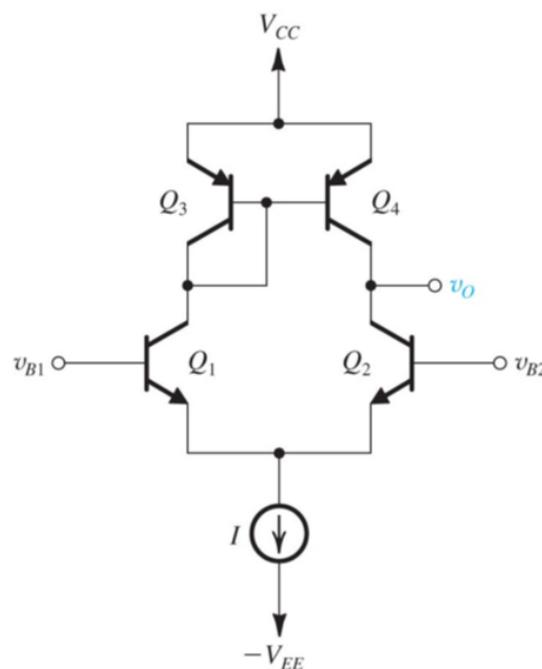
E.4 Étage différentiel émetteur commun avec charge active

Objectif : Comprendre le fonctionnement d'une paire différentielle : quels paramètres de polarisation influent sur quelles caractéristiques et performance

Objectif : Comprendre les stratégies d'analyse pour obtenir les équations petit signal d'un tel étage

Objectif : Compléter les équations disponibles pour cette topologie

Objectif : Comprendre les notions de mode commun/différentiel, masse virtuelle, CMRR



À partir du circuit d'un étage différentiel,

- a) Expliquer comment polariser un tel étage, i.e. comment fixer I_{CQ} et l'ensemble des voltages DC au moyen d'un voltage mode commun.
- b) Comment se comportent les courants DC et AC dans la charge active ?
- c) Expliquez qualitativement le fonctionnement de l'étage lorsqu'on applique une entrée différentielle v_{id} . Quelle patte est v_+/v_- ?
- d) Comment calcule-t-on le gain de tension différentiel A_{vd} avec une charge active ? Indice : où apparaît-il une masse virtuelle dans le circuit ?
- e) Quelles sont les différences conceptuelles avec la méthode A_{vd} pour calculer le gain de tension en mode commun A_{vc} ?
- f) Résumer l'ensemble des équations pertinentes à l'analyse d'un étage différentiel émetteur commun avec charge active. Mettre en évidence les différences entre BJT et FET.

15 SÉMINAIRE

Matière couverte par l'activité

- Retour sur la problématique de l'APP1
- Composition de la réponse en fréquence d'un circuit par
- Présentation du document complémentaire "Synthèse pour les amplificateurs basse fréquence"

Appendice F - Exemple F.1

Faites l'exemple F.1 qui vise à construire la réponse en fréquence d'un filtre/amplificateur comportant plusieurs pôles et zéros.

16 PRATIQUE PROCÉDURALE 2

Matière couverte par l'activité

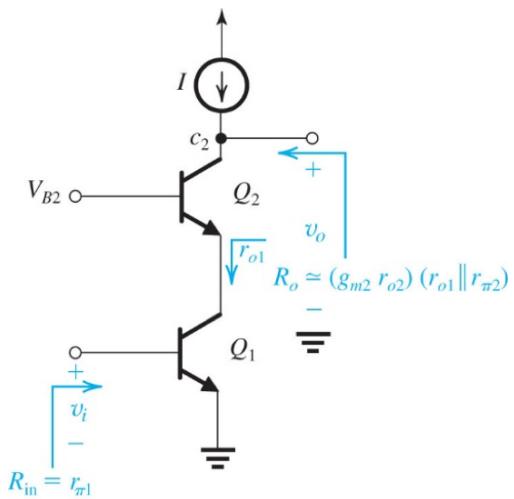
- Configuration cascode
- Modèle petit signal haute fréquence des transistors
- Réponse en fréquence de différentes topologies et configurations

16.1 Exercices

E.1 Cascode

Objectif : Comprendre les particularités et dériver les équations particulières d'une cascode

Sans utiliser de modèle petit signal (seulement les équations disponibles dans les feuilles résumé), calculez le gain de tension et l'impédance de sortie d'une cascode, après en avoir expliqué le fonctionnement. Discuter de l'appariement entre les deux transistors.



E.2 Modèle petit signal haute fréquence

Objectif : Comprendre les fondements physiques du modèle petit signal haute fréquence d'un transistor BJT ou FET

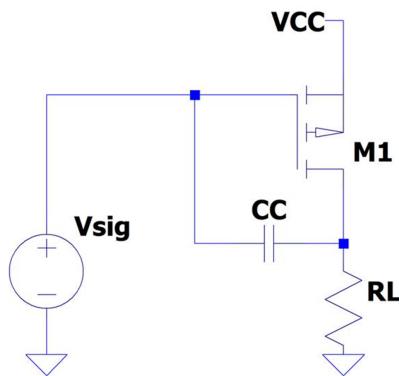
1. Expliquer l'origine des différentes condensateurs parasites du modèle petit signal haute fréquence d'un FET ou d'un BJT.
2. Comment est définie la fréquence de gain unitaire ("unity-gain frequency" aussi appelée "transition frequency") ?
3. Quelle est la dépendance de la fréquence de gain unitaire des BJT et des FET en fonction des capacités respectives ?
4. Soit le courant $I_{DQ} = 10 \text{ mA}$ dans un MOSFET de tension de seuil $V_t = 0.5 \text{ V}$ polarisé à $V_{GSQ} = 1.5 \text{ V}$. On mesure sa fréquence de gain unitaire à 1.4 GHz . Quelle est la valeur des condensateurs parasites C_{gs} et C_{gd} ? Considérez une répartition 8:1 entre eux.
5. Et si on avait mesuré la fréquence de gain unitaire d'un BJT, comment pourrions-nous remonter aux condensateurs parasites C_π et C_μ ?

E.3 Théorème de Miller

Objectif : Comprendre les implications du théorème de Miller

Objectif : Appliquer le théorème de Miller à un condensateur de compensation

Obtenez le modèle petit signal haute fréquence de l'étage suivant en utilisant le théorème de Miller. $C_C = 10 \text{ pF}$ et $R_L = 10 \text{ k}\Omega$. Considérez que V_{sig} contient une partie signal et une partie DC appropriée pour polariser le transistor à un g_m de 5 mS .



E.4 Principes du comportement en fréquence

Objectif : Faire un survol des principaux comportements haute fréquence observables dans un amplificateur

Objectif : **Pas nécessaire** d'être capable de parvenir aux équations à partir du modèle petit signal

Objectif : Comprendre comment simplifier l'analyse du comportement fréquentiel d'un amplificateur

- Expliquer qualitativement la notion de produit gain-bande passante (GBW). Expliquer la relation entre le facteur de contre-réaction A_{vo}/A_{vf} et la bande passante BF/BO.
- Expliquer l'effet d'un pôle et d'un zéro sur la réponse en fréquence d'un amplificateur. Quelle différence de comportement observe-t-on entre un zéro à l'infini et un zéro fini ?
- Expliquer qualitativement le principe de fixer manuellement au moyen d'une compensation un pôle dominant pour
 - rendre un amplificateur stable ;
 - approximer le comportement fréquentiel d'un amplificateur comme un passe-bas d'ordre 1.

E.5 Compensation d'un amplificateur

Objectif : Prédire le comportement d'un ampli-op en BF à partir de sa réponse en BO

Objectif : Comprendre comment rendre un amplificateur stable en BF

Élaborer une stratégie pour rendre l'amplificateur dont la réponse en fréquence est montrée à la figure 16.1 stable en BF.

Quel sera le produit gain-bande-passante (GBW) résultant ?

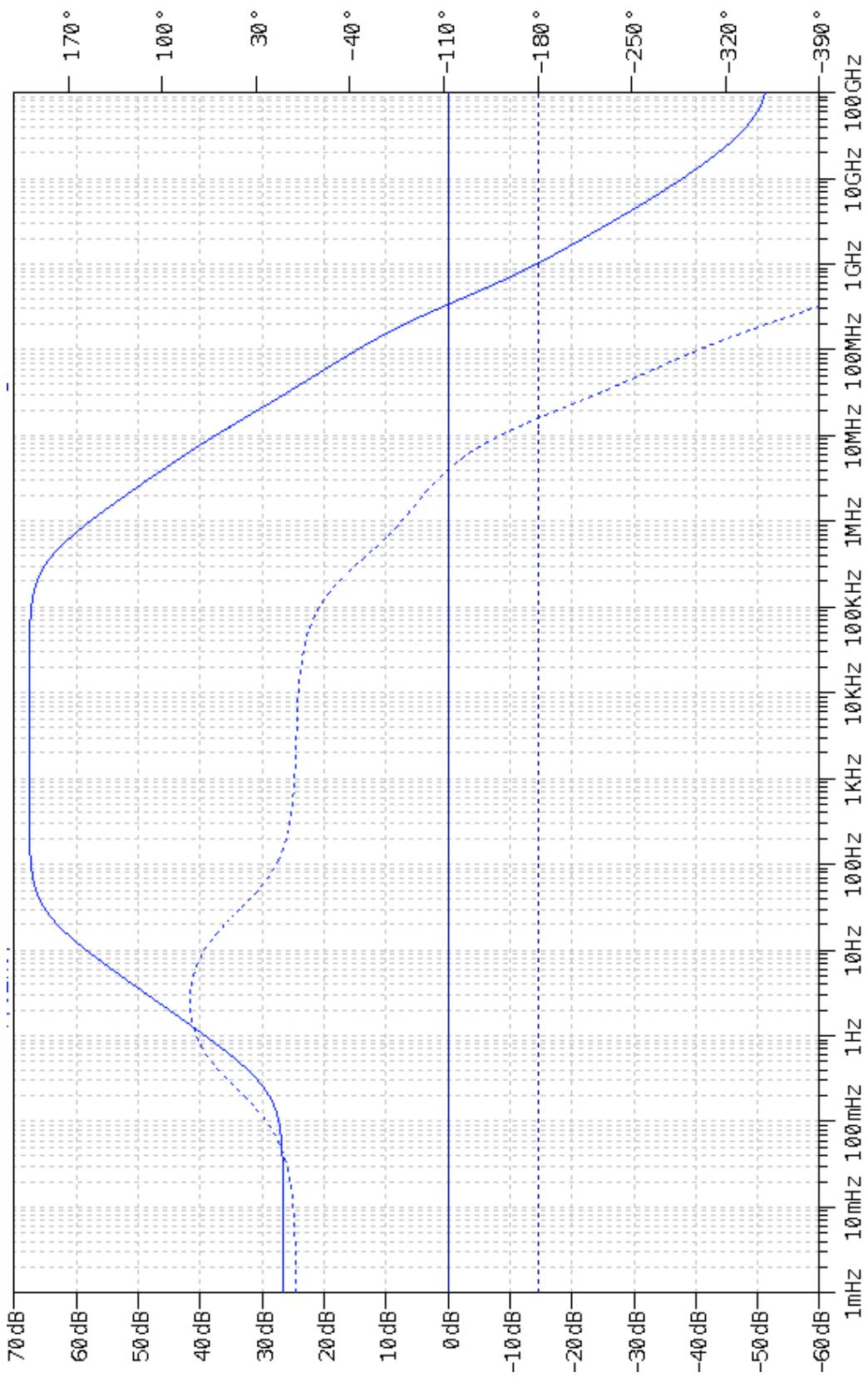


FIGURE 16.1 Lieu de Bode de l'exercice E.5

17 PRATIQUE EN LABORATOIRE 1

Matière couverte par l'activité

- Simulation d'un étage différentiel et mesures de ses paramètres
- Simulation d'une configuration Push-Pull
- Observation et discussion en simulation des comportements fréquentiel d'amplificateurs
- Stabilisation d'un amplificateur en simulation
 - Dégénérescence du gain
 - Compensation
- Mesure de la distorsion dans un amplificateur

Utilisation du logiciel LTspice

Des consignes générales figurent à la section [7](#) du guide de l'étudiant. La librairie `DMC3021LK4.lib` (à télécharger sur le site de session) doit être copiée dans chacun des répertoires où vous souhaitez faire une simulation (avec MOSFET évidemment).

17.1 Exercices

Des schémas LTspice de départ sont fournis sur le site de session pour l'ensemble des exercices.

E.1 Comportement d'un étage différentiel

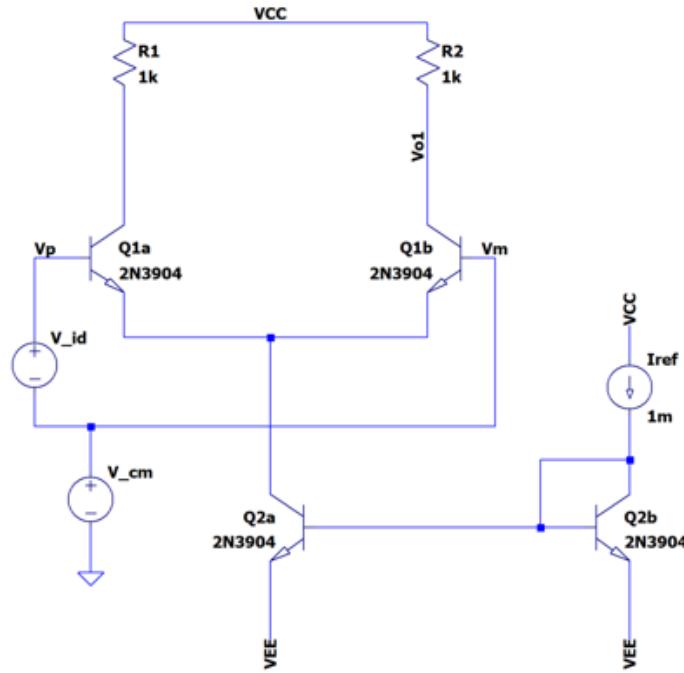
Objectif : Comprendre comment mesurer les paramètres désirés en simulation

Objectif : Observer le comportement d'un étage différentiel en simulation

Objectif : Valider sa compréhension du fonctionnement d'un étage différentiel

Partie 1 – Comportement de base

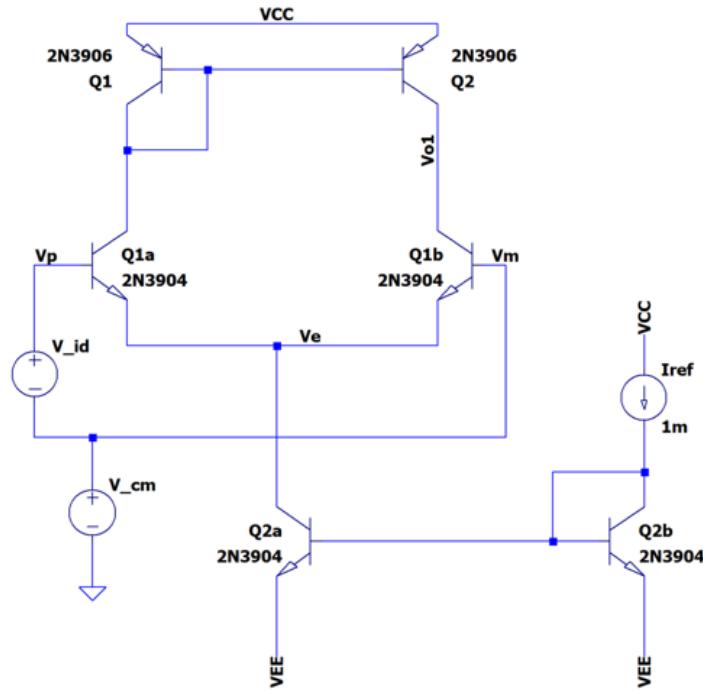
À l'aide du circuit suivant (laboE1_1.asc),



- Balayer V_{CM} et déterminer la plage dynamique du mode commun à l'entrée. Indice : vérifier que les V_{CE} et les I_C sont acceptables. Expliquer le comportement. Y aurait-il un comportement différent avec une charge active ?
- Balayer v_{id} et déterminer le signal différentiel maximal qu'on peut appliquer à cet étage. Indice : mesurer les courants dans les collecteurs.
- Mesurer le gain différentiel pour une sortie unipolaire $\frac{v_{o1}}{v_+ - v_-}$ quand $V_{cmAC} = 0$. Expliquez cette valeur avec la théorie.
- Mesurer le gain mode en mode commun pour une sortie unipolaire (par exemple v_{o1}/v_m quand $v_{id} = 0$). Pourquoi ce gain n'est-il pas nul ?

Partie 2 – Charge active

Utiliser maintenant un circuit d'étage différentiel à charge active (laboE1_2.asc) comme celui-ci :



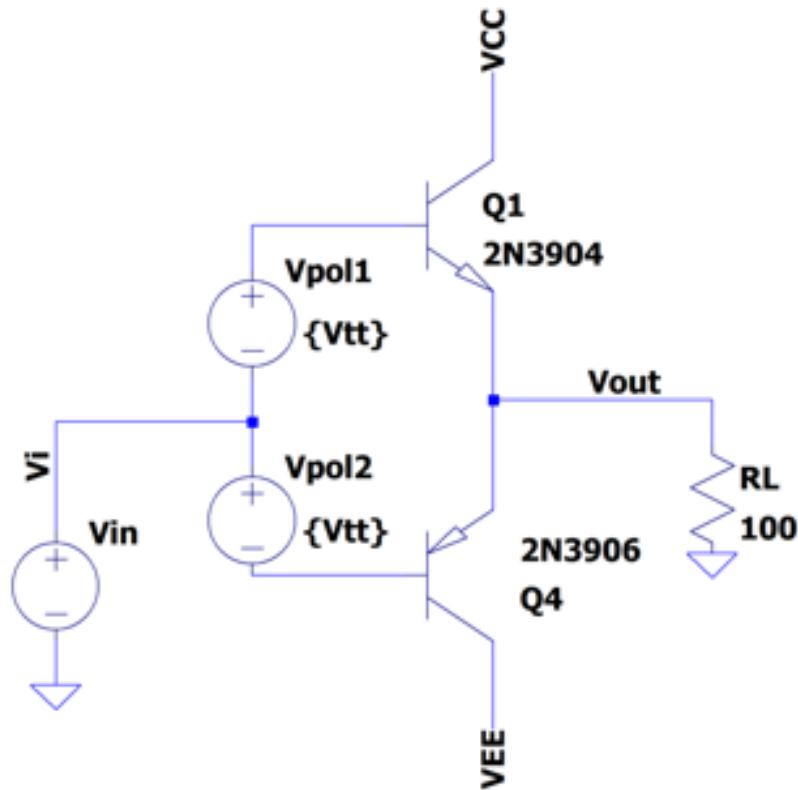
- e) Mesurer le CMRR de cet étage.
- f) Est-ce que le miroir de courant (Q_{2a} et Q_{2b}) est idéal ($I_{ref} = I_o$) ? À quoi est due la différence ?

E.2 Configuration Push-Pull

Objectif : Comprendre le comportement d'un push-pull

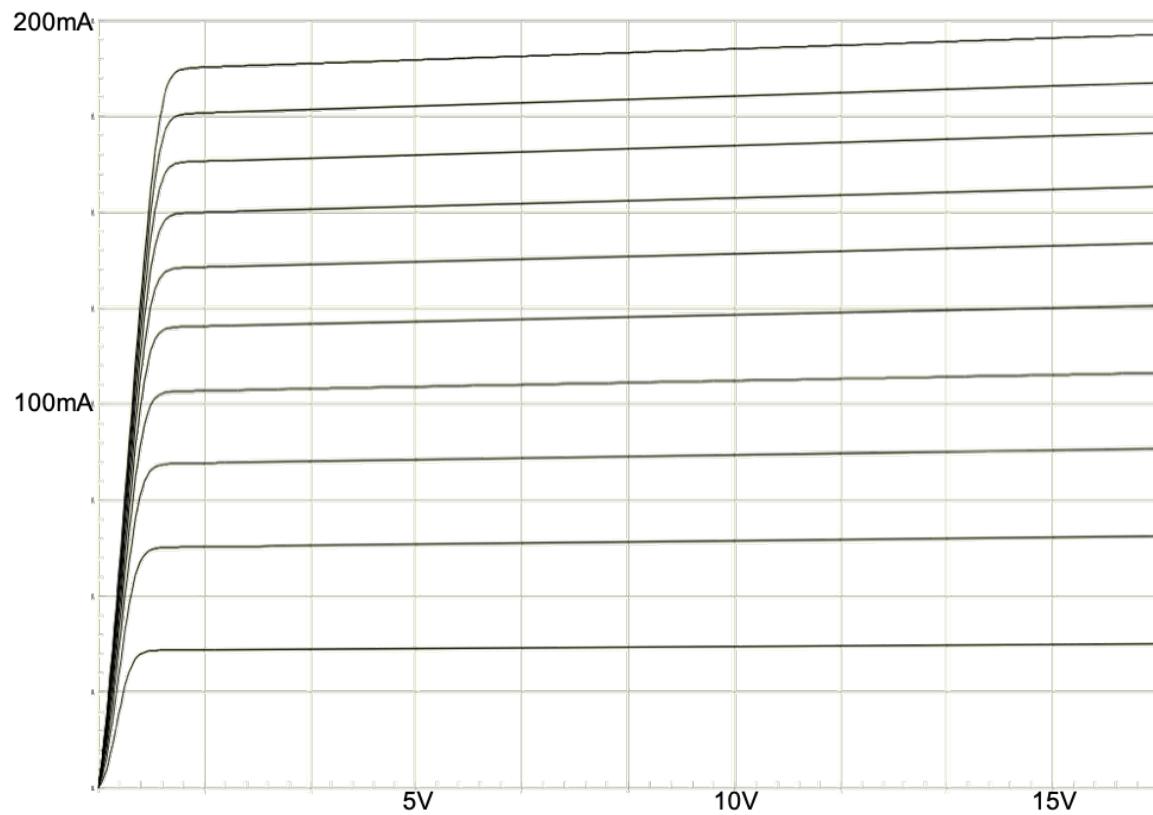
Objectif : Comprendre comment une boucle fermée compense la distorsion

Pour le circuit simple suivant (laboE2.asc),

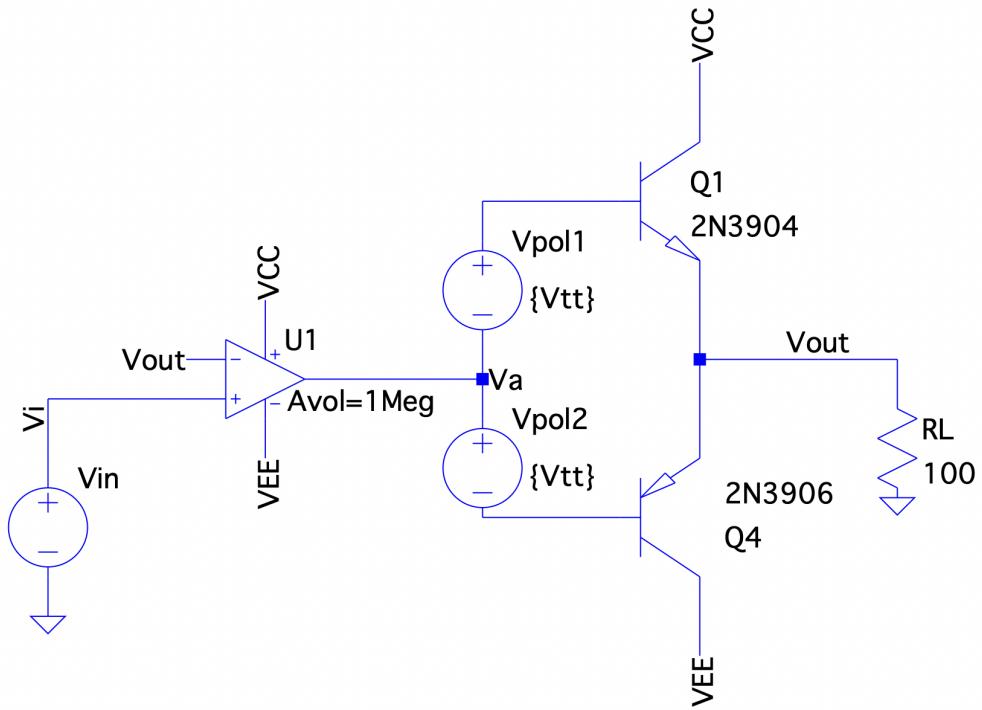


- Pour une entrée de $2 V_{crête}$, obtenir V_{out} , i_{C1} et i_{C2} en fonction du temps (donc par une simulation .tran) pour $V_{tt} = \{0, .5, .6, .7\}$ V.

- b) Tracer à la main la droite de charge du NPN pour $V_{tt} = 0.7$ V. Analysez à l'aide de ce diagramme les signaux obtenus avant.



c) Ajouter une contre-réaction négative tel qu'illustré sur cette figure (laboE2_c.asc) :



Edit -> Component -> Répertoire opamps -> UniversalOpamp

Pour une entrée de 2 $V_{crête}$, obtenir V_i , V_{out} et V_A pour $V_{tt} = \{0, .5, .6, .7\}$ V. Expliquez les formes d'onde observées.

Commentez en particulier comment la boucle fermée compense la distorsion de croisement du push-pull.

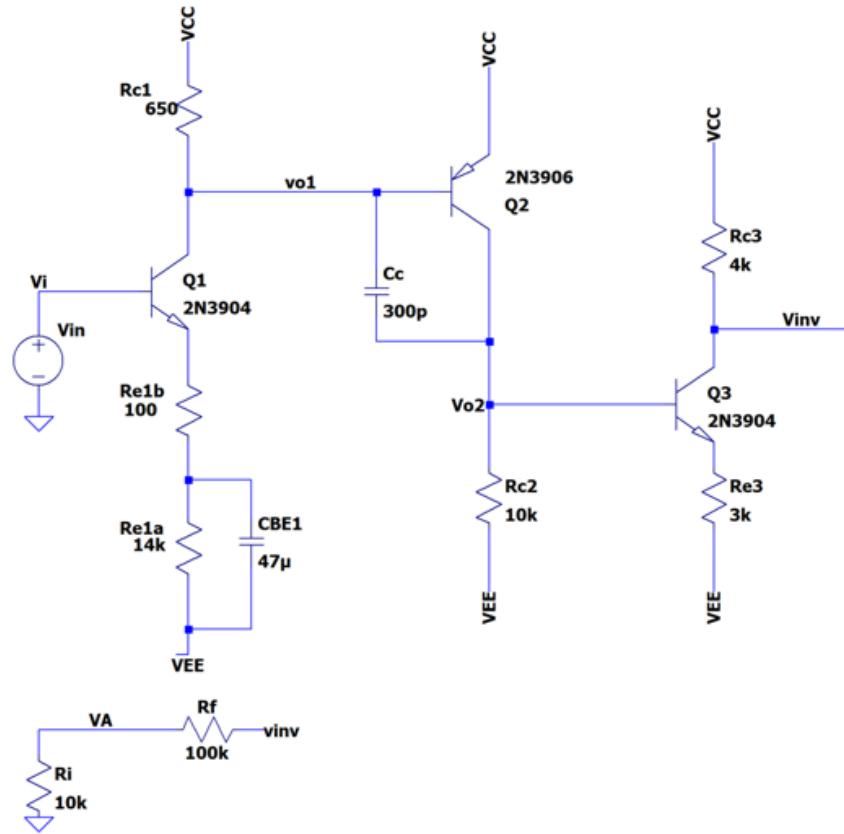
Vous pouvez réduire le gain de l'ampli-op Avol afin de faire réapparaître la distorsion de croisement.

E.3 Comportement fréquentiel d'un amplificateur

Objectif : Observer les différents comportements haute fréquence possibles dans les circuits à transistors

Objectif : Comprendre l'effet d'une compensation et le modèle résultant à un pôle dominant

Étudier le circuit suivant (laboE3.asc).



Note : dans le circuit de départ la boucle est ouverte mais on peut en tout temps observer le comportement BF en connectant l'autre borne de la source à V_A au lieu de la masse.

Partie 1 – Parasites capacitifs dans les circuits multiétages

- Sur le lieu de bode BO du deuxième étage (v_{o2}/v_{o1}), visualiser l'effet sur la réponse en fréquence de l'étage du pôle et du zéro créés par C_C .
- Étudier un étage où plusieurs effets fréquentiels sont présents : sur le lieu de bode BO de l'étage 1 (v_{o1}/v_i), identifier l'origine des pôles et des zéros observés.

Note : pour toutes les questions de comparaison qui suivent, le plus simple est de dupliquer le circuit dans la même simulation (attention de changer le nom des nœuds dans la copie), et de modifier la copie selon la question pour observer ensuite les différences sur le même graphique. Toujours repartir du circuit original à chaque nouvelle question.

- c) Sur le lieu de bode BO du circuit complet (v_{inv}/v_i), observer l'effet d'une charge partiellement capacitive et comparer les marges de stabilité avec et sans condensateur (ajouter un condensateur de 10 nF à la masse au noeud v_{inv}).

Partie 2 – Modifications stabilisantes

Voir la note précédente concernant les comparaisons.

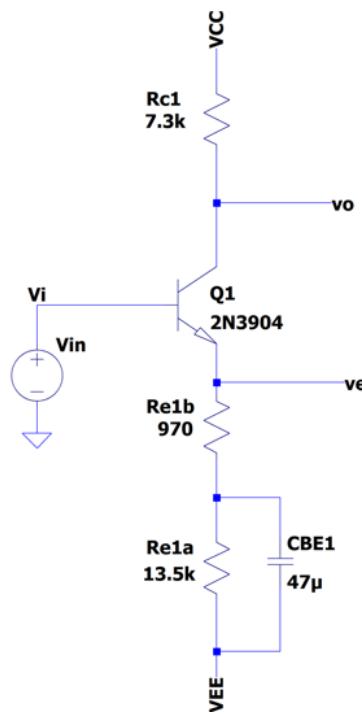
- d) Comparer en BO les marges du circuit complet (v_{inv}/v_i) avec et sans dégénérescence du gain (bypasser avec un condensateur l'entièreté de R_{E1}).
- e) Comparer en BO l'effet de la compensation sur les marges du circuit entier (v_{inv}/v_i), sur les pôles et zéros de l'étage compensé (v_{o2}/v_{o1}) et sur les pôles et zéros du premier étage (v_{o1}/v_i) (enlever C_C).
- f) Confirmer que l'ampli global BO et BF (v_{inv}/v_i) peut être modélisé comme un passe-bas d'ordre 1.

E.4 Amplificateur en grand signal et distortion

Objectif : Estimer en simulation la distorsion dans un circuit électronique

Objectif : Comprendre qualitativement les mathématiques sous-jacentes (distorsion harmonique)

Simuler le circuit suivant (laboE4.asc)



- Visualiser les plages dynamiques de tension pour cet étage émetteur commun avec R_E bypass en opération grand signal : afficher v_E et v_C pour 1 V en entrée.
- Mesurer la distorsion pour des amplitudes croissantes de source. Attention, le graphique de FFT ne se met pas à jour quand on relance la simulation, il faut le générer à chaque fois.
- Décrire qualitativement d'où vient la distorsion et comment on pourrait l'exprimer mathématiquement.

18 SÉMINAIRE

Matière couverte par l'activité

- Retour sur certains concepts de boucle de rétroaction vus en S2 et S5
- Retour sur les types de quadripôles et la conversion d'un type en un autre type

Nous introduirons les concepts et la méthode d'analyse de circuits à quadripôles en boucle fermée décrits à la section 11.6.

E.1 Amplificateurs à contre-réaction

Objectif : Se refamiliariser avec les amplificateurs à contre-réaction vus en S2

Objectif : Se familiariser avec la notation spécifique de Sedra *et al.* telle que décrite dans la figure 11.1 et la table 11.1 (tirée à part)

Faire l'exemple 11.1, Sedra *et al.* pour obtenir le gain en boucle fermée.

E.2 Équivalence entre les types d'amplificateurs

Objectif : Rappel des quatres type d'amplificateurs

Objectif : Apprendre à passer d'un type à l'autre en fonction des variables d'intérêt d'un problème

Considérez les quatre types d'amplificateurs de la Table 1.1, Sedra *et al..*

1. Interprétez la notation utilisée dans la colonne "Gain parameter"
2. Transformez l'amplificateur de tension en un amplificateur de courant en exprimant le gain de courant en terme du gain de tension.
3. Semblablement, transformez l'amplificateur de transimpédance en amplificateur de transconductance.
4. Dans un problème impliquant un amplificateur de tension, vous désirez exprimer la boucle de sortie d'un circuit donné en terme du courant i_o (vous verrez la justification plus loin dans le procédural).

Transformez la sortie de l'amplificateur de tension de telle sorte que la variable de

sortie soit le courant i_o .

Quel type d'amplificateur obtenez vous ?

5. Dans un autre problème, il est plus naturel d'exprimer la boucle d'entrée en fonction d'un courant i_i .

Transformez la sortie de l'amplificateur de tension de telle sorte que la source contrôlée dépende de i_i .

Quel type d'amplificateur obtenez vous ?

19 PRATIQUE PROCÉDURALE 3

Matière couverte par l'activité

- Analyse d'une boucle fermée avec des quadripôles

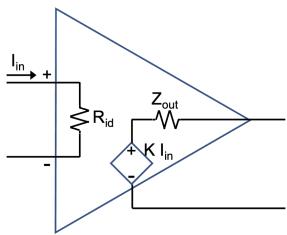
19.1 Exercices

E.1 Quatre configurations d'amplificateurs

Objectif : Se remémorer les configurations d'amplificateurs – Section 1.5.4, Sedra *et al.*

Objectif : Identifier les configurations de contre-réaction les mieux adaptées à chaque configuration

1. Dessinez les quatre configurations d'amplificateurs.
2. Pour chaque configuration, dessinez le réseau de contre-réaction le mieux adapté à la manière de la figure 11.7, Sedra *et al..*
3. Associer chaque situation à l'une des quatre nomenclature usuelle "shunt-shunt", "series-series", "shunt-series" et "series-shunt".
4. Appliquez ce principe à un amplificateur de tension fait d'un ampli-op en contre-réaction négative.

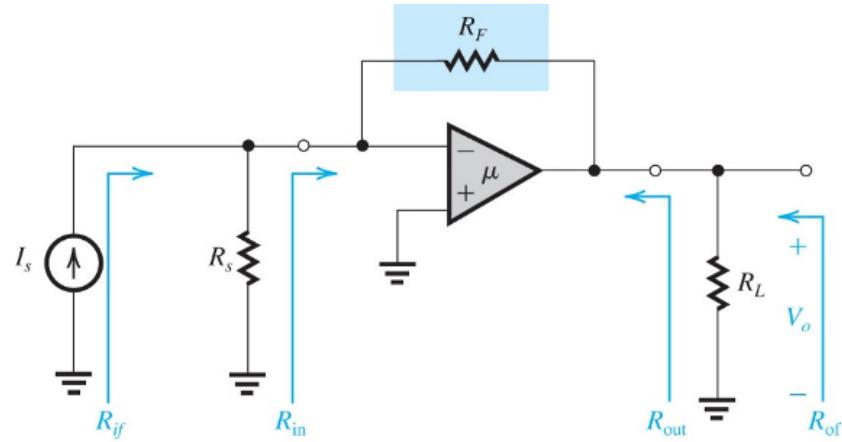


Modifiez au besoin la forme de la source du modèle de l'ampli-op (i.e. est-ce que c'est la représentation de Norton ou de Thévenin qui est mieux adaptée au circuit ?).

E.2 Contre-réaction simple – Transimpédance (shunt-shunt)

Objectif : Comprendre le calcul d'une BF à l'aide de quadripôles

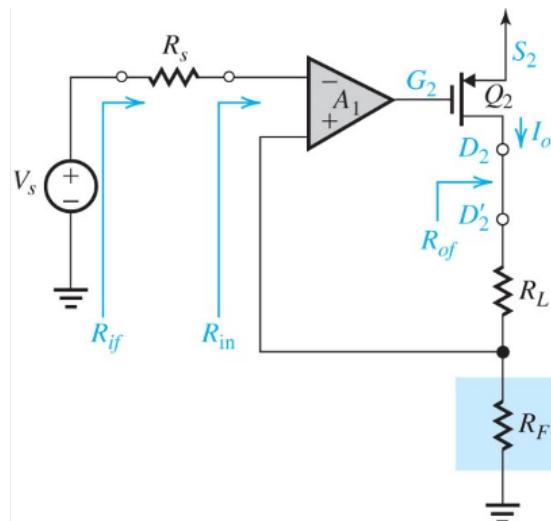
Résoudre la boucle fermée montrée à la figure suivante au moyen des quadripôles.



E.3 Contre-réaction simple #2 – Transconductance (series-series)

Objectif : Comprendre le calcul d'une BF à l'aide de quadripôles

Résoudre le circuit suivant à l'aide des quadripôles.



E.4 Amplificateurs à contre-réaction - récapitulation

Objectif : Se refamiliariser avec la table 11.2 (tirée à part) qui accompagne la procédure d'analyse des amplificateurs à contre-réaction par la méthode des quadripôles

Pour chacune des configurations développées à l'exercice [E.1](#), confirmez que votre représentation en circuit correspond aux éléments de la table 11.2.

20 PRATIQUE PROCÉDURALE 4

20.1 Exercices

Les deux premiers exercices se réalisent en sous-groupe de 2 à 3 équipes.

E.1 Architecture du circuit de la problématique

Objectif : Comprendre les choix d'architecture et le fonctionnement du circuit de la problématique

Dans le circuit de la problématique, analyser et expliquer :

1. Pourquoi un suiveur versus une source commune au dernier étage, du point de vue du gain et de la plage dynamique de la sortie ?
2. Avantages et inconvénients d'un FET vs un BJT au dernier étage (beta, zin, plage dynamique, bande passante, efficacité de puissance) ?
3. Comment choisit-on le .op du dernier étage par rapport à la distorsion ?
4. Discuter du lien entre le CMRR vs l'offset à la sortie. Est-ce = 0 en BF ? en BO ?
5. Quel est le rôle de R_t ?
6. Quel est le rôle de C_{BV} & de C_{BB} du point de vue de l'idéalité des sources dans lesquelles ils sont placés ?
7. Pourquoi a-t-on besoin des R_z (à 3 endroits) ?
8. Pourquoi a-t-on besoin d'un suiveur pour attaquer le 2^e et le dernier étage ?
9. Pourquoi préfère-t-on une polarisation active plutôt que passive ? Quid du 2^e étage ?
10. Quel est le rôle de Q_4 ?
11. Quels sont les avantages et inconvénients d'une entrée différentielle en émetteur commun versus en suiveur ?
12. To cascode or not to cascode (indice : Miller) ?
13. Pourquoi on a besoin d'un 2^e étage ? Quel impact a sa présence sur la patte +/-, le gain, la plage dynamique ?
14. Pourquoi a-t-on un bypass partiel au 2^e étage (.op, .ac) ?
15. Pourquoi on "compense" le premier étage plutôt que le 2^e ?
16. Est-ce que le circuit va fonctionner en BO ?

E.2 Analyses et conception spécifiques

Objectif : Comprendre comment dimensionner certaines parties du circuit de la problématique

Dans le circuit de la problématique, expliquez comment on contrôle/calcule

1. Le courant de polarisation du dernier étage ? de son étage d'attaque ?
2. La plage dynamique à l'entrée de l'étage d'attaque ? Le .op à cet endroit ?
3. Comment séparer le gain entre les étages 1 et 2 ?
4. Comment choisir le .op à l'entrée du 2e étage ?
5. Comment calculer les amplitudes attendues en BF vs BO ?

E.3 De l'analyse à la conception

Objectif : Comprendre comment "résoudre" une table de conception pour dimensionner un étage

À partir de la table de conception du 2e étage de l'APP1, dimensionnez cet étage optimalement.

A Grille d'évaluation de la validation et du rapport

À venir.

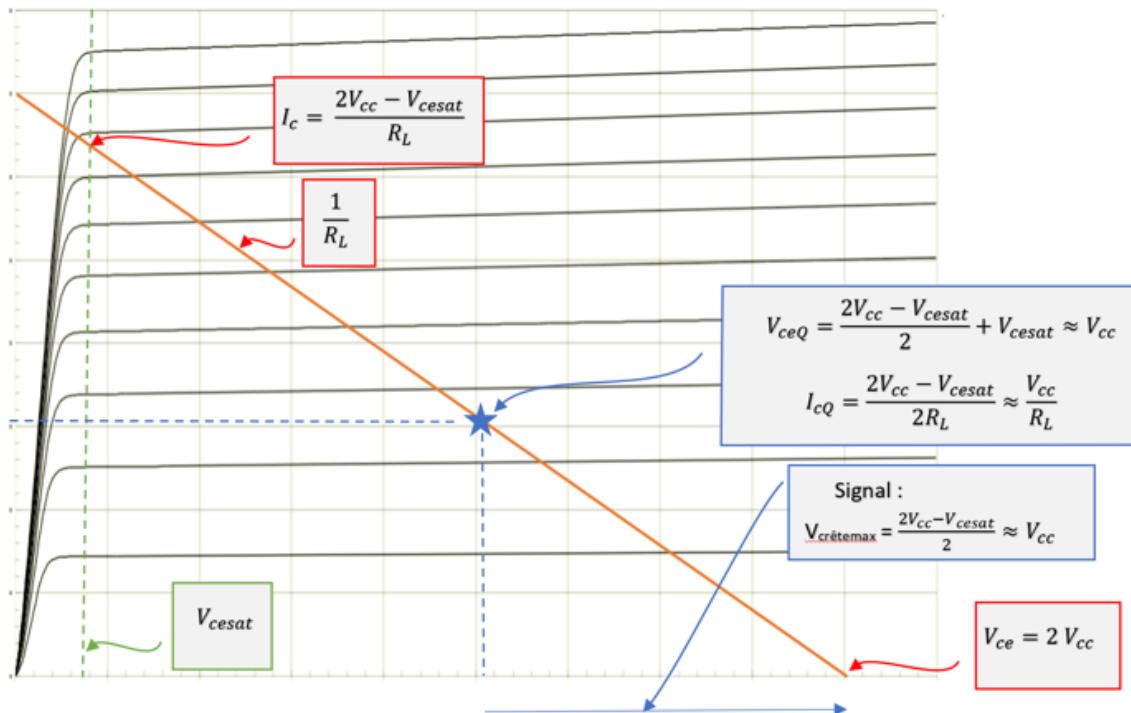
B Réponses des exercices

B.1 Procédural 1

B.2 Exercices préparatoires

P.1 Point d'opération en grand signal

En assumant $V_{CC} = -V_{EE}$:



P.2 Darlington

$$V'_{BE} = V_{BE1} + V_{BE2}, I_{C2} = I_{C1} \left(\frac{\beta_2}{\alpha_1} \right), I'_C = I_{C1} \left(\frac{\beta_2}{\alpha_1} + 1 \right), V'_{CEsat} = V_{CEsat1} + V_{BE2}, \beta' = \beta_1 \beta_2 + \beta_1 + \beta_2, z_{base} = r'_\pi = 2r_{\pi 1} = r_{\pi 1} + (\beta_1 + 1) * r_{\pi 2}, r'_o \approx 2r_{o1} // r_{o2} \approx r_{o2}, g'_m = \frac{\beta'}{r'_\pi} = \frac{g_{m1} + g_{m2}}{2}$$

B.3 Exercices

E.1 Résolution de nouvelles configurations

- a) $r_o // \frac{1}{g_m} \approx \frac{1}{g_m}$
- b) $G_v = A_v \cdot z_{mismatch} = g_m \cdot z_{out} \cdot \frac{z_{in}}{z_{out} + z_{in}} = g_m (z_{out} // z_{in})$

E.2 V_{BE} -multiplier

$$\text{Si } I_B \ll I_R, V_{BB} = V_{BE} \cdot \left(1 + \frac{R_2}{R_1} \right)$$

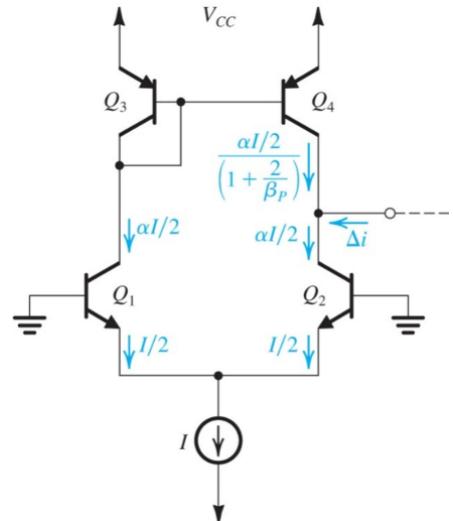
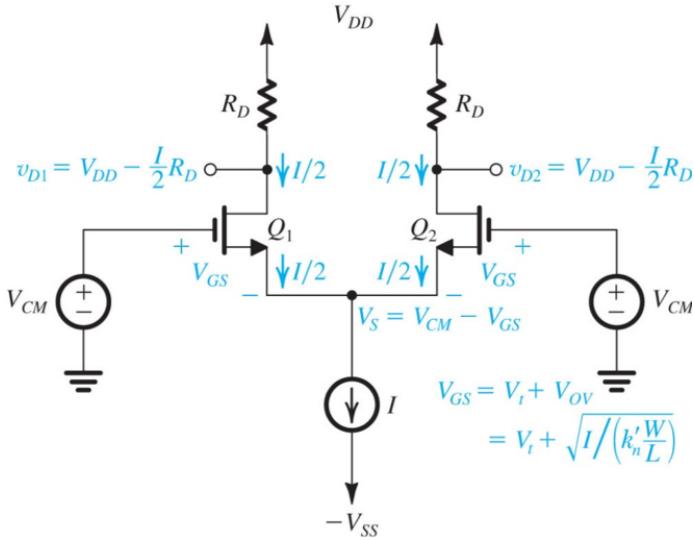
Attention, pour V_{BE} prendre la valeur exacte et non l'approximation de 0.7 V ici.

E.3 Miroir de courant simple

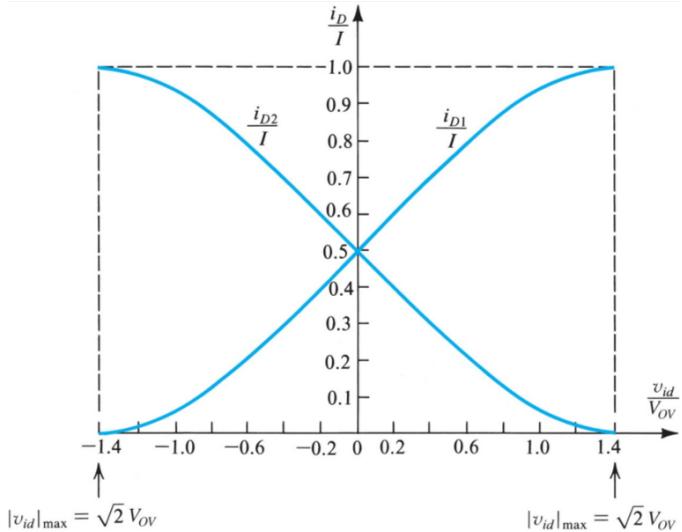
$$I_o \approx I_{ref} \text{ (AC et DC)}, z_{out} = r_o$$

E.4 Étage différentiel émetteur commun avec charge active

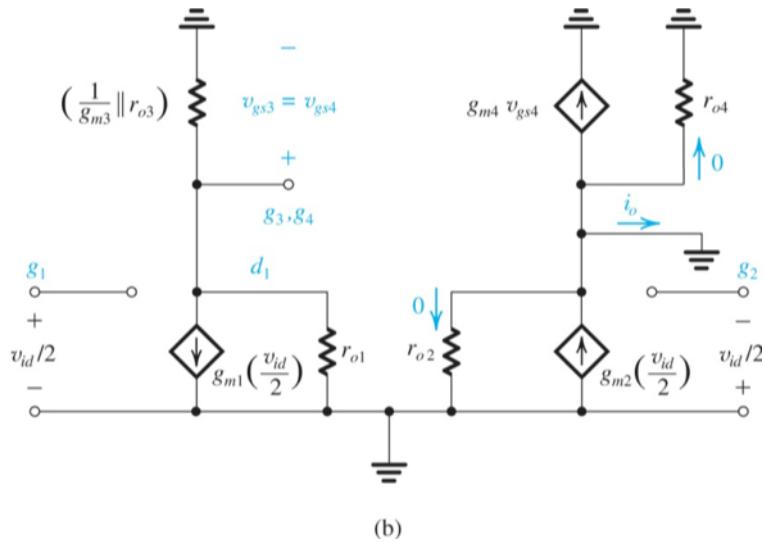
- Fixer les courants avec une source de courant ! Brancher les bases avec un chemin DC au même potentiel (V_{CMDC}).
- Figures 9.2, Sedra et al. et P9.97, Sedra et al.



- Les courants deviennent débalancés... Figure 9.6, Sedra et al.

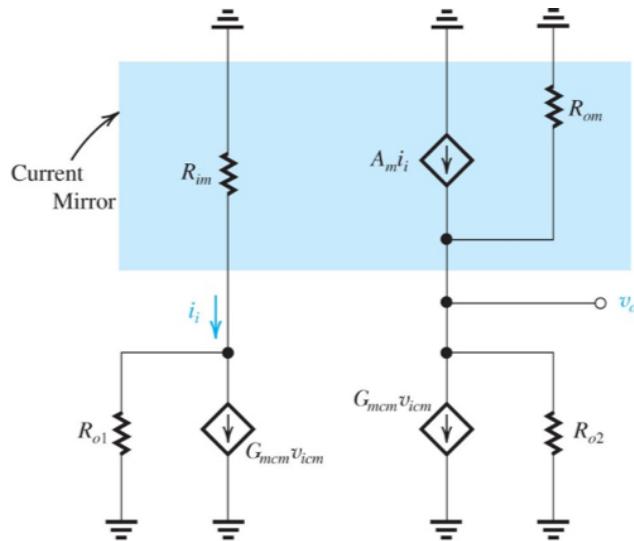


- Figure 9.33, Sedra et al. Il y a une masse virtuelle aux émetteurs de la paire Q1-Q2 : la source de courant de polarisation n'a pas d'influence sur A_{vd} . Note : pas de charge active et sortie unipolaire $A_{vd} = \pm \frac{1}{2} g_m z_{out}$.

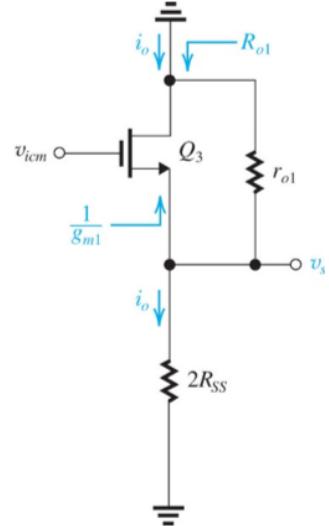


(b)

- e) Figure 9.39, Sedra et al. 7e édition . Il faut séparer R_{EE} en deux et analyser chaque branche séparément.



(c)



(d)

- f) Résumé des équations pertinentes

$$\begin{aligned}
 z_{id} &= r_{\pi 1} + r_{\pi 2} & z_{ic} &= \frac{r_{\pi 1} + 2(\beta_1 + 1)R_{EE}}{2} & z_{out} &= r_{o2} \parallel r_{o4} \\
 A_{vd} &= \pm g_{m2} (r_{o2} \parallel r_{o4}) & A_{vcFET} &= \frac{-1}{2 g_{m4} R_{SS}} & A_{vcBJT} &= \frac{-r_{o4}}{\beta_3 R_{EE}} \\
 \text{CMRR}_{FET} &\approx g_m g_m r_o R_{SS} & \text{CMRR}_{BJT} &\approx \beta_3 g_m \frac{R_{EE}}{2}
 \end{aligned}$$

B.4 Procédural 2

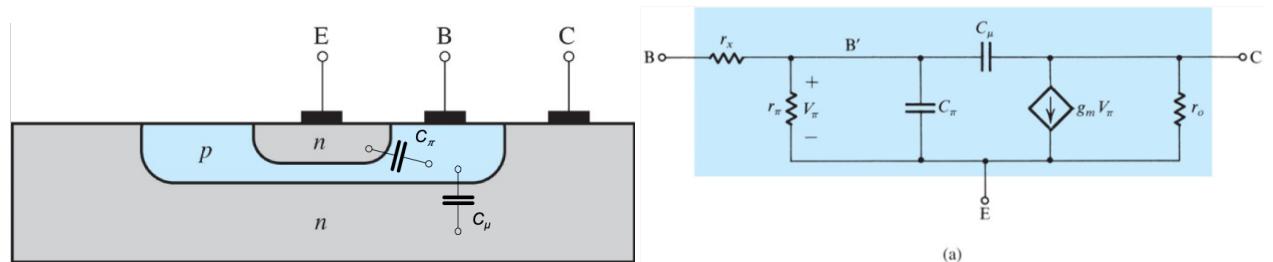
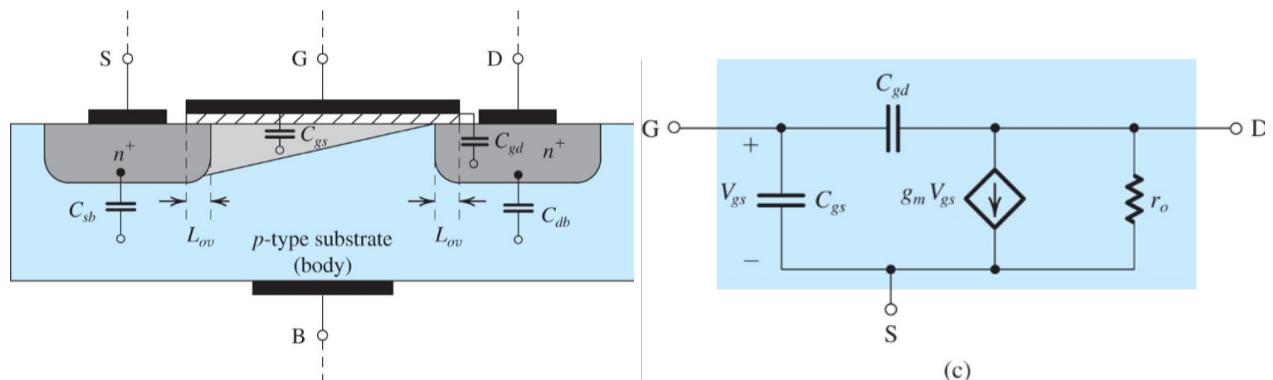
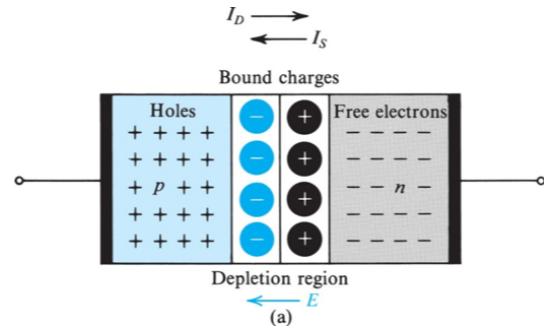
E.1 Cascode

$$A_v = -g_m \cdot z_{out} \text{ avec } z_{out} \approx \beta_2 r_o$$

E.2 Modèle petit signal haute fréquence

- Expliquer l'origine des différentes condensateurs parasites du modèle petit signal haute fréquence d'un FET ou d'un BJT.

À chaque paire de conducteurs ont peut associer une capacité parasite. Dans le cas de composants semiconducteurs, chaque jonction p-n a en son coeur une zone de déplétion à laquelle on associe une capacité "statique". C'est en premier lieu cette capacité qui apparaît entre les paires de bornes des transistors.



- Comment est définie la fréquence de gain unitaire ("unity-gain frequency" aussi appelée "transition frequency") ?

C'est la fréquence à laquelle le gain de courant en court-circuit est unitaire. C'est vrai tant pour le BJT que pour le MOSFET.

- Quelle est la dépendance de la fréquence de gain unitaire des BJT et des FET en fonction des capacités respectives ?

Voir équations 10.9 et 10.21. Elles ont les mêmes formes

4. Soit le courant $I_{DQ} = 10 \text{ mA}$ dans un MOSFET de tension de seuil $V_t = 0.5 \text{ V}$ polarisé à $V_{GSQ} = 1.5 \text{ V}$. On mesure sa fréquence de gain unitaire à 1.4 GHz. Quel la valeur des condensateurs parasites C_{gs} et C_{gd} ? Considérez une répartition 8:1 entre eux.

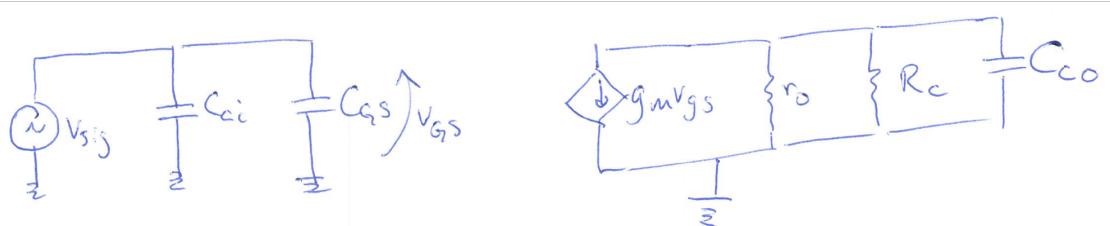
On utilisera l'équation 10.9.

$$g_m = 20 \text{ mS}, C_{\Sigma} = C_{gs} + C_{gd} = 2.25 \text{ fF}, C_{gs} = 2 \text{ fF}, C_{gd} = 0.25 \text{ fF}$$

5. Et si on avait mesuré la fréquence de gain unitaire d'un BJT, comment pourrions nous remonter aux condensateurs parasites C_{π} et C_{μ} .

Le même raisonnement s'applique car l'éq 10.21 a la même forme que l'éq. 10.9, en calculant g_m de façon appropriée.

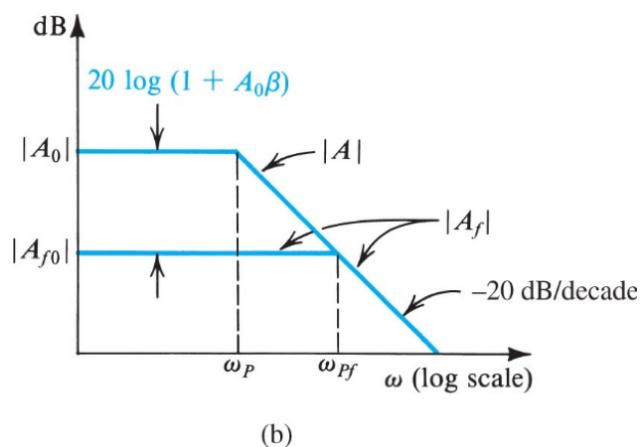
E.3 Théorème de Miller



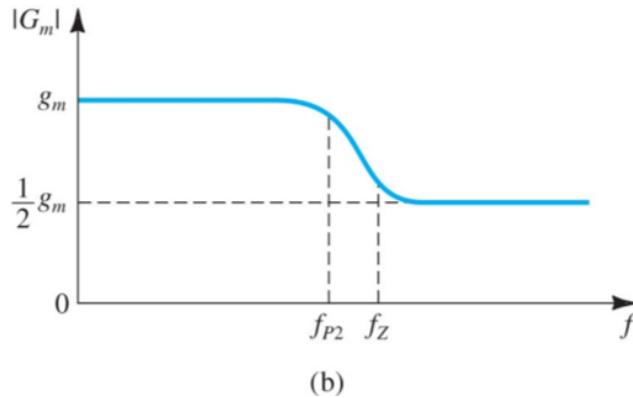
$$C_{Ci} = 510 \text{ pF}, C_{Co} = 10.2 \text{ pF}$$

E.4 Principes du comportement en fréquence

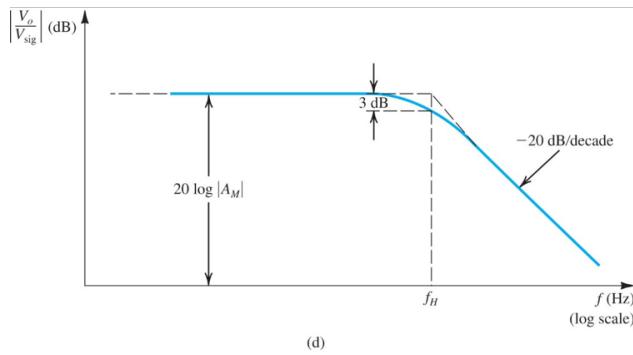
- a) Dans un ampli modélisé comme un passe-bas d'ordre 1, lorsque qu'on applique une contre-réaction avec un facteur $1+A\beta$, le gain diminue de ce facteur tandis que la fréquence de coupure résultante est multipliée par le même facteur. On peut donc dire que le produit du gain par la bande passante est approximativement constant (= GBW). Exemple :



- b) Zéro fini : le gain transite entre 2 plateaux de valeurs connues. Exemple :



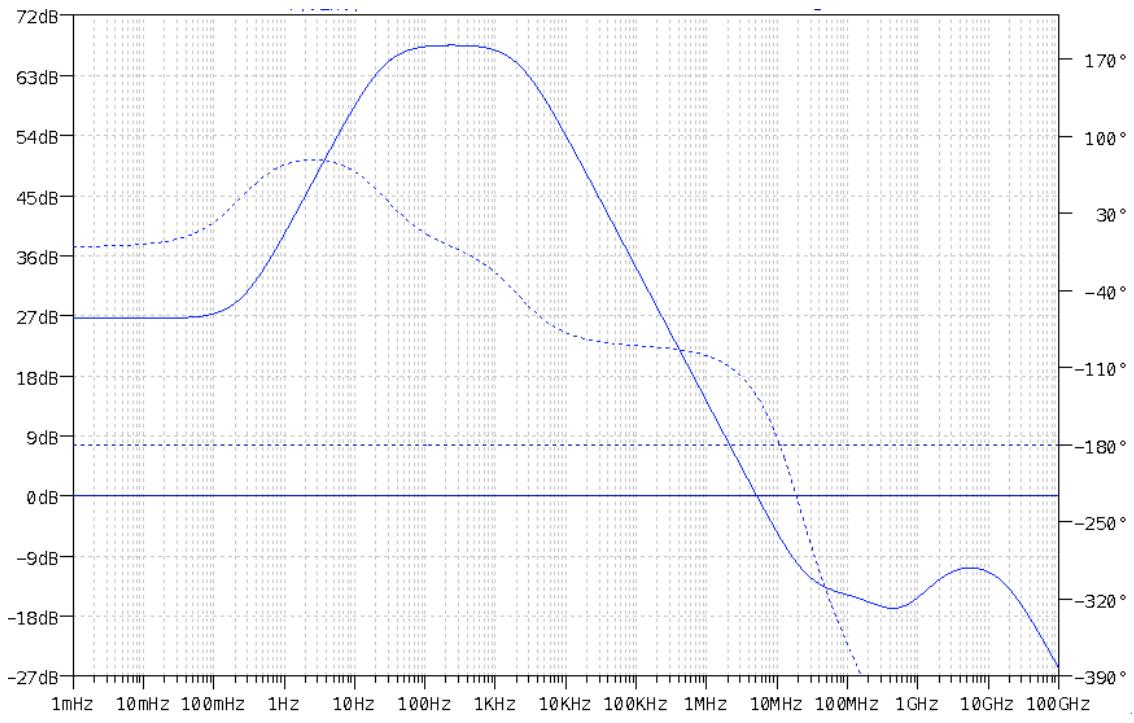
Zéro à l'infini : le gain décroît jusqu'à 0, comme par exemple un passe-bas d'ordre 1.
Exemple :



- c) — L'idée est de diminuer le gain à une fréquence plus basse, de sorte que lorsque les pôles et zéros liés aux parasites des transistors entrent en jeu et entraînent un déphasage de 180 deg, le gain est déjà < 1 donc la marge de gain est assurée.
- L'idée est que ce pôle résultant de la compensation est suffisamment basse-fréquence pour que l'effet des pôles et des zéros dus aux parasites n'apparaît que lorsque le gain est devenu une atténuation substantielle (en HF).

E.5 Compensation d'un amplificateur

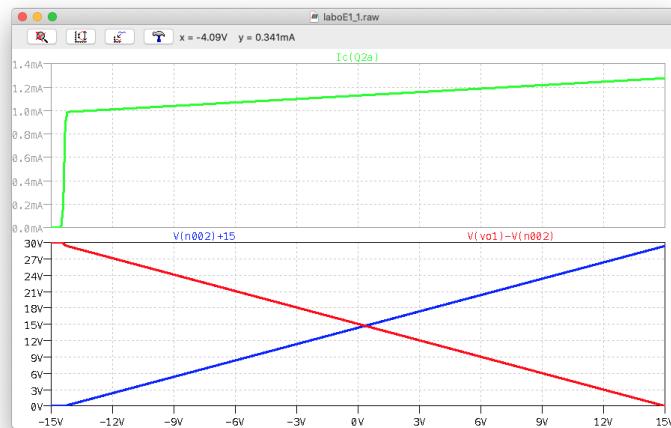
Une multitude de solutions possibles. Ici avec une compensation à ~ 2 kHz et une dégénérescence de 15 dB avec GBW résultant = ~ 5 MHz.



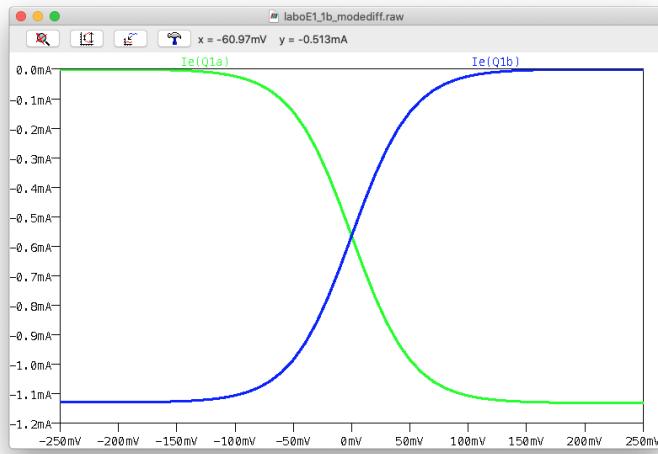
B.5 Laboratoire

E.1 Comportement d'un étage différentiel

- a) Plage mode commun va d'environ -14 à +14.5 V. en dessous de -14 V, le transistor du miroir de courant ne fonctionne plus adéquatement (saturation), au-dessus de 14.5 V, les transistors de la paire différentielle ne fonctionnent plus adéquatement (saturation). Avec une charge active la plage du côté positif diminuerait puisqu'il faudrait accomoder un V_{BE} de plus. Légende : vert I_C , rouge V_{CEQ2a} , bleu V_{CEQ1b} .



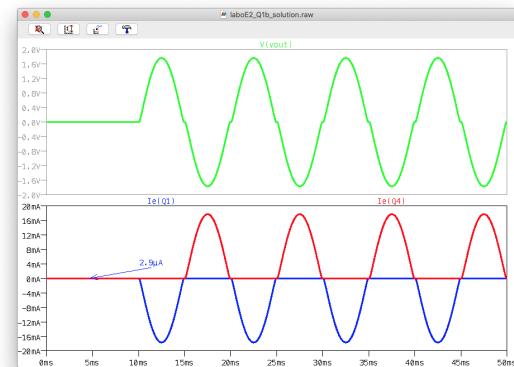
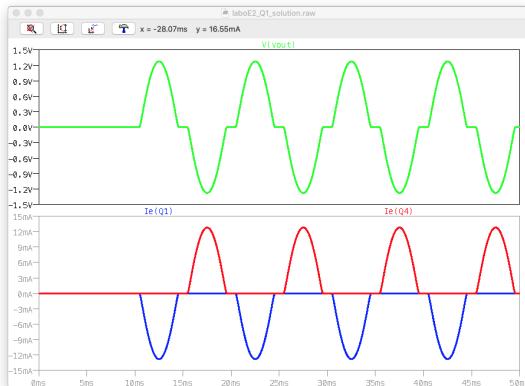
- b) Zone linéaire environ $40 \text{ mV}_{\text{crête}}$; absolue environ $140 \text{ mV}_{\text{crête}}$ mais avec saturation des transistors de la paire.



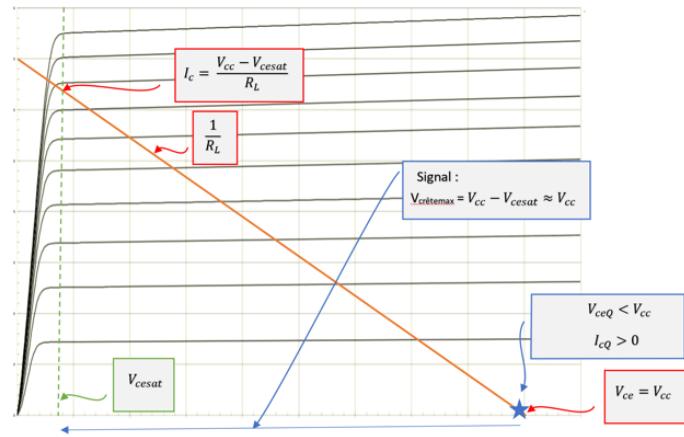
- c) $A_{vd} = 20.6 \text{ dB} = 10.7 \text{ V/V} = \frac{1}{2}g_m R_c = 0.5 * 0.0214 * 1\text{k}$ (correspond au .op !)
- d) $A_{vc} = -46 \text{ dB}$. Le gain est $\approx \frac{g_m R_c}{1+2g_m r_{oq2a}}$, donc petit mais pas nul.
- e) $A_{vd} = 66.3 \text{ dB}$, $A_{vc} = -54.2 \text{ dB}$, CMRR = 120 dB
- f) Non $I_O > I_{ref}$, en majorité dû aux V_{CE} non identiques (effet Early $\sim r_o$)

E.2 Configuration Push-Pull

- a) Solution pour $V_{tt} = 0 \text{ V}$ (gauche) et $V_{tt} = 0.5\text{V}$ (droite) :



- b) Droite de charge :



c) Boucle fermée ...

E.3 Comportement fréquentiel d'un amplificateur

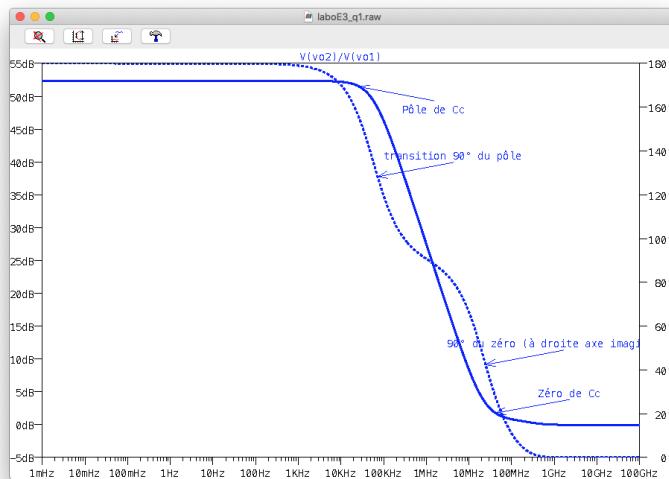


FIGURE B.1 Réponse à la question a)

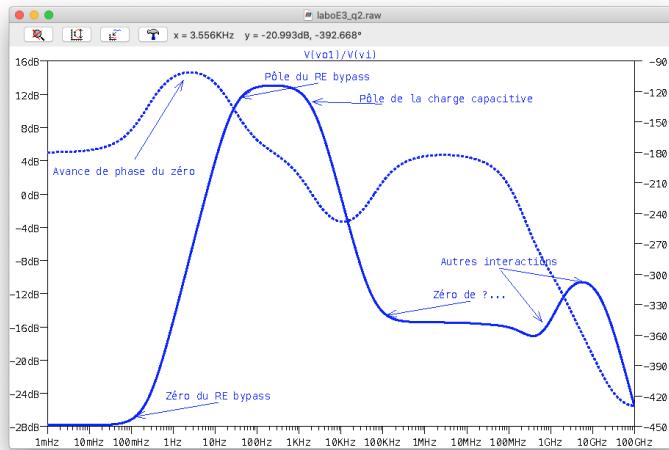


FIGURE B.2 Réponse à la question b)

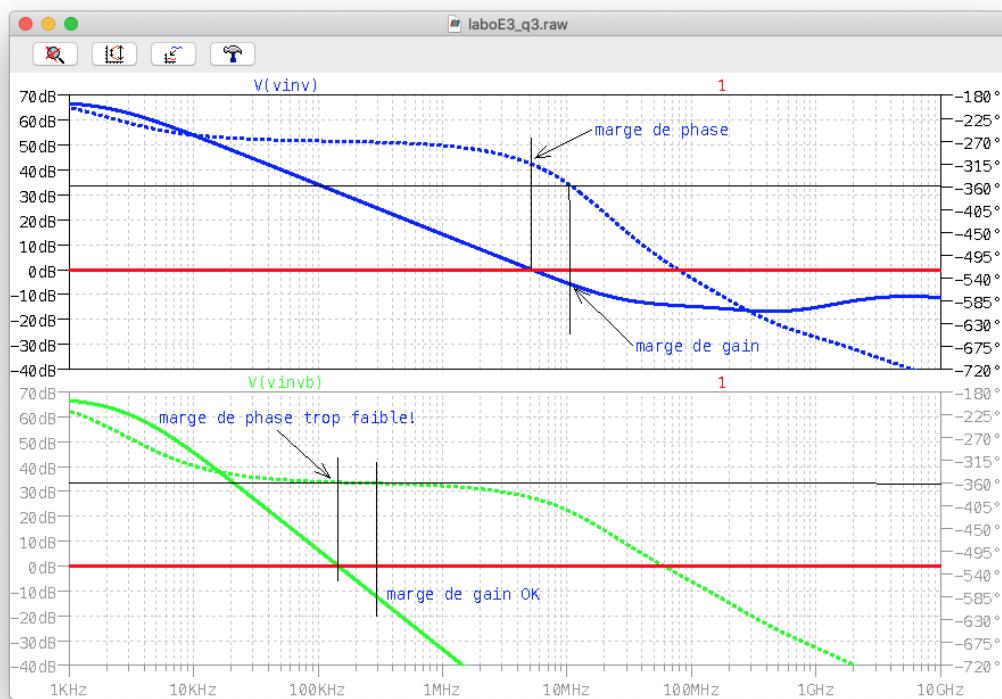


FIGURE B.3 Réponse à la question c)

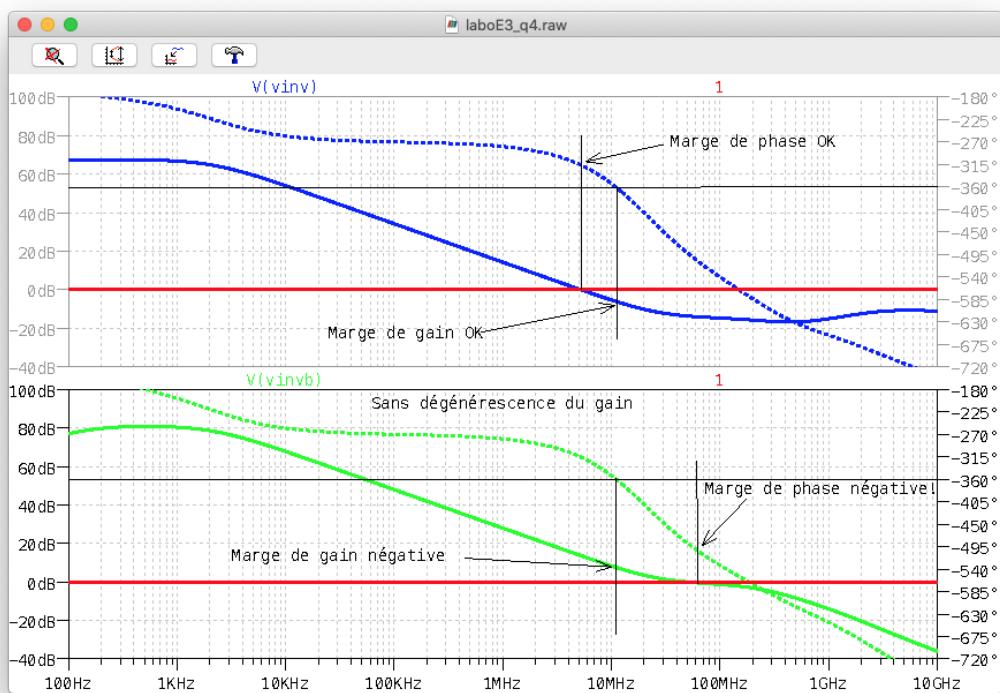


FIGURE B.4 Réponse à la question d)

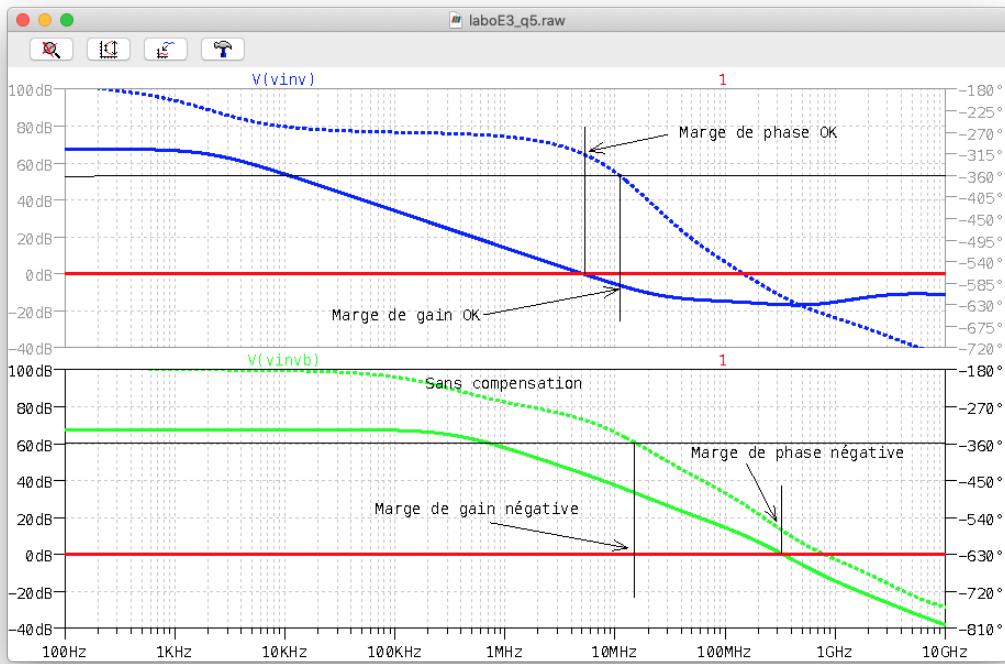
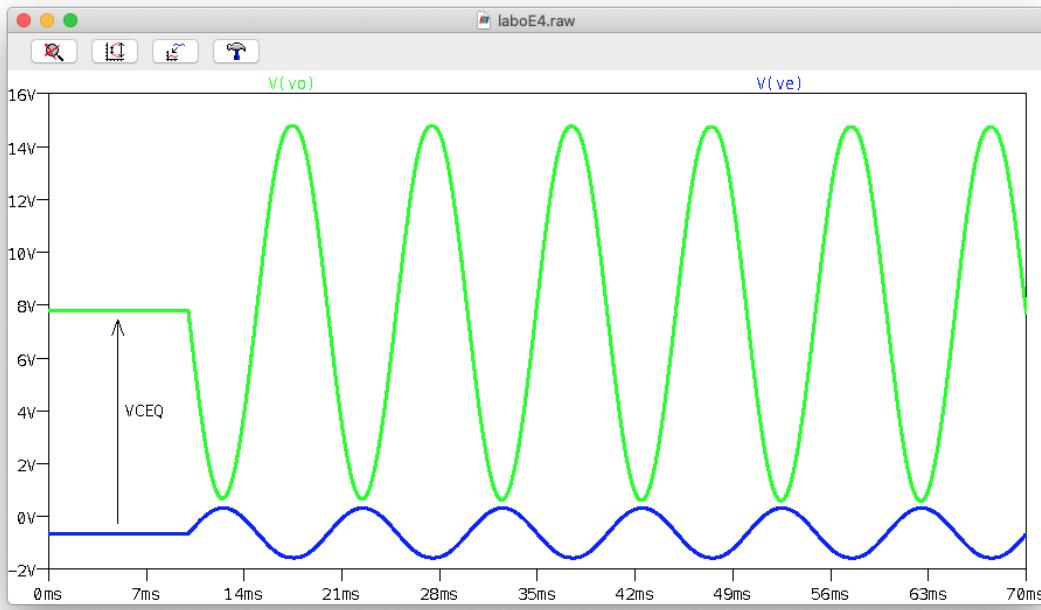


FIGURE B.5 Réponse à la question e)

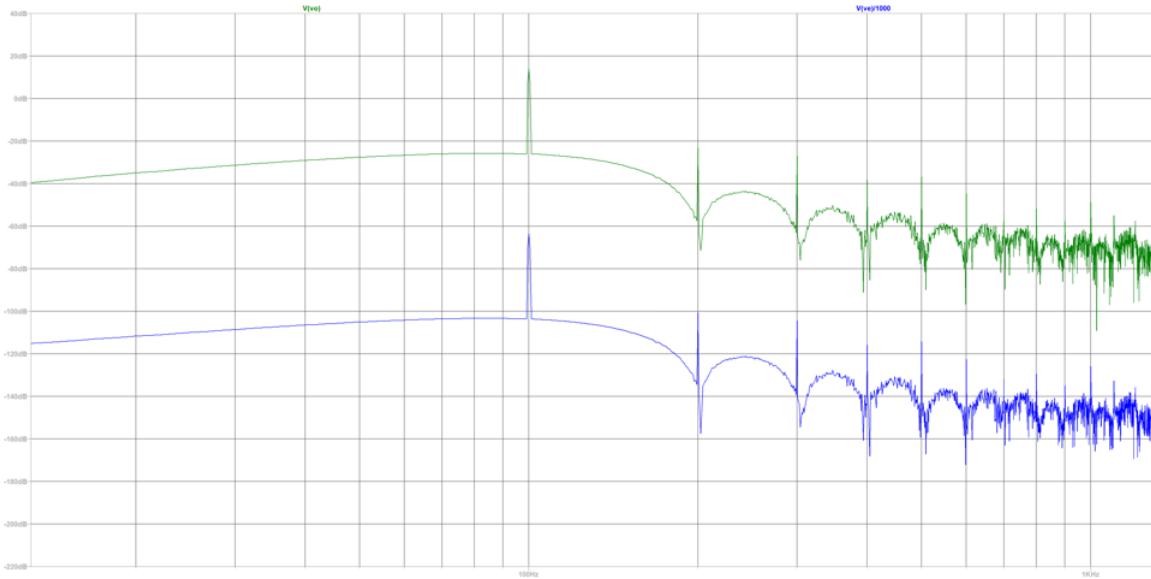
- e) Les autres figures demandées sont semblables aux figures montrées en a et b.
- f) Réponse : oui. La pente de -20 dB par décade est linéaire au moins jusqu'à $A_v = 1$.

E.4 Amplificateur en grand signal et distortion

- a) Variation de V_{CE} avec le signal



- b) Il faut estimer la distorsion à l'aide d'un ratio mesuré sur le graphique soit puissance dans les harmoniques / puissance totale OU puissance dans les harmoniques / puissance dans la fondamentale. Quand la distorsion est faible les 2 formules sont équivalentes. Ici $v_{in} = 1 V_{crête}$. La courbe v_E est volontairement déplacée de 60 dB vers le bas pour faciliter la lecture.



- c) La transformée de Fourier permet d'exprimer tout signal comme une somme de sinus. Donc si on déforme un sinus pur, on fait apparaître des composantes à d'autres fréquences. Par ailleurs, un signal périodique peut s'exprimer comme une somme d'harmoniques. Donc, si on déforme un sinus, on fait apparaître des composantes aux multiples entiers de la fréquence du sinus.

B.6 Procédural 3

E.1 CR simple

La solution complète est à la page 833 (Exemple 11.9).

E.2 CR simple #2

La solution complète est à la page 823 (Exemple 11.7).