

ОСНОВЫ

VerilogHDL/SystemVerilog

(синтез и моделирование)

Задание

❑ Программа работы (что надо сделать)

✓ При подготовке к лабораторной (т.е. дома)

- Создать проект
- На языке Verilog, описать указанный модуль
- Проверить и зафиксировать полученную структуру модуля с помощью RTL viewer.
- Создать тесты и осуществить моделирование
- Назначить выводы для платы miniDilabCIV
- Осуществить полную компиляцию и получить конфигурационный файл
- Подготовить черновик отчета

✓ В лаборатории

- Сконфигурировать FPGA на плате
- Проверить правильность работы по тестам, на которых осуществлялось моделирование
- Показать работу модуля на плате преподавателю.

Задание lab2 (2 часа лабораторных занятий)

❑ Часть lab2_1

- ✓ На языке Verilog, опишите параметризованное устройство (параметр – разрядность данных) выбора максимума/минимума значений, поступающих с четырех входов. Для описание целесообразно использовать оператор условного выбора - `?:`
- ✓ Параметры:
 - `type = minsel` (это базовое значение параметра) - выбора минимума, `maxsel` (или любое другое значение `type` не равное `minsel`) - выбора максимума
 - `width` – разрядность данных (базовое значение 2)
- ✓ Входы данных
 - `[width-1 :0] a` - (при реализации модуля назначить на переключатели `sw[1:0]`)
 - `[width-1 :0] b` - (при реализации модуля назначить на переключатели `sw[3:2]`)
 - `[width-1 :0] c` - (при реализации модуля назначить на переключатели `sw[5:4]`)
 - `[width-1 :0] d` - (при реализации модуля назначить на переключатели `sw[7:6]`)
- ✓ Выход: `[width-1 :0] res` – (при реализации модуля: назначить на светодиоды `led[7:6]`, остальные светодиоды должны быть выключены)
- ✓ Имя проекта – `lab2_1`. Имя модуля верхнего уровня – `lab2_1`. Имя файла – `lab2_1.v`

Задание lab2 (2 часа лабораторных занятий)

□ Часть lab2_2

- ✓ На языке Verilog, опишите параметризированное устройство (параметр – topW – разрядность, базовое значение =2), содержащее два экземпляра модуля, созданного в lab2_1
 - Один экземпляр (mins): type = minsel; width – 2
 - Второй экземпляр (maxs): type = maxsel (или любое другое значение type не равное minsel) ; width – 2
- ✓ Входы данных (общие для двух экземпляров)
 - [topW-1 : 0] top_a - (при реализации модуля назначить на переключатели sw[1:0])
 - [topW-1 :0] top_b - (при реализации модуля назначить на переключатели sw[3:2])
 - [topW-1 :0] top_c - (при реализации модуля назначить на переключатели sw[5:4])
 - [topW-1 :0] top_d - (при реализации модуля назначить на переключатели sw[7:6])
- ✓ Выход:
 - [topW-1 :0] minres – (при реализации модуля: назначить на светодиоды led[7:6])
 - [topW-1 :0] maxres – (при реализации модуля: назначить на светодиоды led[1:0])
 - остальные светодиоды выключены
- ✓ Имя проекта – lab2_2. Имя модуля верхнего уровня – lab2_2. Имя файла - lab2_2.v
- ✓ **Моделирование следует осуществить при topW-1 = ваш номер в списке группы%5 + 3**
- ✓ **Реализацию на плате следует осуществить при topW-1 = 2**