



INFORMATIKOS FAKULTETAS  
KOMPIUTERIŲ KATEDRA

# Skaitmeninė logika

Laboratorinis darbas nr. 3,  
242 variantas

Atliko: IFF-1/4 gr. stud.

Dovydas Stumbra

Priėmė:

dėst. Stasys Maciulevičius

KAUNAS, 2022

## Turinys

<b>1. UŽDUOTIES VARIANTAS</b>	3
1.1. Užduoties duomenys	3
1.2. Užduoties tikslas	3
<b>2. UNIVERSALIOJO REGISTRO PROJEKTAVIMAS</b>	4
2.1. Teisingumo lentelė	4
2.2. Registro schema	4
2.3. Veikimo testavimas	5
2.4. PLIS programavimas	6
<b>3. IŠVADOS</b>	9

# 1. UŽDUOTIES VARIANTAS

## 1.1. Užduoties duomenys

Paskirtame užduoties variante (242) duoti tokie registro parametrai ir funkcijos:

- Bitų skaičius – 5;
- Postūmiai:
  - 1) LR1 (loginis, per vieną poziciją į dešinę);
  - 2) CL2 (ciklinis, per dvi pozicijas į kairę);
  - 3) AR2 (aritmetinis, per dvi pozicijas į dešinę, atvirkštiniu kodu).
- Įrašomos informacijos tipas – 0;
- Nulio nustatymas – sinchroninis;
- Skaičių kodas – atvirkštinis.

## 1.2. Užduoties tikslas

Laboratorinio darbo tikslas yra sudaryti universaliojo ir specializuoto, veikiančio pagal individualiame variante paskirtus postūmius, registrų veikimo lenteles, nubraižyti schemas. Turint schemas, sudaryti testus ir patikrinti jų veikimą. Galiausiai suprogramuoti PLIS matricas. Schemų projektavimui bus naudojama „Lattice Diamond“ programinė įranga, simuliacijų kūrimui „ModelSim“, o fiziniam schemas testavimui – „Lattice Brevia“ stendas. Laboratorinio darbo metu susipažinsiu su informacijos saugojimo ir operacijų būdais registruose, jų charakteringosiomis savybėmis. Pagilinsiu žinias apie postūmių operacijas. Susipažinsiu su PLIS programavimu, schemų pritaikymu testavimui fizinėse plokštelėse ir tai išbandysiu laboratorijoje.

## 2. UNIVERSALIOJO REGISTRO PROJEKTAVIMAS

### 2.1. Teisingumo lentelė

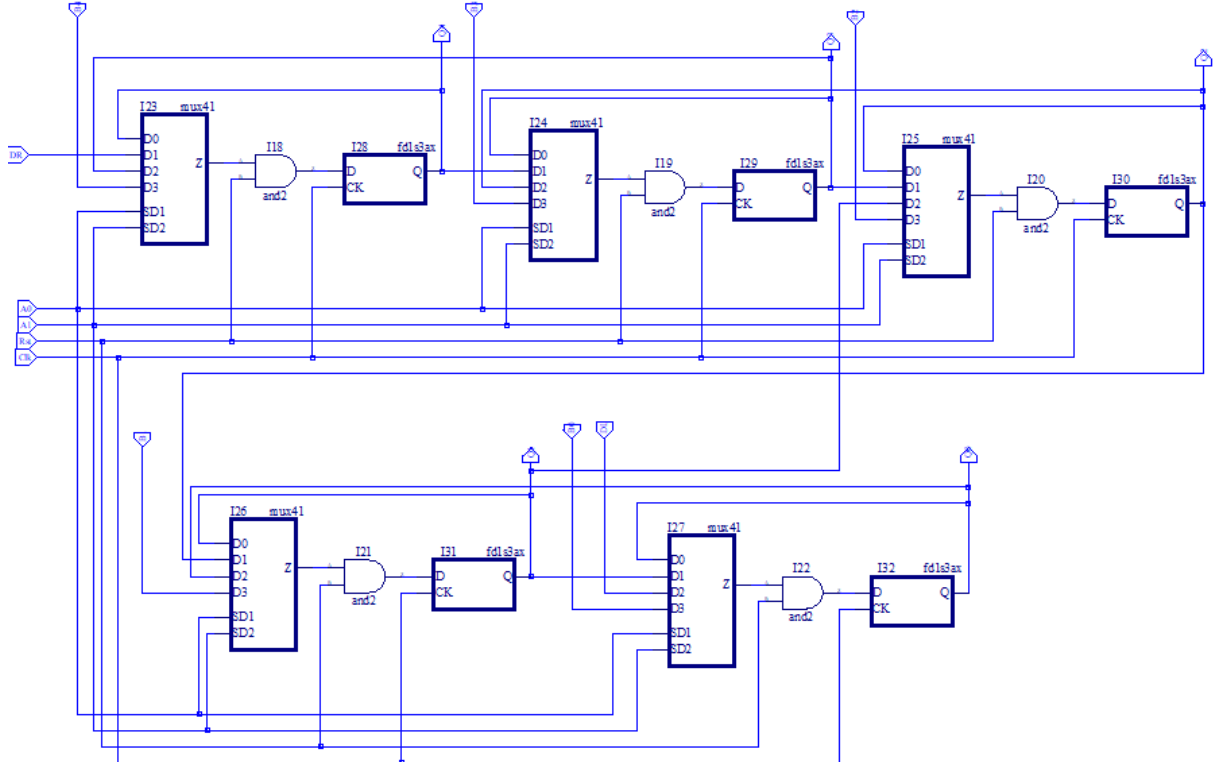
Pagal bitų kiekį (5) sudaryta teisingumo lentelė pavaizduota 1 pav. Nulio nustatymui A0 ir A1 signalo tipas reikšmės neturi, todėl jie pažymėti simboliais „x“. Simboliai D4-D0 vaizduoja registro bitų įvestis.

R	A0, A1	Q4, Q3, Q2, Q1, Q0	Mikrooperacija
0	x x	0 0 0 0 0	Nulio nustatymas
1	0 0	Q4, Q3, Q2, Q1, Q0	Saugojimas
1	1 0	QR Q4 Q3 Q2 Q1	LR1, DR
1	0 1	Q3 Q2 Q1 Q0 DL	LL1, DL
1	1 1	D4 D3 D2 D1 D0	Lyg. Info įrašymas

1 pav. Teisingumo lentelė

### 2.2. Registro schema

Naudojant programinę įrangą „Lattice Diamond“ suprojektuota universaliojo registro schema pateikta 2 paveiksle. Jos įvestys: Rst – nustatymo į nulį signalas, Clk – sinchrosignalas, A1 ir A0 – valdantieji signalai bei B0-B4 yra registro bitai. Išvestis sudaro Q1-Q4. Vėliau A0 ir A1 bus apjungti į A\_01, B0-B4 į Duom, o Q1-A4 į Result signalus, siekiant geriau vaizdžiai stebėti simuliacijos rezultatus „ModelSim“ programoje.



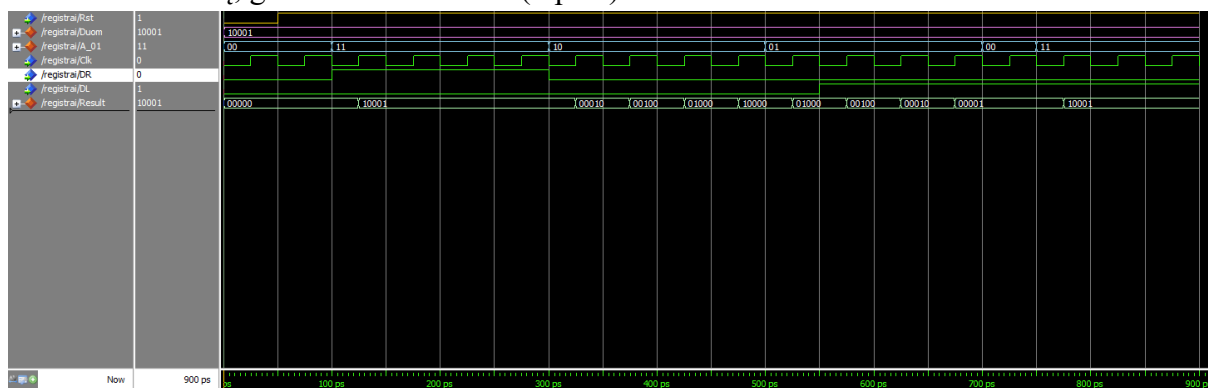
2 pav. Universaliojo registro schema

### 2.3. Veikimo testavimas

Norint patikrinti registro veikimą, sudaromi testiniai duomenys. Atsidarius „ModelSim“ programą, pirmiausiai apjungiami A0 ir A1 signalai į A\_01, Q0-Q4 išvestys į Result, o D0-D4 įvestys į Duom kanalą, kad būtų patogiau matyti paduotas ir išvedamas reikšmes. Testavimui naudotos tokios direktyvos:

```
restart -f
force -freeze sim:/Registrai/Rst 0 0, 1 {50 ps}
force -freeze sim:/Registrai/Clk 0 0, 1 {25 ps} -r 50
force -freeze sim:/Registrai/A_01 00 0, 11 100, 10 300, 01 500, 00 700, 11
750
force -freeze sim:/Registrai/DR 0 0, 1 {100 ps}
force -freeze sim:/Registrai/DR 0 300
force -freeze sim:/Registrai/DL 0 0, 1 {550 ps}
force -freeze sim:/Registrai/Duom 10001 0
run 900
```

Atlikus testavimą, gauti tokie rezultatai (3 pav.).



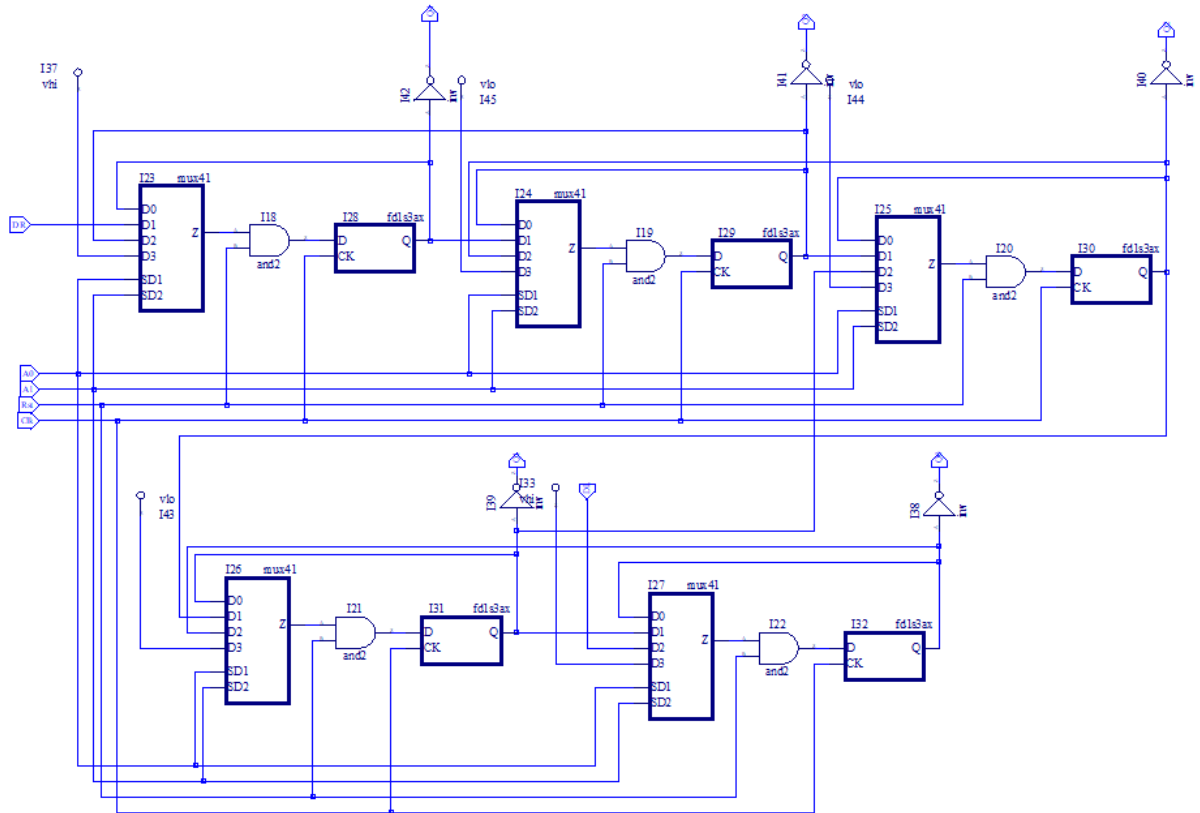
3 pav. Universaliojo registro veikimo simuliacija

Violetoje spalva žymimos įvestys, mėlyna – valdantieji signalai, žalia – sinchrosignalas ir DR bei DL įvestys, o balta – generuojami rezultatai.

Pirmiausia į registrą įrašomi 0. Nuo 100 ps, kai valdantieji A1 ir A2 signalai (sujungti į A\_01) atitinka 11, ir pasiekiamas aukštas sinchrosignalas (125 ps), vykdomas duomenų įrašymas: 10001. A\_01 įgijus reikšmes atitinkamai 1 ir 0 keturis periodus vykdomas postūmis į kairę, keičiant DL bitų reikšmes. Kai A\_01 paduodami 0 ir 1 signalai bei pasiekiamas aukštas sinchrosignalas, keturis periodus vykdomas postūmis į dešinę, keičiant DR bitų reikšmes. Valdantiesiems signalams įgavus reikšmes 1 ir 1 ir pasiekus aukštą sinchrosignalą, į registrą įrašomi pradiniai duomenys 10001.

## 2.4. PLIS programavimas

Siekiant pritaikyti schemą PLIS matricai, ji buvo perdaryta. „Lattice Brevia“ stendui pritaikytam modeliui atlikti šie pakeitimai: B0-B4 įvestys pakeistos v-hi (penktasis ir nulinis) ir v-low (ketvirtasis, trečiasis, antrasis ir pirmasis) signalais, o išvestys invertuotos. Modifikuota schema pateikta 4 paveiksle.



4 pav. PLIS universaliojo registro schema

Universaliojo registro *Spreadsheet View* langas, priskiriantis jungtis stendo kontaktams (5 pav.). „Input“ reikšmėms suteikiami mygtukų kodai, o „output“ signalams – LED lempučių kodai. Nuspaudus atitinkamus mygtukus bus generuojamas rezultatas ir atitinkamai švies lemputės. Svarbu, kad „PULLMODE“ būtų nustatytas į „UP“, nepaspausti mygtukai generuos aukštą loginį lygį.

Name	Group By	Pin	BANK	VREF	IO_TYPE	PULLMODE
▼ All Ports	N/A	N/A	N/A	N/A	N/A	N/A
▼ Input	N/A	N/A	N/A	N/A	N/A	N/A
A0	N/A	56	5	N/A	LVC MOS25	UP
A1	N/A	55	5	N/A	LVC MOS25	UP
▼ Clock	N/A	N/A	N/A	N/A	N/A	N/A
Clk	N/A	52	5	N/A	LVC MOS25	UP
DL	N/A	57	5	N/A	LVC MOS25	UP
DR	N/A	58	5	N/A	LVC MOS25	UP
Rst	N/A	50	5	N/A	LVC MOS25	UP
▼ Output	N/A	N/A	N/A	N/A	N/A	N/A
Q0	N/A	37	5	N/A	LVC MOS25	UP
Q1	N/A	38	5	N/A	LVC MOS25	UP
Q2	N/A	39	5	N/A	LVC MOS25	UP
Q3	N/A	40	5	N/A	LVC MOS25	UP
Q4	N/A	43	5	N/A	LVC MOS25	UP

5 pav. Spreadsheet View langas

Universaliojo registro apribojimų failo rodmenys (.lpf), nurodantys atitinkamų signalų priskirtus kanalus fiziniam stendui:

```
BLOCK RESETPATHS ;  
BLOCK ASYNCPATHS ;  
LOCATE COMP "Q0" SITE "37" ;  
LOCATE COMP "Q1" SITE "38" ;  
LOCATE COMP "Q2" SITE "39" ;  
LOCATE COMP "Q3" SITE "40" ;  
LOCATE COMP "Q4" SITE "43" ;  
LOCATE COMP "DR" SITE "58" ;  
LOCATE COMP "Clk" SITE "52" ;  
LOCATE COMP "A0" SITE "56" ;  
LOCATE COMP "A1" SITE "55" ;  
LOCATE COMP "DL" SITE "57" ;  
LOCATE COMP "Rst" SITE "50" ;
```

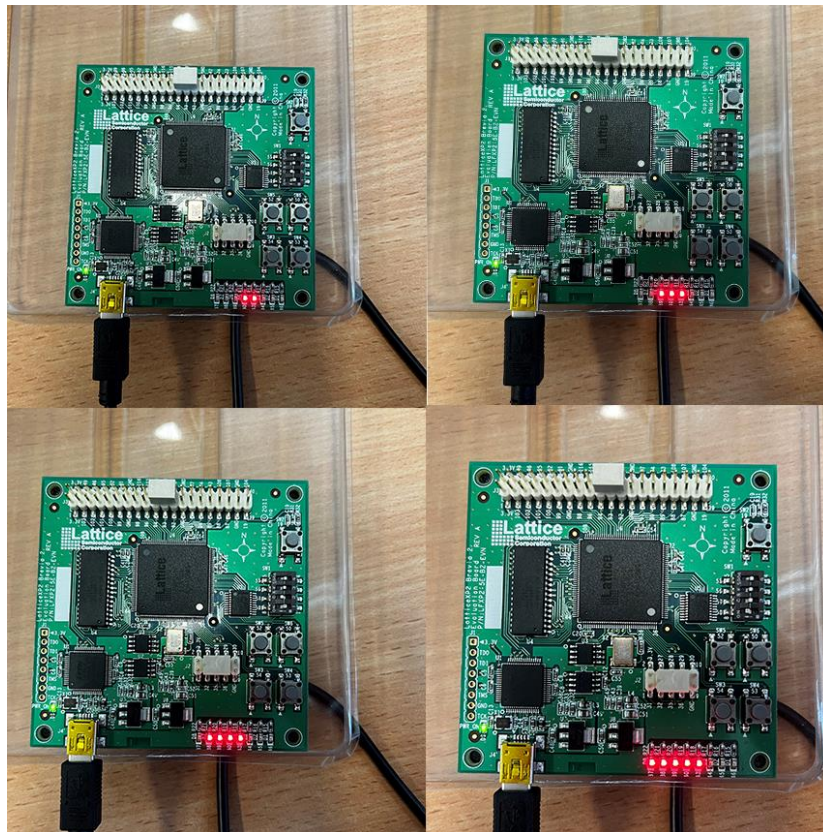
Suprogramavus PLIS matricą ir prijungus stendą prie kompiuterio, schema ištestuota. 6 paveiksle vaizduojamas duomenų įrašymas. Įvedami duomenys yra 10001, todėl šviečia pirmoji ir paskutinioji LED lemputės.



6 pav. Universaliojo registro duomenų įrašymo PLIS realizacija

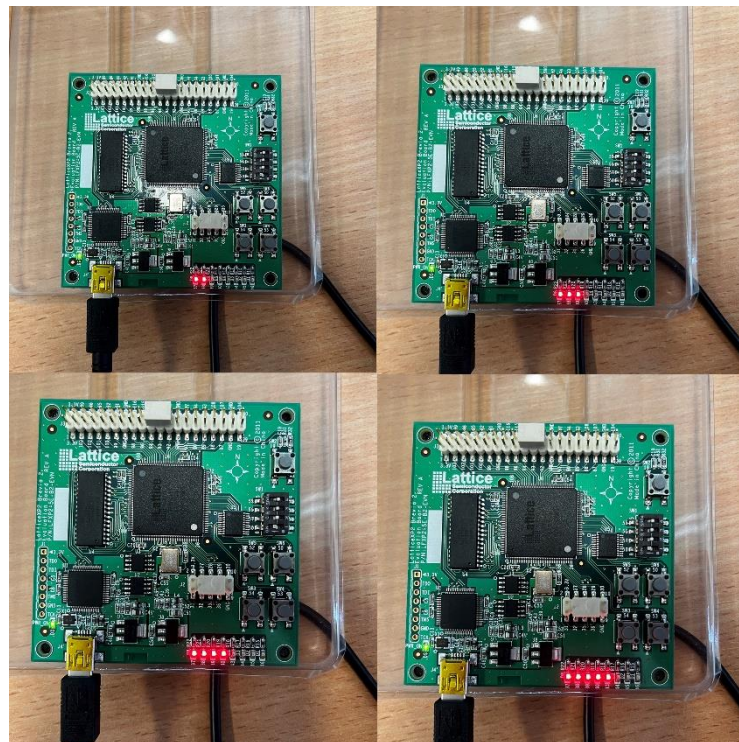


7 pav. demonstruoja loginio postūmio į kairę realizaciją. Kiekvieną kartą spaudžiant sinchrosignalu mygtuką išsižiebia kairėje pusėje esanti lemputė.



7 pav. Universaliojo registro postūmio į kairę PLIS realizacija

8 pav. matyti, kaip veikia loginis postūmis į dešinę. Paspaudus sinchroninio signalu mygtuką, įjungiami dešiniau esanti LED lemputė.



8 pav. Universaliojo registro postūmio į dešinę PLIS realizacija



### 3. IŠVADOS

- Laboratorinio darbo metu susipažinau su registrais ir jų charakteringomis savybėmis;
- Įgyvendinau universaliojo registro schemą, naudodamasis „Lattice Diamond“ programine įranga;
- Įvertinau registro veikimą sukurdamas simuliaciją „ModelSim“ programa;
- Pritaikiau schemą „Lattice Bravia“ stendui;
- Sėkmingai pavyko realizuoti universalųjį penkių bitų ilgio registrą, jo simuliaciją ir PLIS programavimo etapus;
- Laboratorijoje ištestavau schemos veikimą PLIS matricos stende ir gauti rezultatai patvirtino jos teisingą veikimą;
- Pagilinau žinias apie informacijos saugojimo būdus, atliekamus postūmius, schemų projektavimo ypatybes ir PLIS programavimą, siekiant fiziškai testuoti parengtus produktus.