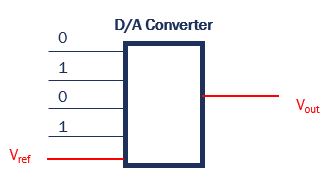
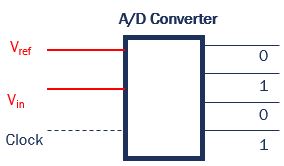
**4. tétel: Analóg digitális átalakítók**

1. **Miért szükségesek az analóg átalakítók a beágyazott rendszerekben?**

A beágyazott rendszerek gyakran fizikai paraméterek értékeit kell, hogy mérjék. Ezek a paraméterek általában folyamatos (analóg) formában szerepelnek és nem digitális (diszkrét) jelek formájában, amit a számítógép fel tudna dolgozni.

Ilyen analóg jelek: hőmérséklet, fény intenzitás, elfordulási szög, nyomás, gyorsulás

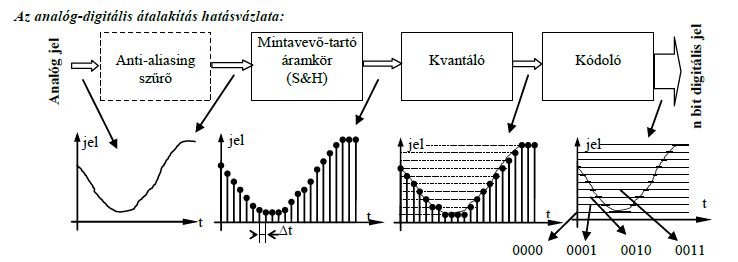
1. **Az analóg/digitális és digitális/analóg átalakítás**:

**1**. ábra: A/D átalakító

2. ábra: D/A átalakító

Az A/D átalakító megmutatja, hogy az éppen adott órajelnél bemenő Vin bemeneti feszültség a Vref referencia feszültségnek mekkora része és ez alapján generál egy multi-bit számsort.

A D/A átalakító a multi-bit számsort hasonlítja össze a Vref referencia feszültséggel és alakítja analóg feszültség jellé.



3. ábra A/D hatásvázlat

Az ***anti-aliasing szűrők*** feladata, hogy a jelre szuperponálódott, de attól szűréssel szétszeparálható zaj, zavar komponenseket kiszűrje és ezáltal a szükséges mintavételezési frekvencia csökkenhessen. Az antialiasing szűrők nagy meredekségű, magas rendszámú/fokszámú aluláteresztő szűrők (gyakran kapcsolt kapacitású szűrők). Az anti-aliasing szűrő alkalmazása opcionális, alkalmazhatósága pedig a mindenkori jeltől függ.

A ***mintavevő-tartó*** (Sample & Hold) *áramkörök* a jelből meghatározott gyakorisággal mintát vesznek és azt egy tartó kondenzátor segítségével megőrzik a következő mintavételig. A tárolt minta analóg, ezért fontos, hogy értékvesztés ne léphessen fel. A mintavételezés frekvenciájára a mintavételezési törvény, a Nyquist-tétel ad előírást. Fsample >= 2 \* Fmax frequency component, azaz a mintavételezési frekvencia legyen kétszerese a maximális frekvenciának.



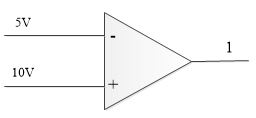
. ábra: Mintavevő tartó

A ***kvantáló áramkör*** a folytonos értéktartományt alakítja véges értékkészletűvé. Ez előfeltétele annak, hogy véges halmazú digitális kódok alkalmazásával a mintát ábrázolni tudjuk.

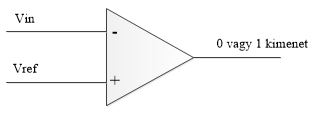
A ***kódoló áramkör*** minden egyes kvantálási lépcsőhöz egyedi azonosítót rendel hozzá. Ez teszi lehetővé, hogy az analóg minta digitálisan ábrázolható legyen.

1. **Az A/D átalakítók megvalósítása:**

Az A/D átalakítók áramköri elemei a komparátorok:



6 ábra: Komparátor példa

  
A komparátor összehasonlít két fesztültség szint értéket, az analóg referencia feszültséget egy analóg bemeneti feszültséggel és 0 vagy 1 bit értéket ad vissza az alapján, hogy melyik feszültség a nagyobb. Ha a pozitív bemenet nagyobb, mint a negatív akkor a kimeneti érték igaz, azaz 1-es, ha a negatív lábon van nagyobb feszültség, akkor a kimenet hamis, azaz 0.

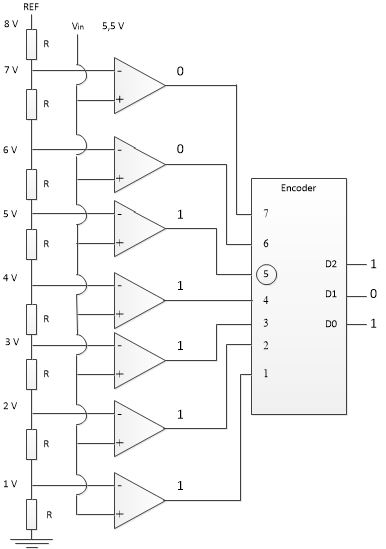
5. ábra: Komparátor

**Párhuzamos (Flash) A/D átalakító:**

Jellemezői:

* Nagy sebesség (1 órajel idő alatt végez el 1 átalakítást)
* Jelkondicionálót nem igényel
* Nagy megbízhatóság
* Magas ár
* 2n-1 db nagy teljesítményű komparátor

A párhuzamos A/D átalakító 3 fő részből áll: a feszültség osztó hálózatból, a komparátorokból és a priority encoderből. A feszültség osztó hálózat az ellenállások számának az arányában felosztja a referencia feszültséget különböző feszültségi szintekre. Ezek a feszültségek a komparátorok negatív lábára csatlakoznak, míg a bemeneti feszültségünk a komparátorok pozitív lábára. Mindegyik komparátor összehasonlítja a rá eső két feszültséget, ha a referencia feszültség nagyobb, mint a bemenő jel, akkor 0-át ad vissza, ha viszont a referencia feszültség a bemenő feszültség alá lép, akkor 1-et fog visszaadni. A priority encoder nézi, hol történt meg az első jelváltozás, és a legnagyobb egyeshez tartozó feszültség szintet alakítsa át digitális kimeneti jellé.



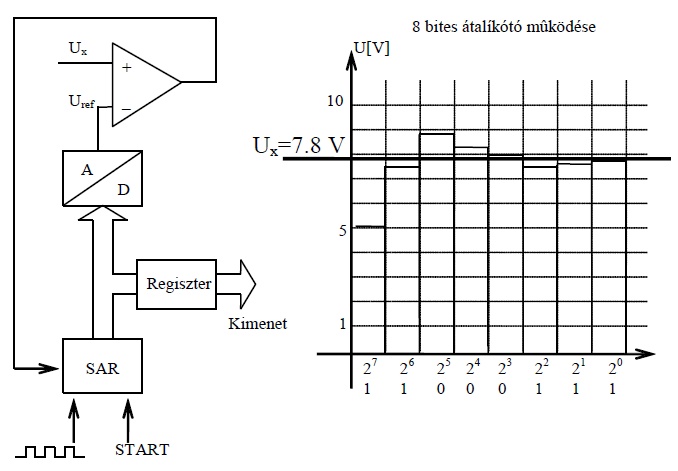
7. ábra: Párhuzamos A/D

A 6. ábrán látható 3 bites párhuzamos A/D átalakító referencia feszültsége 8V, amit az ellenállások segítségével felosztunk. A Vin bemeneti feszültség 5,5 V, amit összehasonlítunk a különböző feszültség szintekkel a komparátorokon. Mivel a feszültég 6 voltig nagyabb a bemenő feszültségnél, addig 0 értéket ad, a jelváltozás 5 voltnál történik, ahol már egyes értéket szolgáltat. Ezt az ötödik bevezetésnél lévő szintet alakítja át az encoder digitális kettes számrendszerbeli számmá, ami jelen esetben 101, így az analóg jelre megkaptuk a digitális megfelelőjét. A pontosság javítható a kimenő bitek számának növelésével, ami n bites átalakító esetén 2n darab ellenállást és 2n-1 darab komparátort jelent.

**Kétoldali közelítéses átalakító:**

Jellemzői:

* közepes sebesség
* közepes ár



8. ábra: SAR

A kétoldali közelítéses átalakító folyamatos közelítéssel megközelíti a bemenő feszültségi szint értékét egy bináris kereső és egy digitális/analóg átalakító segítségével. Kezdetben a DAC (digitális analóg konverter) lenullázza az összes bitet, ami az ábrán most nyolcat jelent, majd a legnagyobb szignifikált bittel (MSB, itt 10000000) kezdi az összehasonlítást. Az MSB-hez tartozó 5 voltos referencia feszültséget összehasonlítja a bemenő értékkel, és mivel a pozitív lábon bejövő érték 7,8 V nagyobb, mint a negatív oldali a komparátor egyes jelet fog visszaküldeni a kétoldali közelítéses regiszternek (SAR). A következő bitet a regiszter egyesre állítja (11000000) és a hozzá tartozó értéket (7,5 V) összehasonlítja ismét a bejövő jellel. Ha a bejövő feszültség még mindig nagyobb, akkor megtartja az egyes értéket, ha már a referencia feszültségünk a nagyobb, akkor viszont átírja az egyest nullára és így lép tovább a kivetkező bitre. Ezt a folyamatot folytatja, amíg el nem ér a legkisebb bithez (LSB). A végén pedig az analóg jelből kapott digitális értéket a regiszter a kimenetre küldi. A pontosság fokozásához minél több bitet használunk, annál jobban megközelíthetjük a bejövő feszültségi szint értékét.

**ADC átalakítási mérték jellemzői:**

Linearitás: méri, milyen mértékben közelít meg egy egyenest az átmeneti feszültség

Differenciál linearitás: méri a lépések egyenlőségét

Konverziós idő: az átalakítás kezdete és az eredmény generálása közti idő

Konverziós arány: inverze a konverziós időnek

**Bemenetek:**

Differenciális:

* 2 csatornát használ és számítja a különbségüket
* Nagyon jó zajmentesség
* Néhány szenzor nyújt differenciál kimenetet (pl Wheatstone híd)

Multiplex:

* Jellemzően megoszt egy ADC-t a többszeri bemenetek között
* Szükséges egy bemenetet kiválasztása és idő hagyása a mintavételhez

Jel szabályozás:

* Erősítés és szűrése a bemenő jelnek
* Védelem a tartomány kívüli bementek ellen diódával

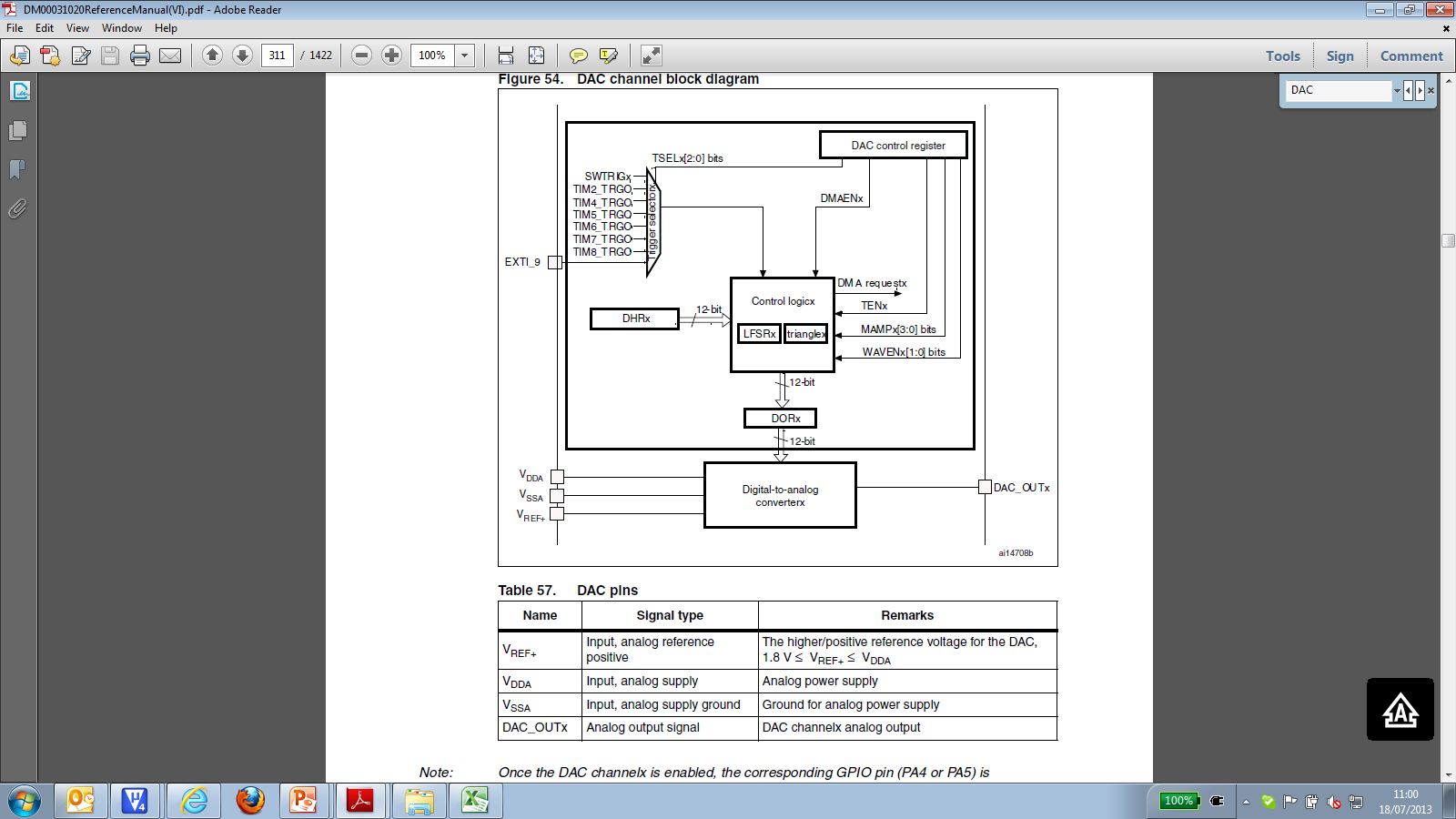
1. **Analóg intefész periféria**

**STM32F4 Discovery Analóg input/output**

Bemenetek: 16 külső 12 bites ADC csatorna

Kimenetek: 2 db 12 bites DAC, egy csatorna mindkettő

1. **Digitális analóg átalakító**



**9**. ábra DAC STM32

2 független csatornával rendelkezik DAC1 és DAC2. Külső tárolóval van felszerelve, így jobb kezelést biztosít a külső terhelésekkel szemben. Különböző adat formátumokat kezel. 12 bites digitális analóg konverternél a kimenetet megkapjuk:

DACoutput( 12 bit)= Vref \*DOR / 4095 ,tartomány tar 0-tól a Vref+-ig, a pozitív referencia tartományig.

Dual csatorna móddal rendelkezik és támogatja a közvetlen memória elérést (DMA).

**Single DAC csatorna mód:**

Adat formátumok: 8 bites jobbra hangolt DAC\_DHR8Rx

12 bites balra hangolt DAC\_DHR12Lx

12 bites jobbra hangolt DAC\_DHR12Rx

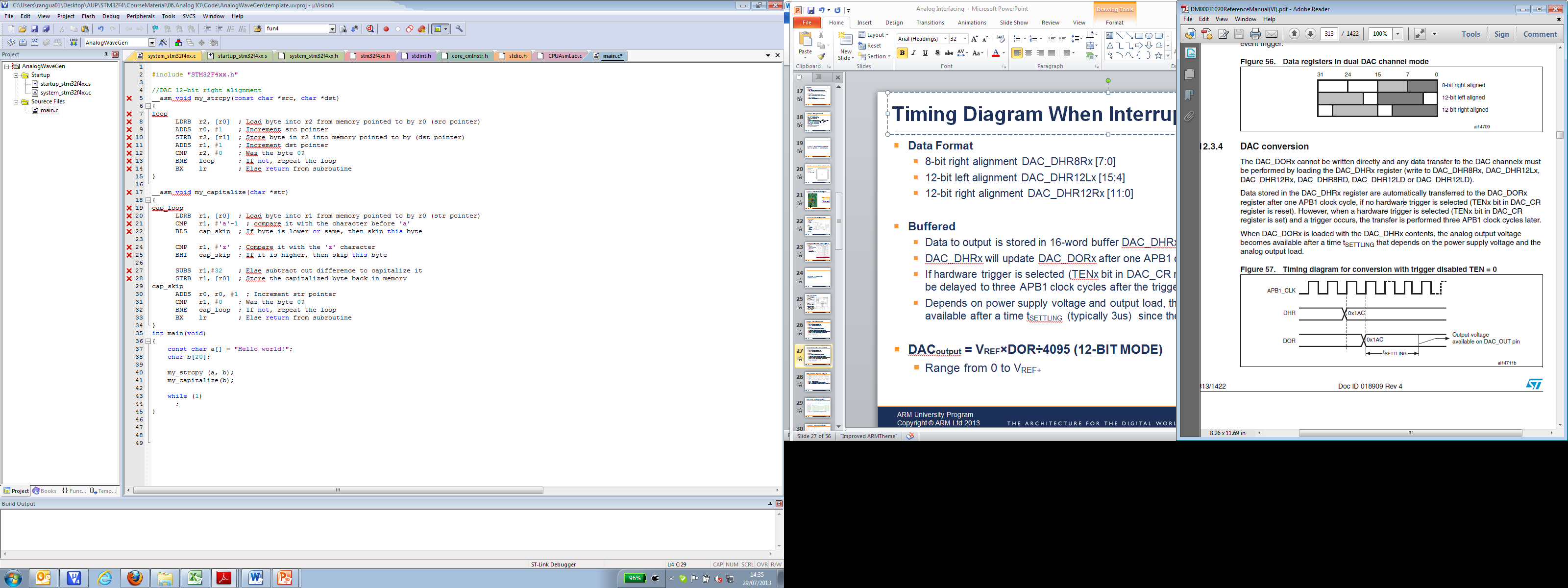
Tároló: Kimeneti adat tárolva van egy 16 szavas DAC\_DHRx tárolóban.

DAC\_DHRx frissül DAC\_DORx-re egy APB1 óra ciklus után.

Ha a hardver triggerelés ki van választva, akkor a frissítés késleltetve lesz 3 APB1 óraciklussal a triggerelés után.

A feszültség ellátástól és a külső terheléstől függően az analóg külső feszültség elérhető lesz egy tsettling idő után az utolsó frissítéstől számítva.

**TEN ( Trigger engedélyezés)**



**10**. ábra: TEN

Ha TEN=0 a triggerelás nem engedélyezett. Ha a triggerelés engedélyezett, 1, akkor választ egy külső eseményt a DAC triggereléséhez és egy ciklus után megjelenik a jel a DOR-on, manjd a tsettling idő után megjelenik a DAC\_OUT tűn a kimeneti feszültség.

**DAC Control Register: DAC\_CR**

0-15 bitig az egyes csatornához, 16 bit felett a kettes csatornához tartozik

Gazdag funkciókban: DMA, hullám-, zaj generátor, triggerelés

EN bit: engedélyezi a DAC csatornát

TN bit: trigger engedélyező bit, azt is eldönti, mennyi óraciklus fusson le mielőtt a DHR terhelés DOR-ba megy

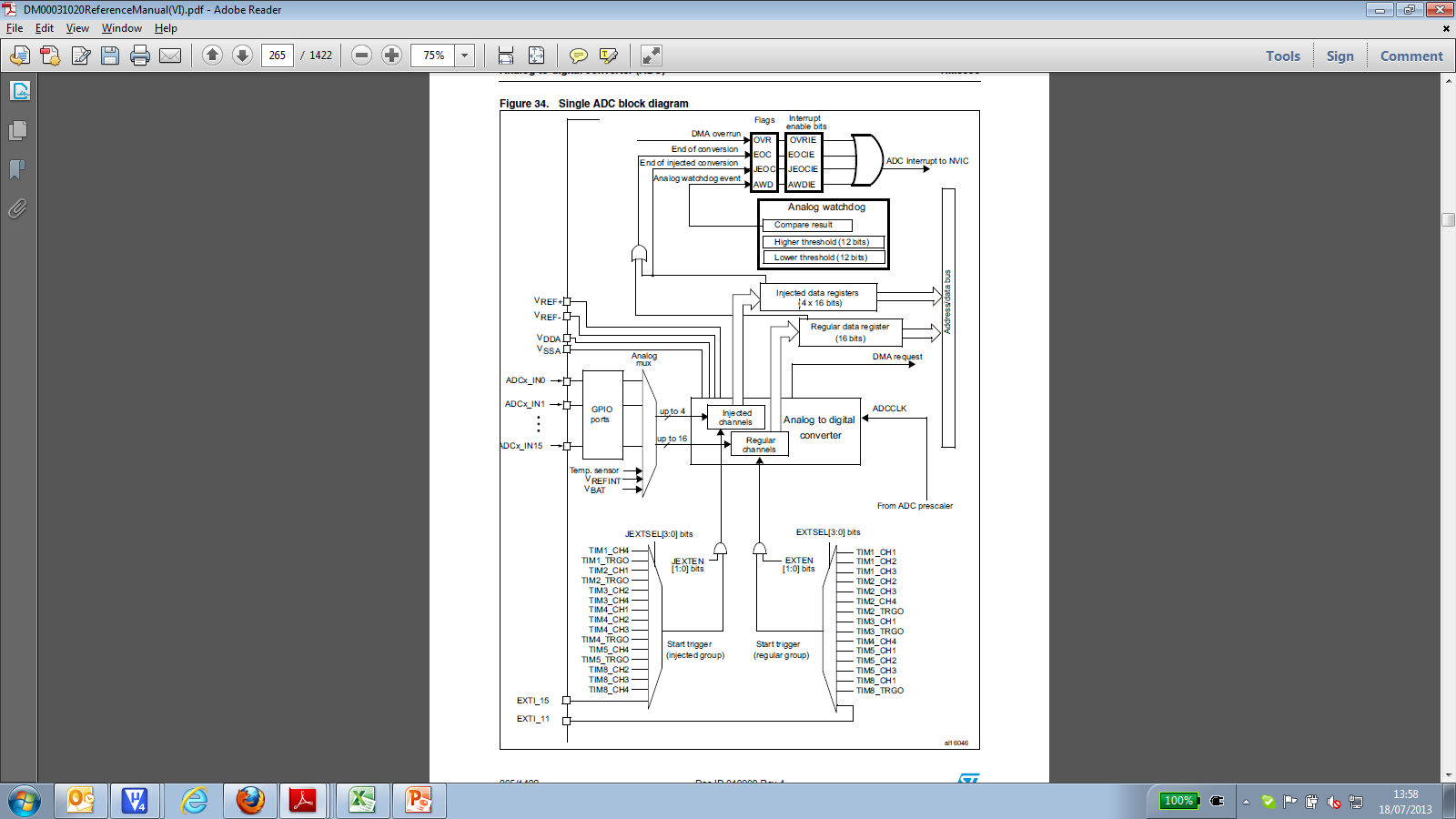
TSEL bit: trigger választás

BOFF bit: a külső tároló nem elérhető, ahhoz hogy növelje a vezető képességet, úgy hogy a kimenet még nem érte el a nullát, ha elérhető, akkor beállítja egyet nem elérhetővé

Wave bit: generál zaj hullámot vagy háromszög hullámot (csak akkor amikor TEN 1)

**DHR – Data Holding Register** – adat tartó regiszter

**b) Analóg digitális átalakító**

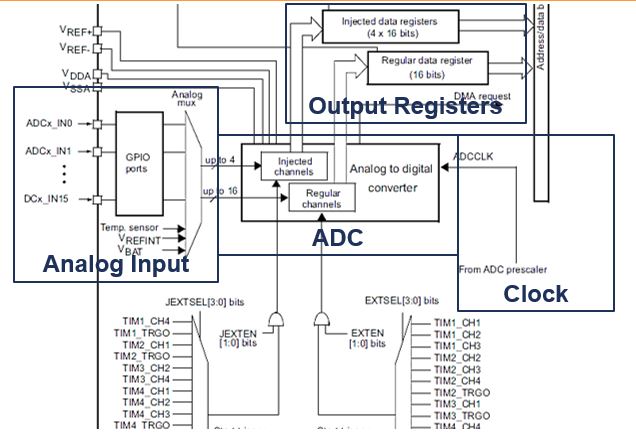


11. ábra ADC vázlat

**ADC jellemzői:**

* Kétoldali közelítést használ az átalakításhoz
* Támogatja a több csatornás felbontást: 12, 10, 8 és 6 bit
* 4 injektált és 16 reguláris csatornák
* Támogatja az single és folyamatos átalakítást
* Dual/ Triple ADC mód
* DMA
* Analóg watchdog
* Hőmérséklet szenzor
* Magas mintavételi sebesség
* Átalakítási tartomány 0-tól 3,6 voltig
* Szkennelési mód automatikus átalakításhoz
* Megszakítás generálás

**ADC rendszer alapok**

****

12. ábra: ADC vázlat2

ADC használata: ADC initalizálás:

* Konfigurálása a GPIO-nak
* Órajel engedélyezés
* ADC engedélyezés
* Referencia feszültség választás
* Trigger forrás választás
* Bemeneti csatorna választás
* Más paraméterek megválasztása

Triggerelés átalakítás

Eredmények olvasása

Kalibrálás ha szükséges, átlag

**Ki-, bekapcsolás vezérlés:**

Energia hatékonyság céljából az ADC modul általában kikapcsol.

Ha ADON bit az ADC vezérlő regiszter 2-ben aktivált, akkor a modul be van kapcsolva, különben kikapcsolt állapotban van. Ha nincs használatban érdemes kikapcsolni.

**Óra konfigurálás:**

Analóg óra:

* ADCCLK,
* APB2 72 Mhz, ami csökkenthető 2, 4, 6, 8-ad részére, legtöbbször 36 Mhz
* ADC common control register (ADC\_CCR) bit 17:16

Digital Interface óra:

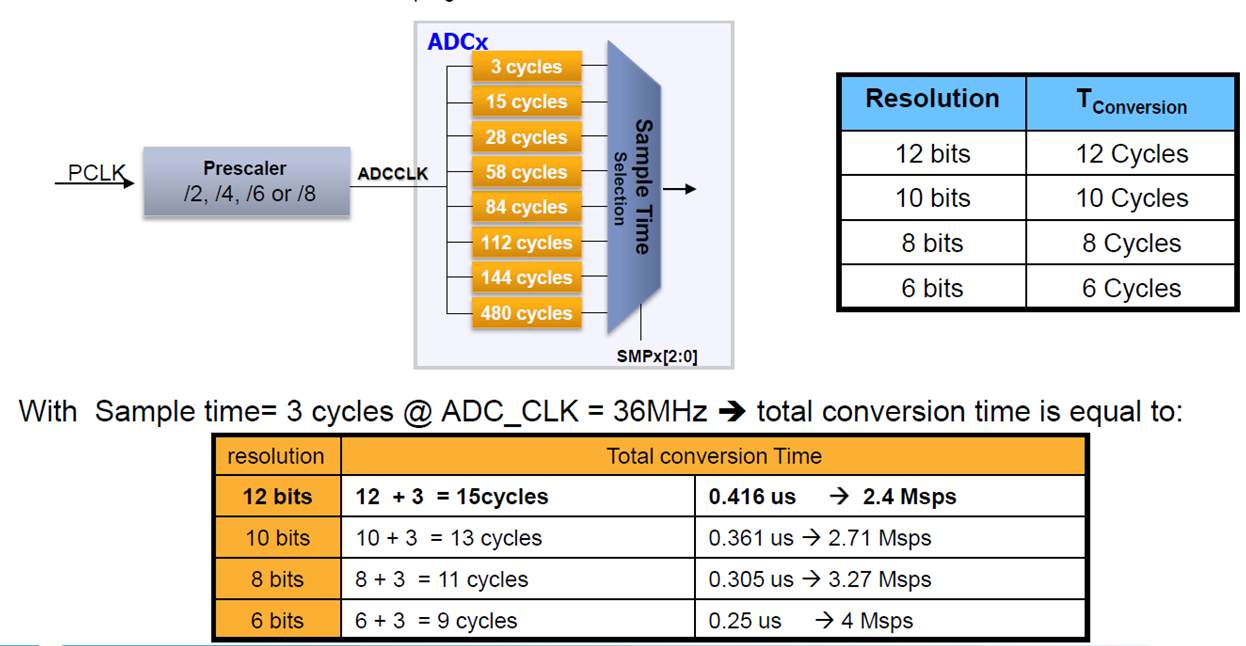
* Regiszterek olvasás és írás eléréséhez
* APB2 (72MHZ)
* Szükséges, hogy egyenként elérhető legyen minden csatorna

**ADC átalakítási idő:**

Programozható mintavételi idő az összes csatornára

Mintavételi idő regiszter 1–től 2-ig

Teljes átalakítási idő= mintavétel ideje (Tsampling) + átalakítási idő ( Tconversion)



13. ábra ADC időátalakítás

**Csatorna választás:**

2 csatorna csoport:

Reguláris csoport

* 16 feletti átalakítás
* Tartalmaz egy átalakítási sorozatot, ami elvégezhető bármely csatornán
* Módosítható minden sorrend az ADC SQRx regiszeter konfigurálásával
* Módosítható a teljes átalakítások száma az ADC\_SQR1 regiszeter legfeljebb 4 bitjének konfigurálásával

Injektált csoport:

* 4 átalakítás felett
* Hasonló a reguláris csoporthoz
* De a sorozat az ADC\_JSQR regiszter segítségével módosítható
* Módosítható a teljes átalakítások száma az ADC\_JSQR regiszeter legfeljebb 2 bitjének konfigurálásával

**Átalakítás végrehajtás**

Single átalakítási módban

Reguláris csatorna:

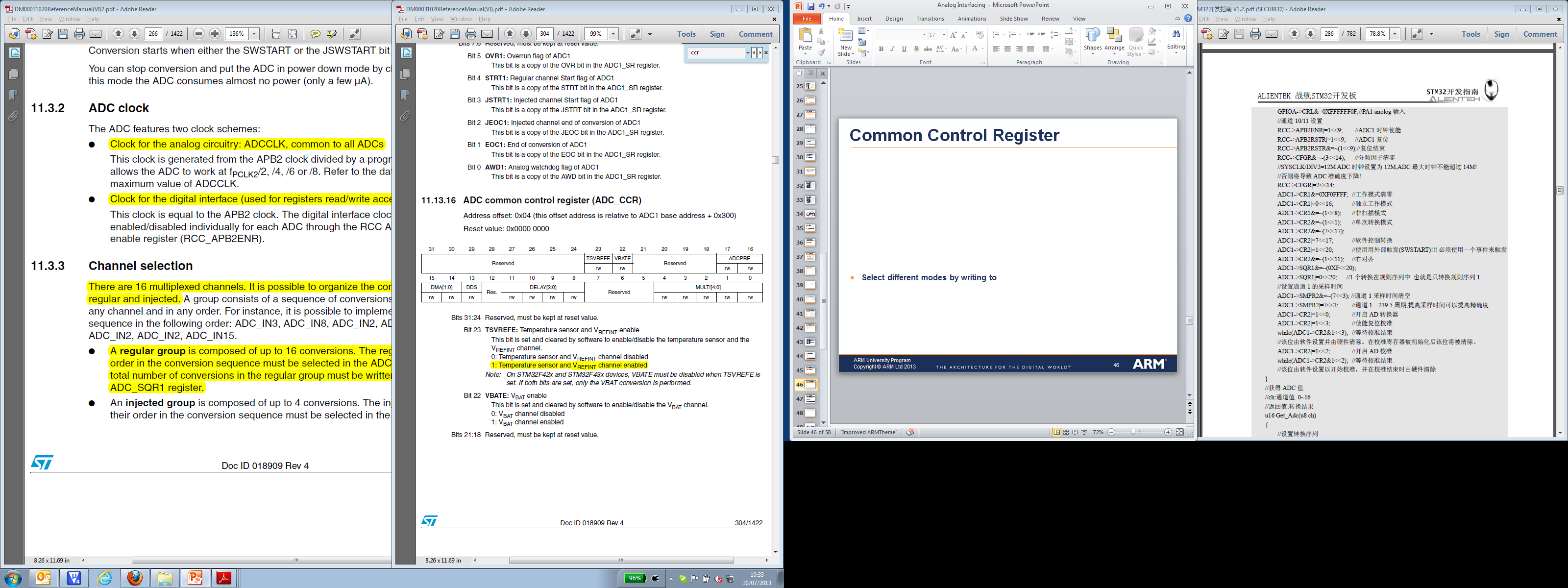
* Tárolja az eredményeket a 16-bites ADC\_DR regiszterben
* Beállítja az EOC flag-et (end of conversion = átalalkítás vége)
* Megszakítja, ha EOCIE bit aktív

Injektált csatorna:

* Tárolja az eredményeket a 16-bites ADC\_JDR1 regiszterbe
* Beállítja az JEOC flaget (end of conversion injedted)
* Megszakítás, ha JEOCIE aktív

Ha van egy átalakítási sorozatunk, be kell hogy legyen állítva a flag a sorozat végén vagy minden átalakítás végén.

**Common Control Regiszter**



14. ábra Common Control Regiszter

Különböző módok kiválasztása a MULTI bitek írásával.

Változtatja az órajelet az ADCPRE bit írásával.

Meghatározza a kését a mintavételi fázisok között a DELAY bit írásával.