

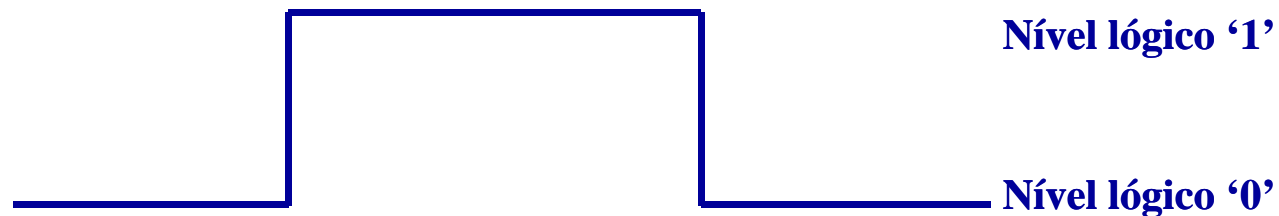
INF01 118

# Técnicas Digitais para Computação

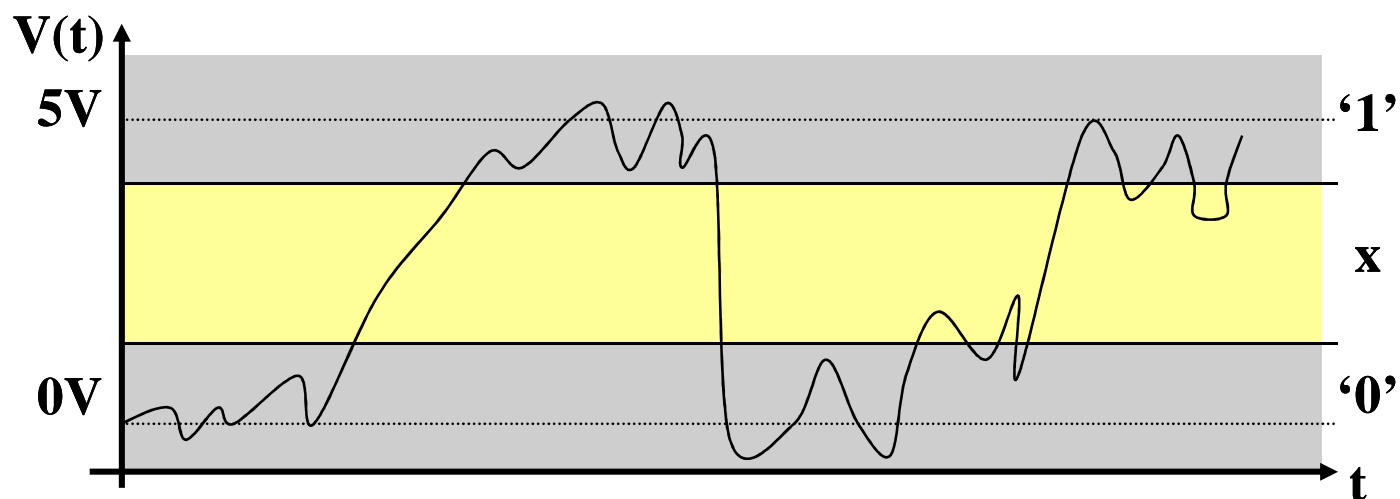
Portas Lógicas CMOS:  
Aspectos Temporais e Elétricos

## Chaveamento

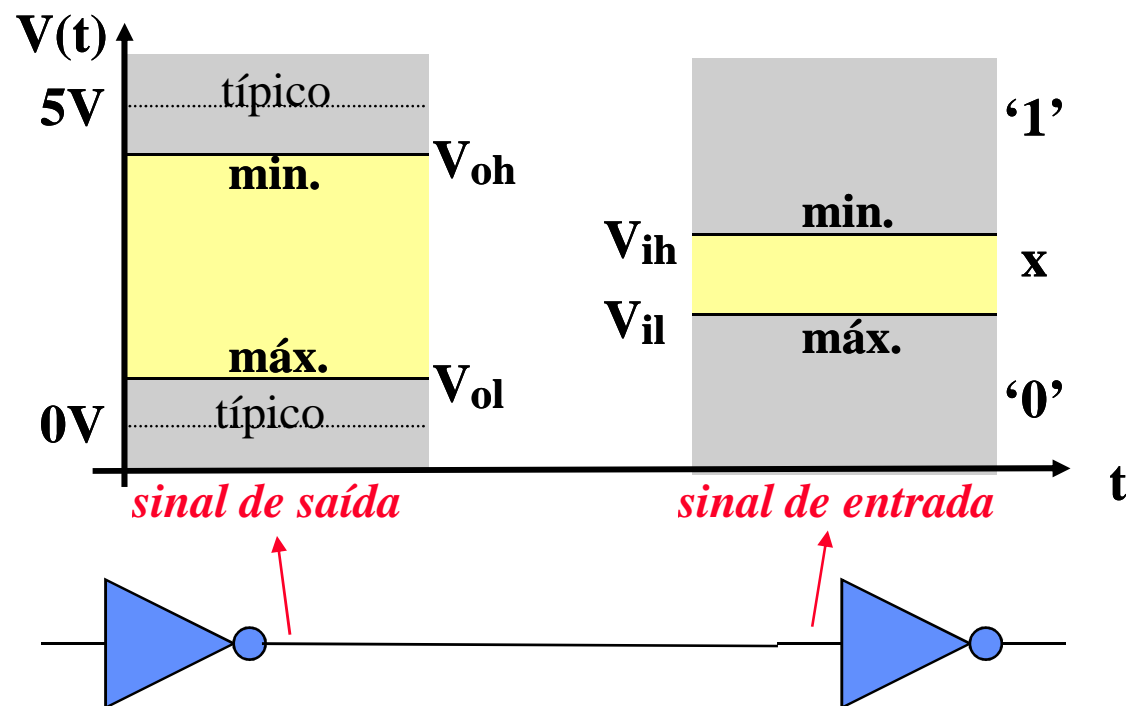
Sinal Ideal



Sinal Real

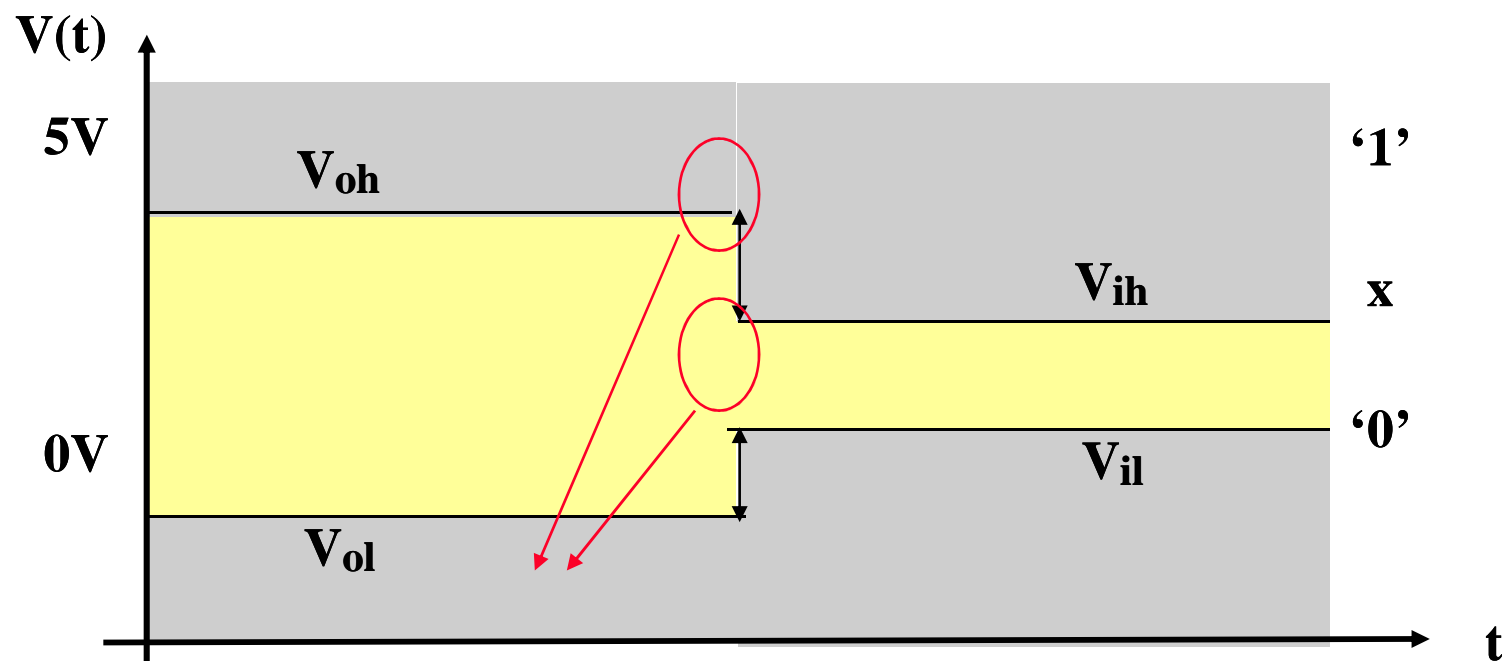


## Níveis de Tensão



- $V_{il}$  máx. - maior tensão de entrada aceitável como sendo nível lógico '0'
- $V_{ih}$  mín. - menor tensão de entrada aceitável para nível lógico '1'
- $V_{ol}$  típico - tensão normalmente gerada na saída da porta lógica para nível lógico '0'
- $V_{oh}$  típico - tensão normalmente gerada na saída da porta lógica para nível lógico '1'
- $V_{ol}$  máx. - maior tensão encontrada na saída da porta lógica para nível lógico '0'
- $V_{oh}$  mín. - menor tensão encontrada na saída da porta lógica para nível lógico '1'

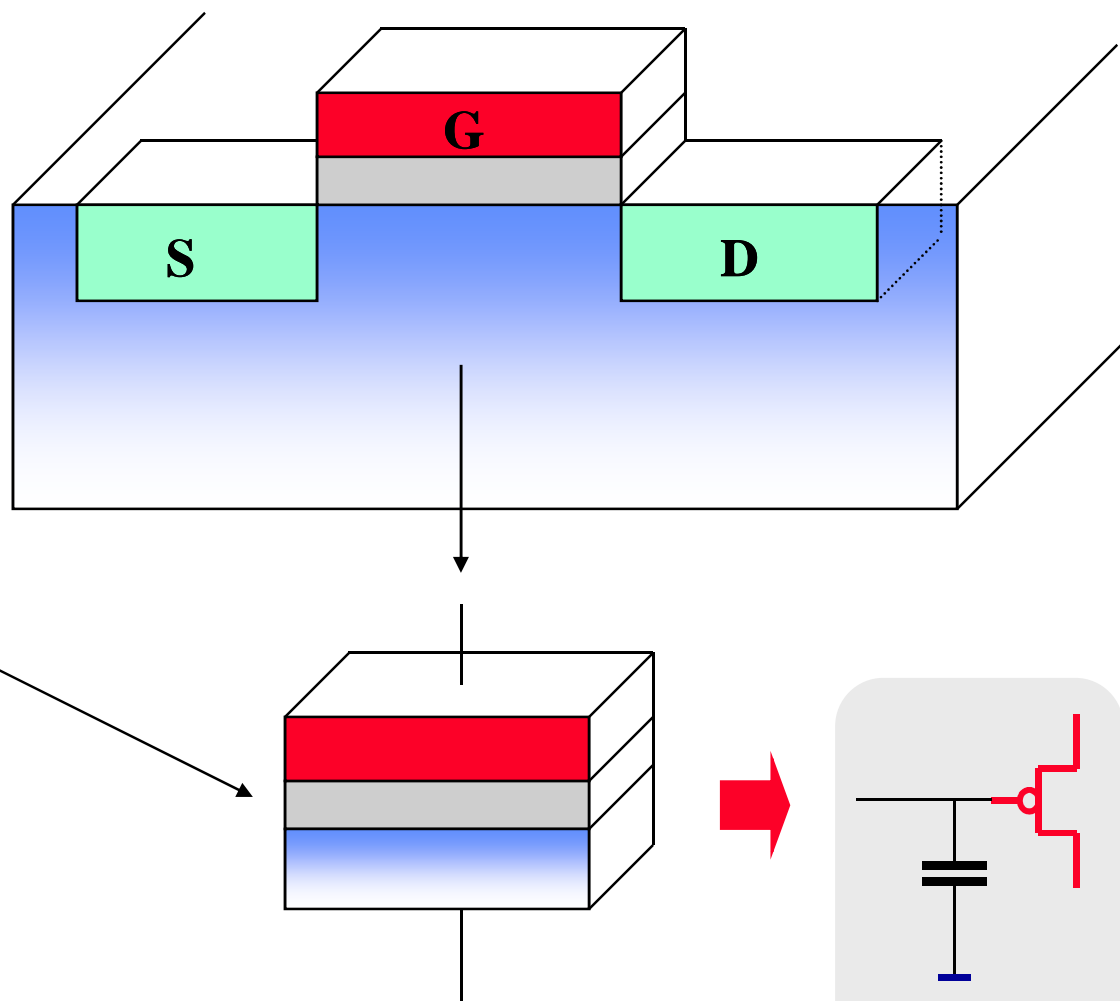
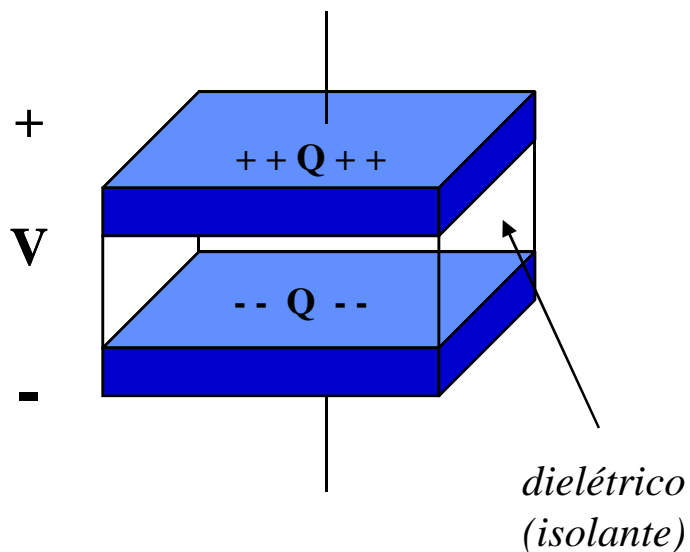
## Margem de Ruído



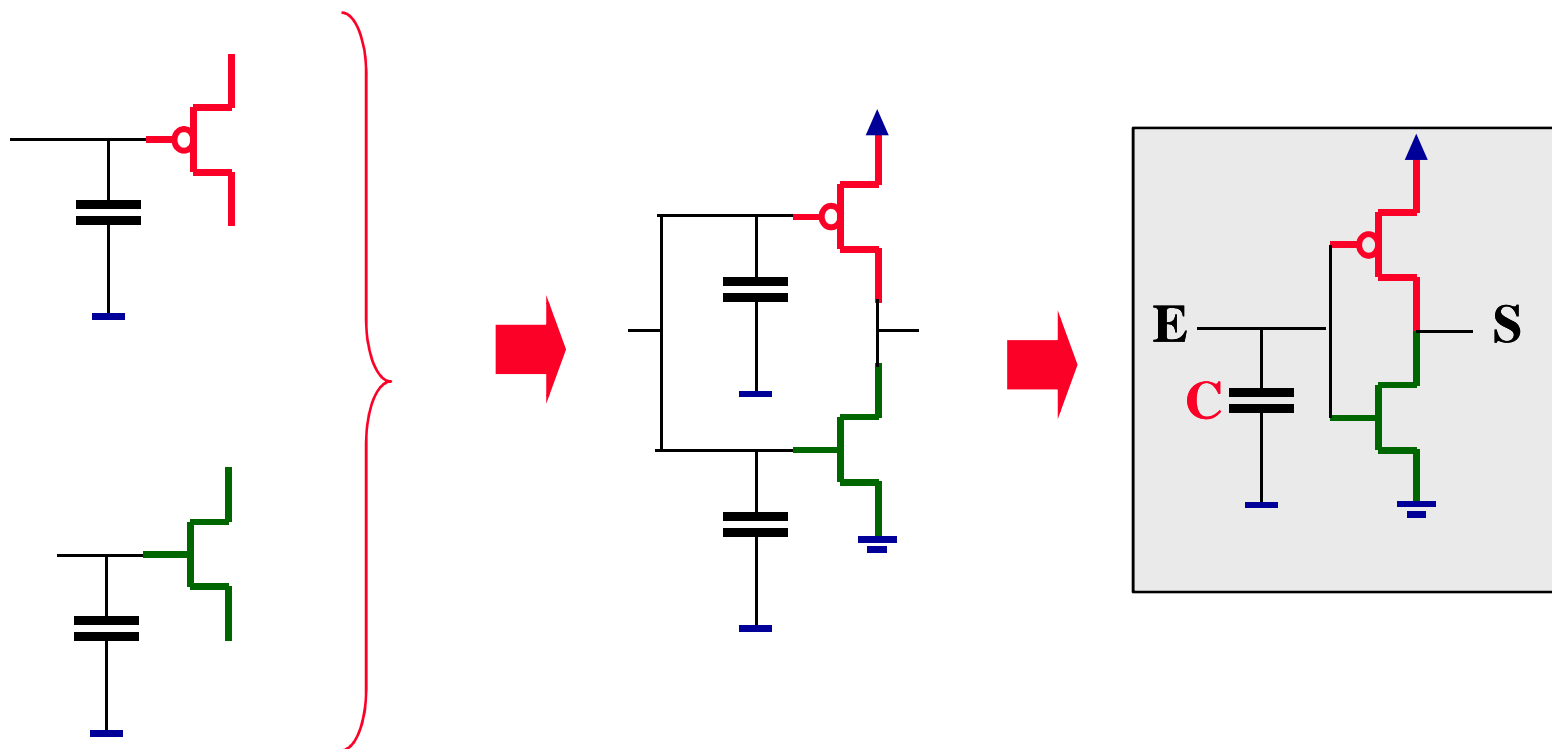
\* O menor valor dessas diferenças é que define a **Margem de Ruído** !!!

## Características Temporais (*timing*)

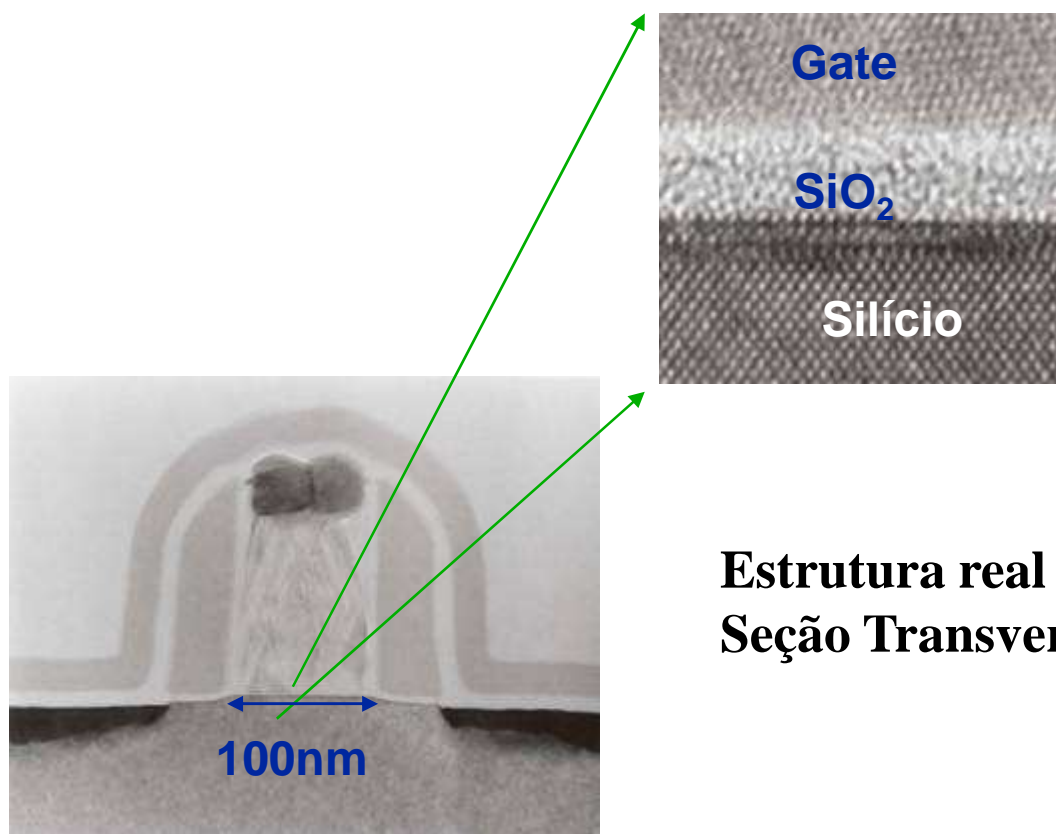
$$C = dQ / dV$$



## Capacitância de ‘Grade’ ou ‘Porta’

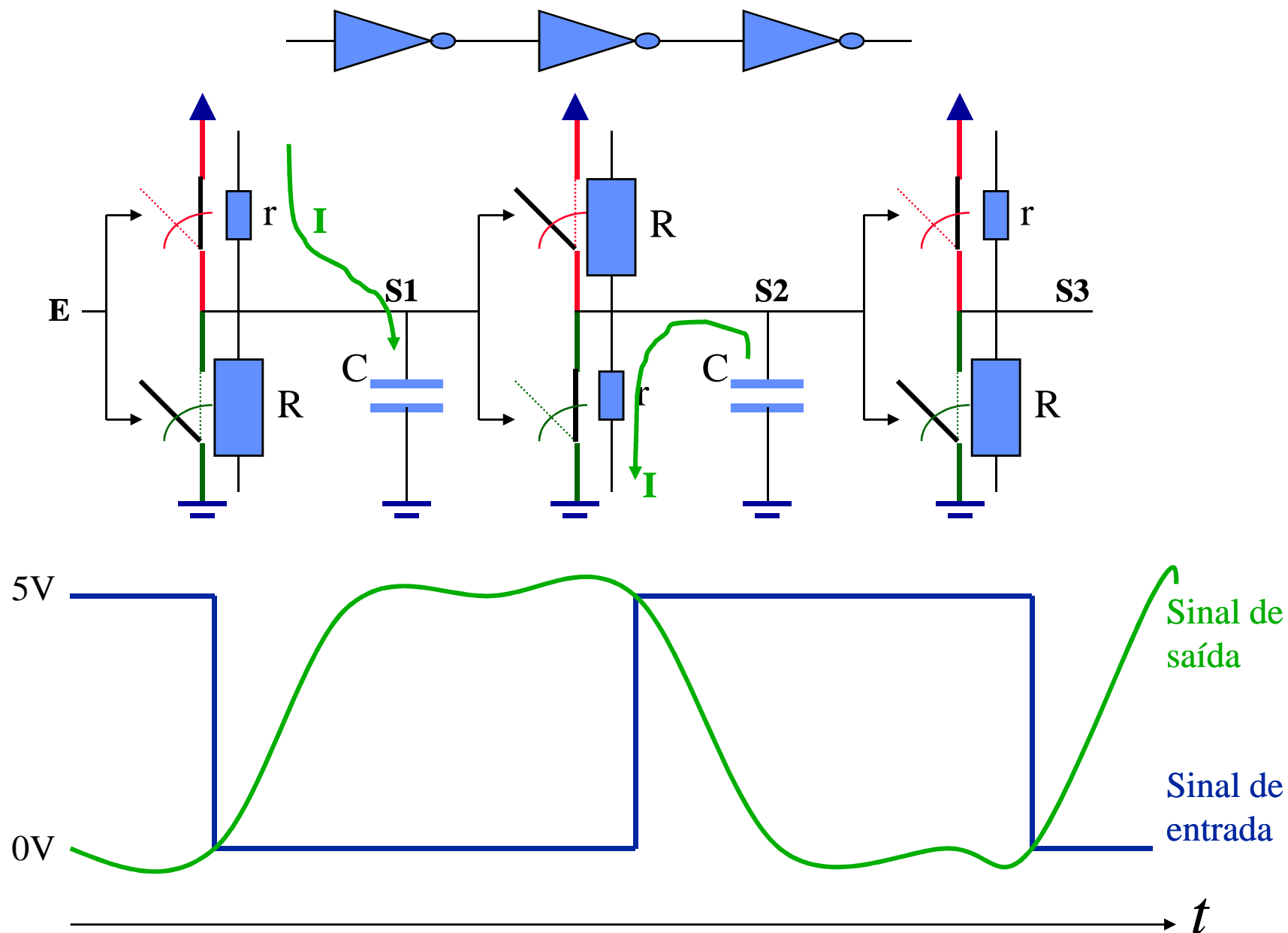


# Capacitância de ‘Grade’ ou ‘Porta’



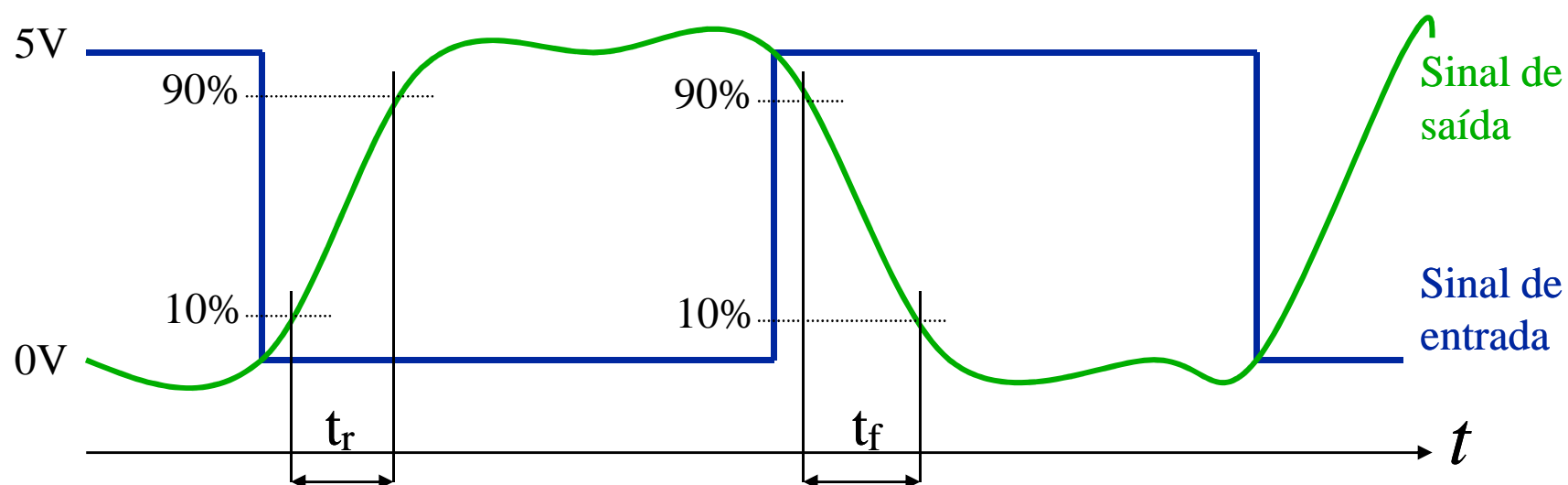
**Estrutura real do transistor em  
Seção Transversal**

**Transistor**



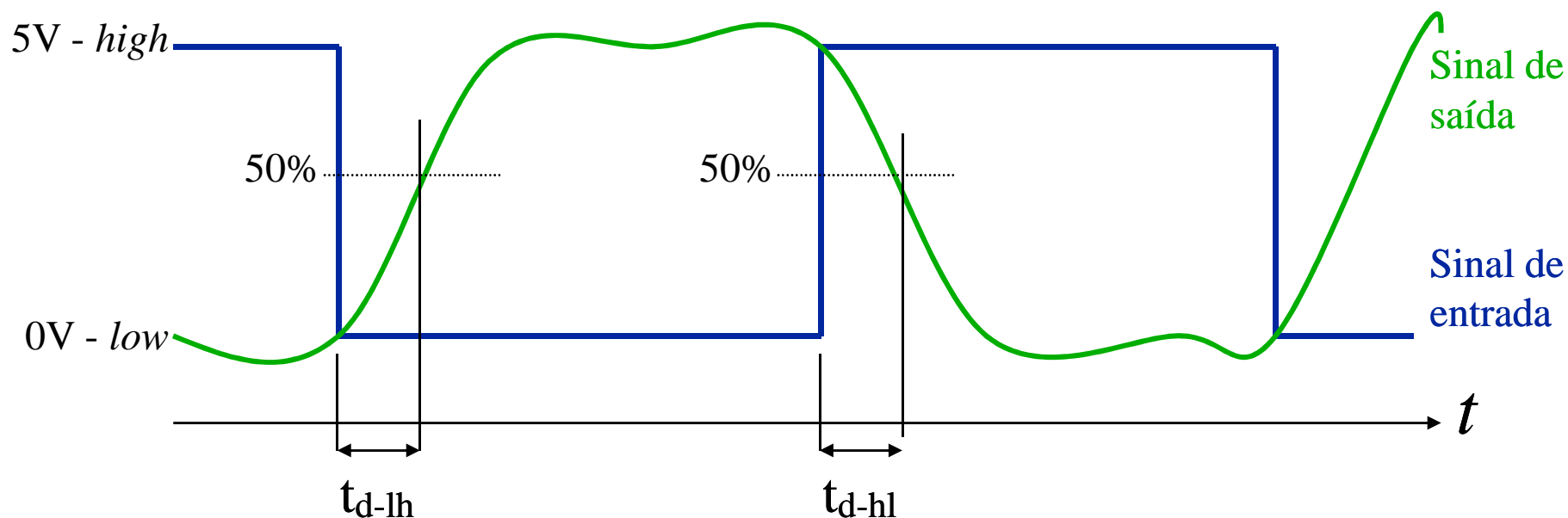


## Tempos de subida e descida



- $t_r$  - Tempo de subida (*rise time*)
- $t_f$  - Tempo de descida (*fall time*)

## Tempo de Propagação de um Sinal



- **$t_{d-lh}$**  - Tempo de atraso de propagação do sinal de saída quando este passa do nível lógico '0' para o nível lógico '1' (*delay time \_ low-high*)
- **$t_{d-hl}$**  - Tempo de atraso de propagação do sinal de saída quando este passa do nível lógico '1' para o nível lógico '0' (*delay time \_ high-low*)
- **$t_d$**  - Tempo de atraso de propagação **MÉDIO** do sinal de saída (*delay time*)

$$t_d = (t_{d-lh} + t_{d-hl}) / 2$$

# Atraso (par entrada,saída) em um somador

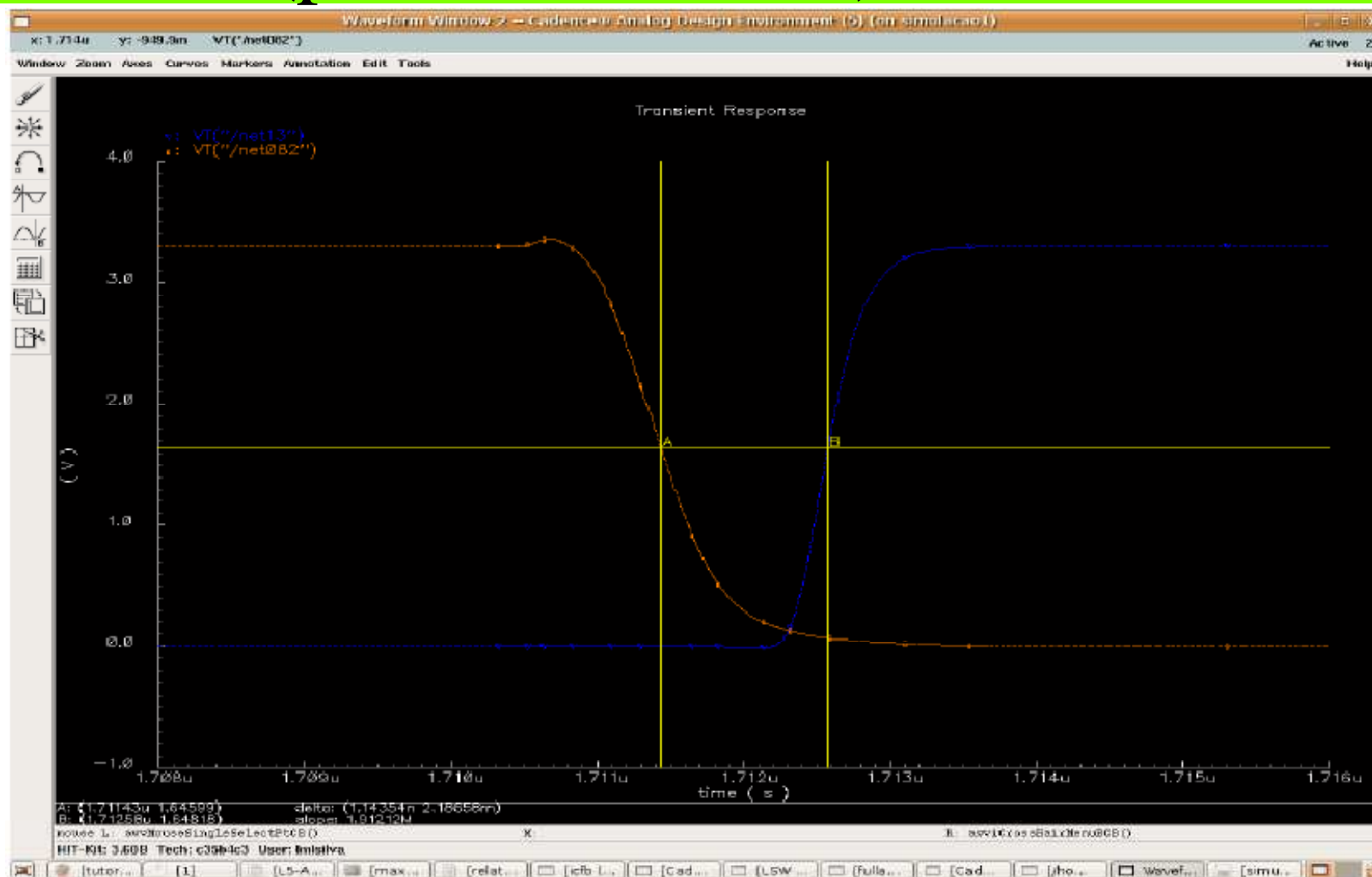
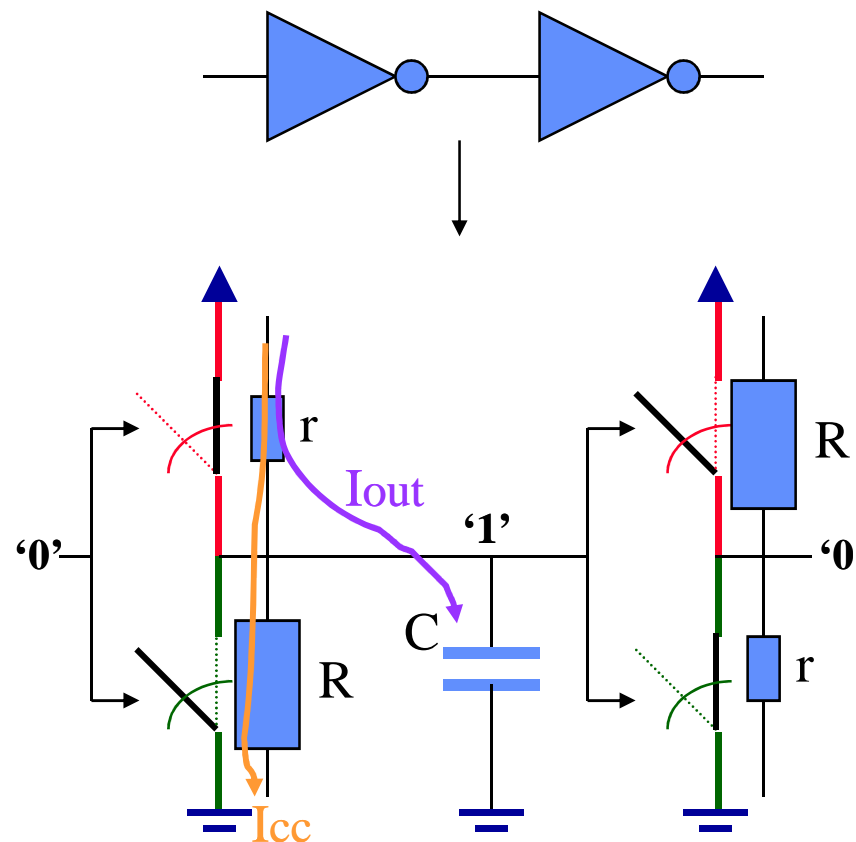
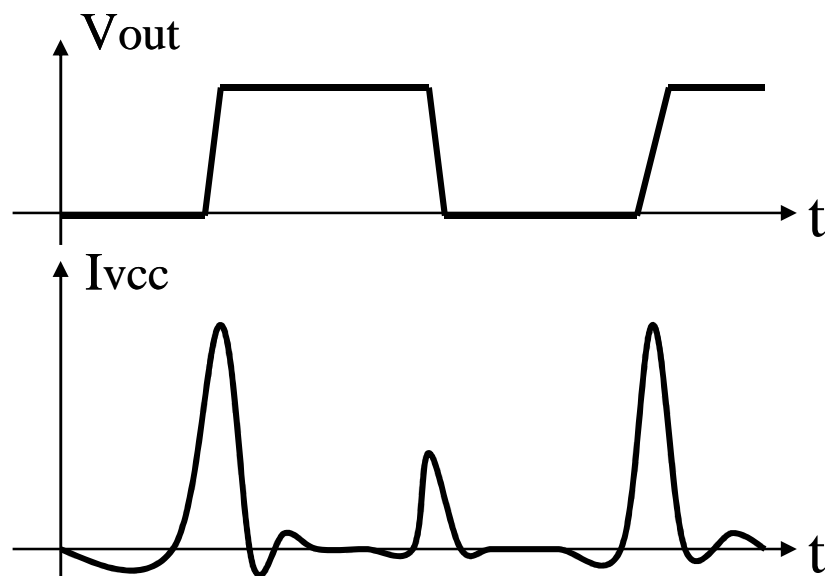


Figura 3.3 Delay de subida (T<sub>plh</sub>) da saída S do terceiro somador em relação ao Carry-In

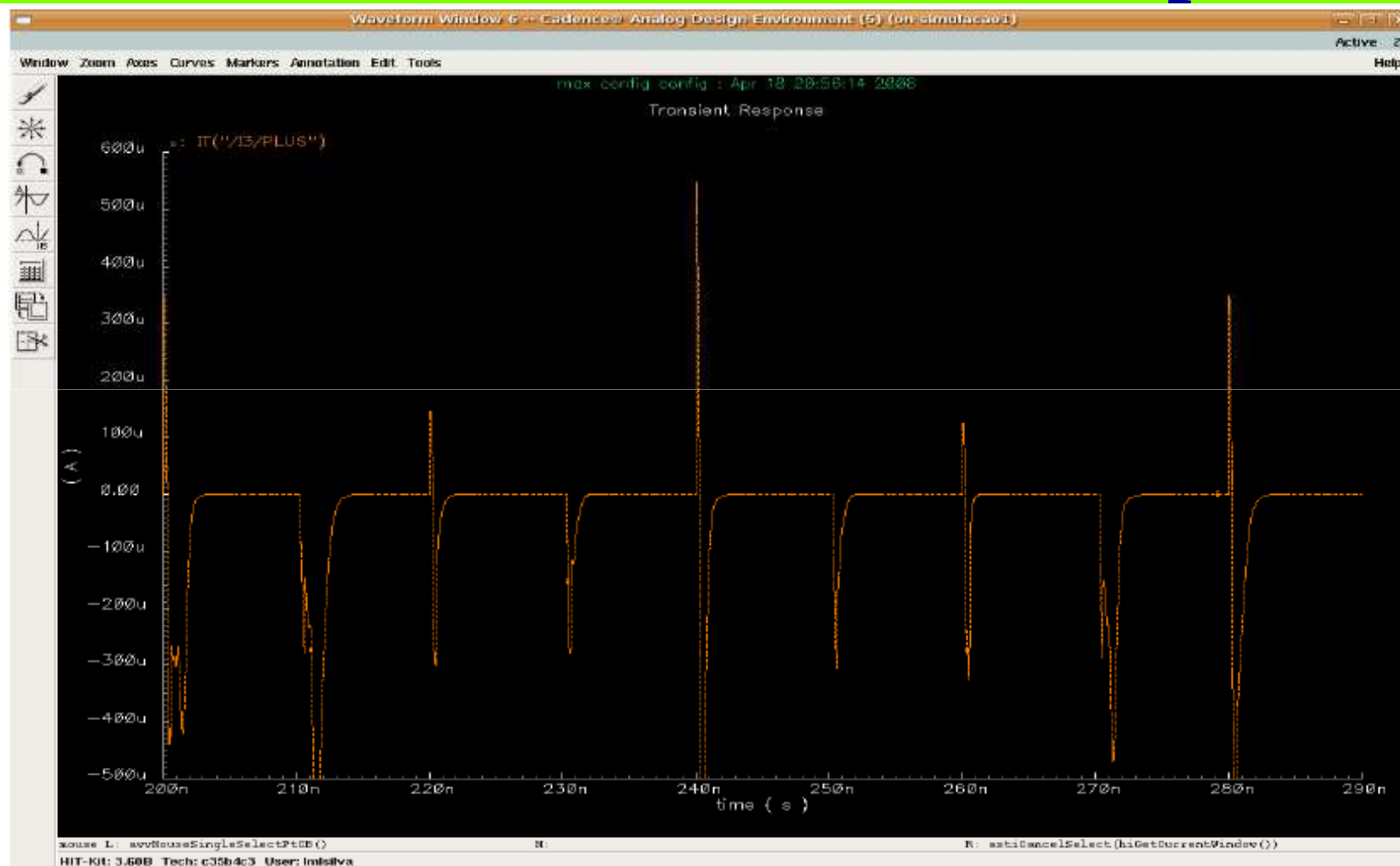
## Consumo (Dissipação de Potência)

- Corrente de Carga:  $I_{out}$
- Corrente de Curto-Circuito:  $I_{cc}$
- consumo estático  $\approx 0$  ( nanoWatts)
- consumo dinâmico (transição) =  $I_{out} + I_{cc}$
- consumo total = estático + dinâmico



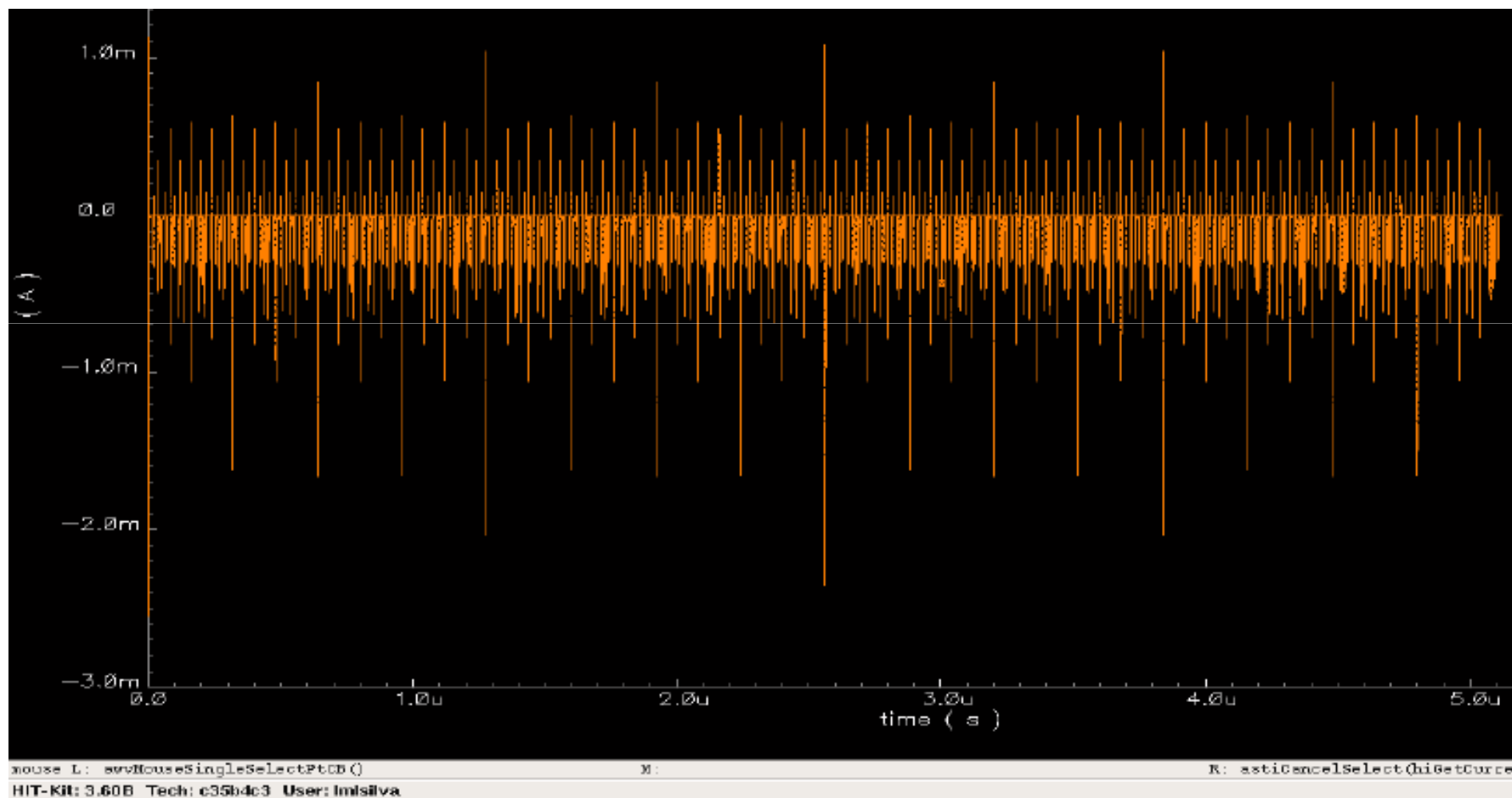
\* A variação de  $W$  e  $L$  afeta o tempo de transição dos sinais e o consumo de corrente na porta lógica.

# Corrente instantânea fornecida pela fonte



**Exemplo : Somador de 04 bits. Carry-in muda a cada 10ns**  
**Potência média: 114 micro-Watts com Vdd=3.3V**

# Corrente instantânea fornecida pela fonte

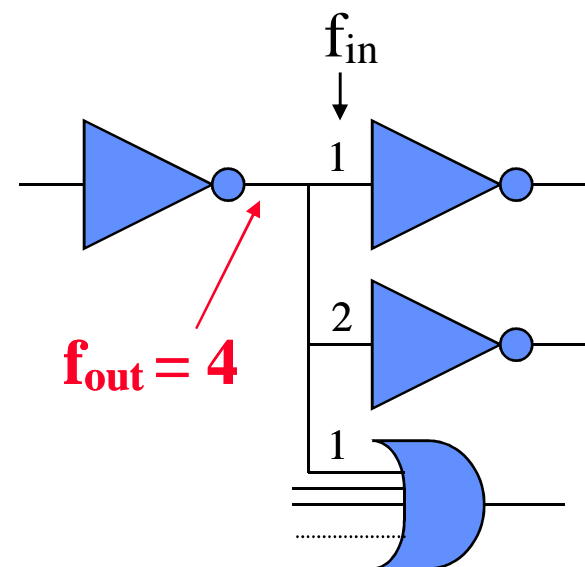
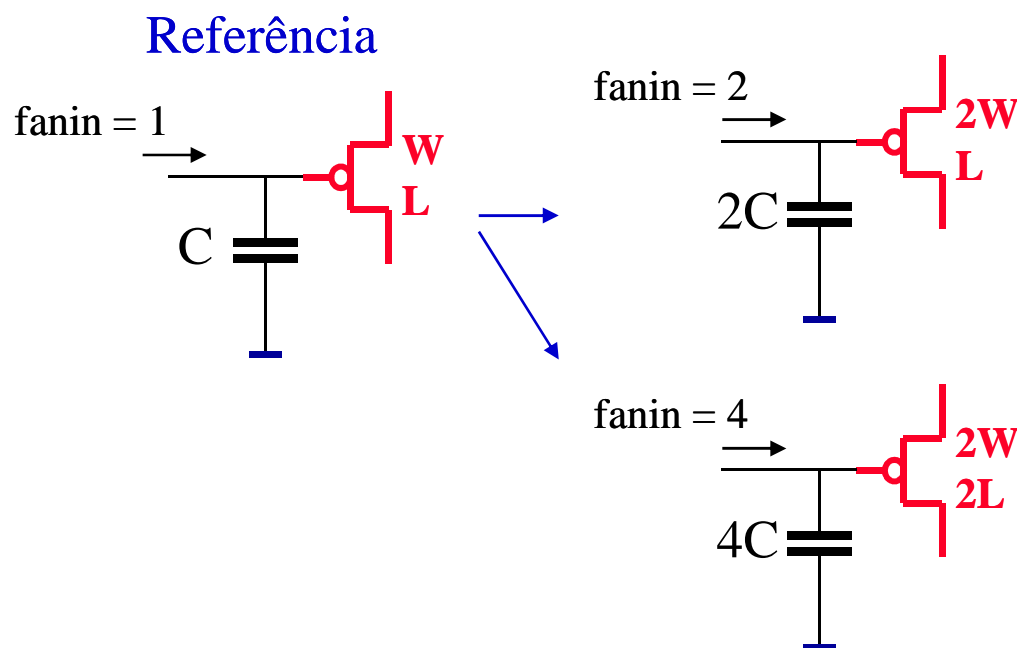


**Exemplo: Somador de 04 bits. Carry-in muda a cada 10ns**

**Potência média: 114 micro-Watts (média 34,5 uA da fonte Vdd=3.3V)**

## Fanin e Fanout

- **Fanin ( $f_{in}$ )** - é o valor da capacitância de entrada normalizada em função de uma capacitância de referência.
- **Fanout ( $f_{out}$ )** - é a soma das capacitâncias de entrada normalizadas que uma porta lógica tem conectada a sua saída.



O **fanout** de uma porta lógica **afeta diretamente** as características de tempo de propagação do sinal de saída (**atraso**) e consumo de corrente (**potência**) fornecida pela Fonte de Tensão .

Exemplo:

td	$f_{out} = 1$	$f_{out} = 2$	$f_{out} = 3$	...
INV	1ns	1.2ns	1.4ns	
AND2	2ns	2.5ns	3ns	
XOR3	1.5ns	1.7ns	1.9ns	
...				

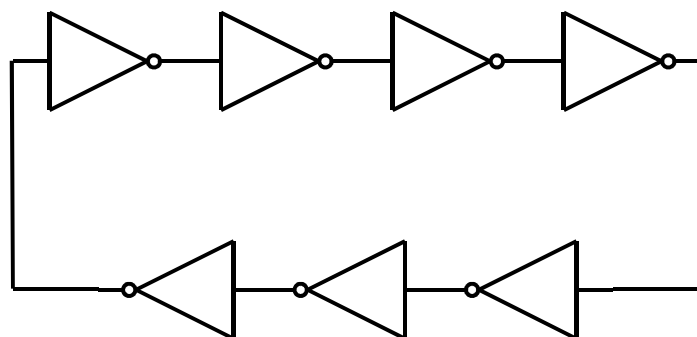


# Estudo de caso

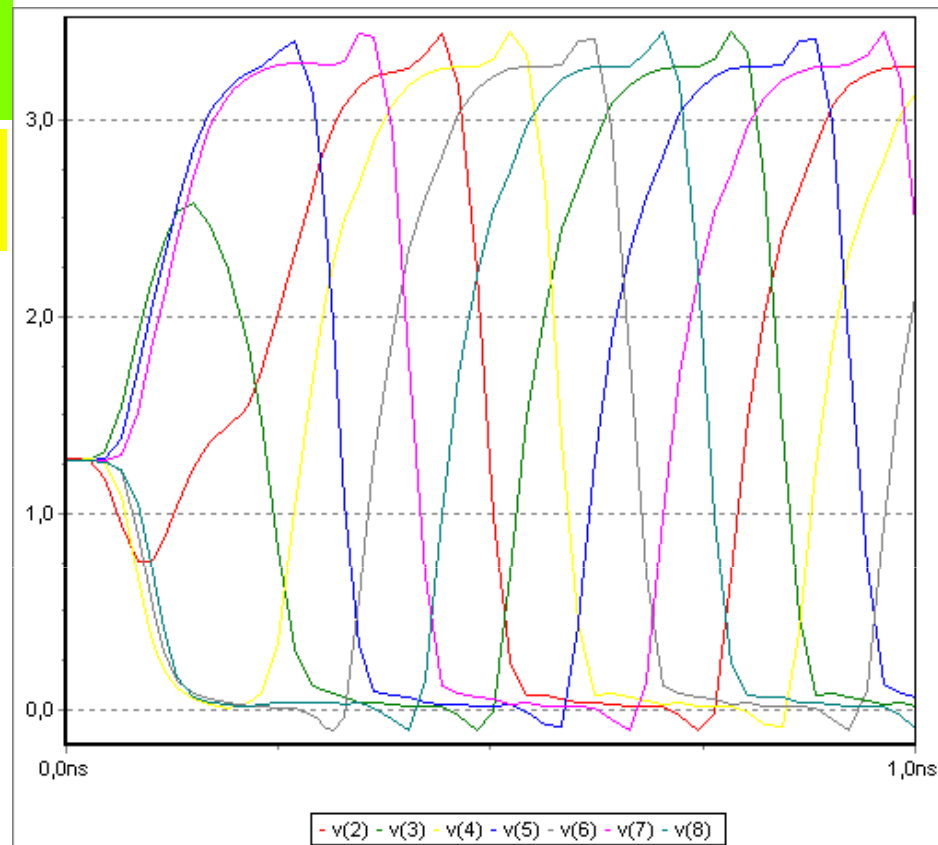
## INVERSORES em Anel

O que é?

**N inversores em anel.**



- Variação contínua 0--> 1 --> 0--> em cada nó se N é ímpar.
- Conhecido como " oscilação" ou "corrida" se N é ímpar
- Latch bi-estável de N é par.



**Resultado de Simulação Elétrica  
com Simulador SPICE para  
N = 7.**

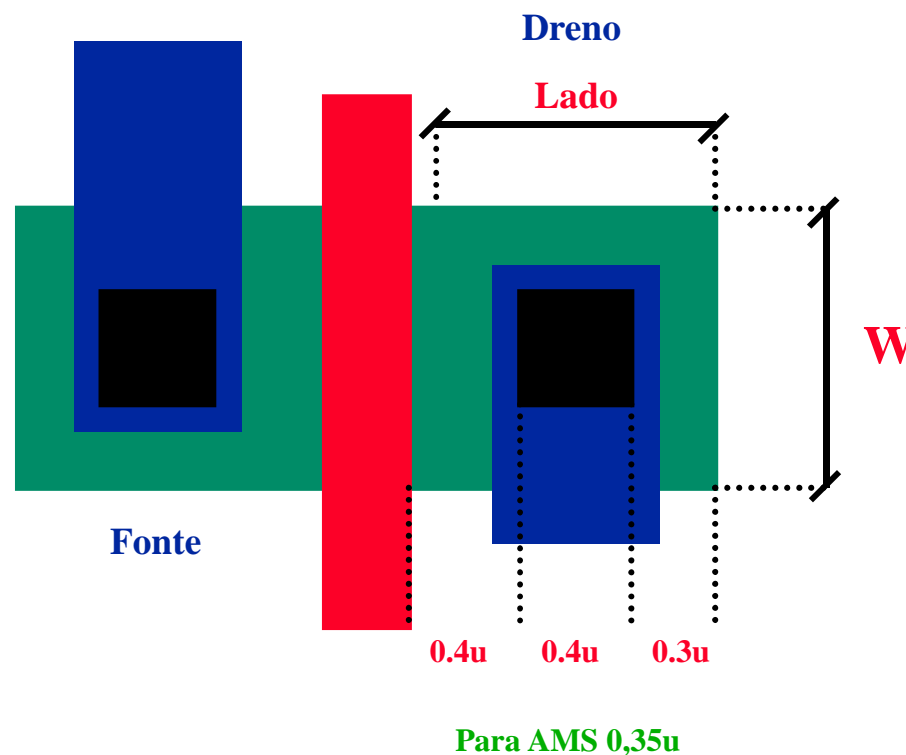
# Capacitâncias/Resistências em um Transistor

**W (largura) do transistor**  
( Exemplo 1 um )

**L (comprimento) do transistor**  
( Exemplo 0,3um )

AD=1.1P PD=3.2U AS=1.1P PS=3.2U

AD=1.1P PD=3.2U AS=1.1P PS=3.2U



$$\text{Área} = W * \text{Lado}$$

$$\text{Perímetro} = 1*W + 2*\text{Lado}$$