

INF01118 – Técnicas Digitais para Computação : AP11

Professor Fernando R. Nascimento - 2010/2

Objetivos: Implementação e simulação de um latch tipo D e de um flip-flop tipo D, ambos com sinais de Set e Reset. Fazer ainda a avaliação temporal de parâmetros críticos.

Atividades:

A) **Implementar** com circuitos no MaxPlus, um **latch** do tipo **D** usando portas: **turma A com NOR** e **turma B com NAND**. O latch deve ter ainda os sinais assíncronos de **Set** e de **Reset** (ou Preset e Clear), que devem ser **ativos em “1”**. Pode-se usar ainda inversores quando necessário, na implementação. Simular e explicar o seu funcionamento para todas as situações válidas, de forma coerente, através da **simulação temporal**.

Simulação: (1) testar os sinais primeiramente de forma isolada (um de cada vez); (2) testar uma sequência completa e correta de funcionamento e (3) depois aplicar sinais simultâneos assíncronos juntos com os sinais síncronos. Enumerar e descrever cada ação durante a simulação e completar com as conclusões das simulações realizadas.

B) **Implementar** com circuitos no MaxPlus, um **Flip-Flop** do tipo **D** sensível a borda de subida (**usar a implementação tipo mestre-escravo**). O flip-flop deve ter ainda os sinais assíncronos de **Set** e de **Reset**, que devem ser **ativos em “0”**. Validar seu funcionamento para todas as situações, de forma coerente, através da **simulação temporal**. **Mostrar todos os sinais internos (as entradas, entre os blocos e as saídas), assinalar no diagrama de tempos o encadeamento dos eventos, descrevendo e explicando a sequência de eventos ao longo do flip-flop, para todos os sinais, da simulação temporal, para situações normais.** Assinalar o encadeamento de eventos através de setas que mostram o evento causador e o(s) evento(s) gerado(s) no gráfico da simulação, para cada situação.

C) Avaliar as principais características de **timing** através de **simulações temporais detalhadas** e por fim **apresentar e comentar os valores encontrados**.

- **Encontrar os seguintes tempos críticos** (mostrar graficamente e indicar valores):

- para o **Latch D demonstrar** qual é a **largura mínima** do sinais de **Clock**, de **Set** e de **Reset** e
- para o **flip-flop D demonstrar** os tempos mínimos de **Setup** e o de **Hold Time** (separadamente).

- A partir das simulações, calcular a frequência máxima de operação do **latch** e do **flip-flop**.

Observações: os tempos encontrados devem garantir o correto funcionamento dos circuitos em análise, isto é, se procura os tempos mínimos que ainda garantam a operação correta. Mostrar as simulações, com resolução de **0,1 ns**, **primeiro para os casos em que funciona e depois quando não funciona** (circuito fica instável ou não responde). Atenção, os valores pedidos variam muito dependendo do caso, e podem ficar entre 0 e 30 ns.

D) **Enviar ao professor, ainda hoje, email com assunto: AP11X, nome_alunos.** Arquivar e comprimir com formato **Zip** todos os arquivos feitos em aula (arquivos do MaxPlus, tabelas verdade, figuras em **JPEG**, textos, etc.).

Roteiro do Relatório:

1. Nas linhas iniciais; código do laboratório (AP12), data, nome(s), matrícula(s) e turma.
2. Introdução: parágrafo explicativo sobre os objetivos do laboratório.
3. **Implementação do latch D com Set e Reset assíncronos:** circuito, tabela verdade, simulação temporal, análise temporal, etc. (tudo o que foi solicitado acima).
4. **Implementação flip-flop D com Set e Reset assíncronos:** circuito, tabela verdade, simulação temporal, análise temporal, etc. (tudo o que foi solicitado acima).
5. **Avaliação dos tempos críticos** pedidos para o latch D e o flip-flop D.
6. **Calcular a frequência máxima de operação** do latch e do flip-flop. Explicar como e porque do cálculo feito.
7. Conclusão: **interesse no laboratório, dificuldades e sugestões.**