

# Arquitetura de computadores

INF01112 - 2009

Raul Weber e João Netto

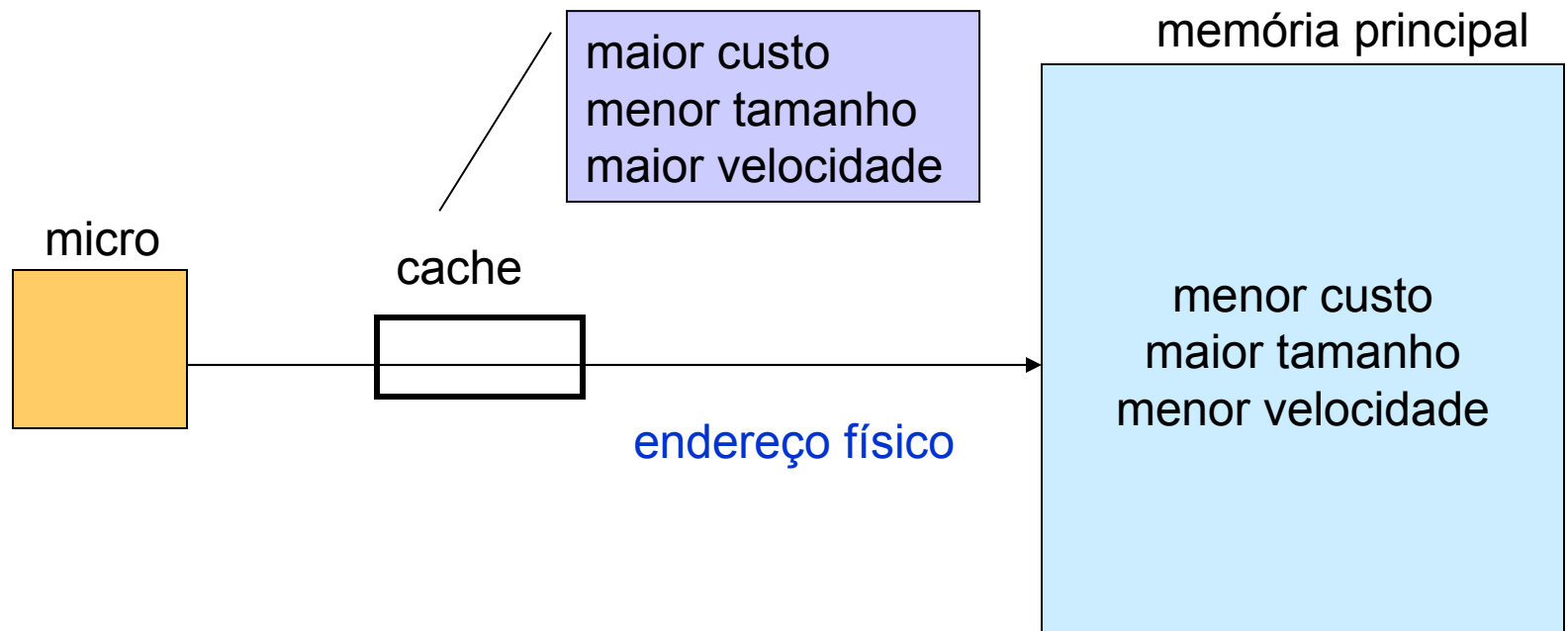
# Microprocessador Intel 80486

- Arquitetura idêntica a do 386
  - Lançado em 1989
  - Modos real (8086), protegido e virtual86
  - Comunicação com a memória em 32 bits
  - Capacidade máxima de memória de 4 GByte
  - 16 registradores (os do 80386, também em 32 bits)
  - 6 instruções extras (151 + 6 = 157 instruções básicas)
  - Endereço físico ou virtual
    - Memória virtual segmentada e paginada (opcional)
  - Co-processador FPU): 80487 para 80486SX  
integrado no 80486DX
  - Com cache de 8 Kbyte (e posteriormente 16 Kbyte)
  - Frequência de 16 MHz a 100 MHz (Intel) ou 150 MHz (AMD)
  - Encapsulamento de 168 pinos



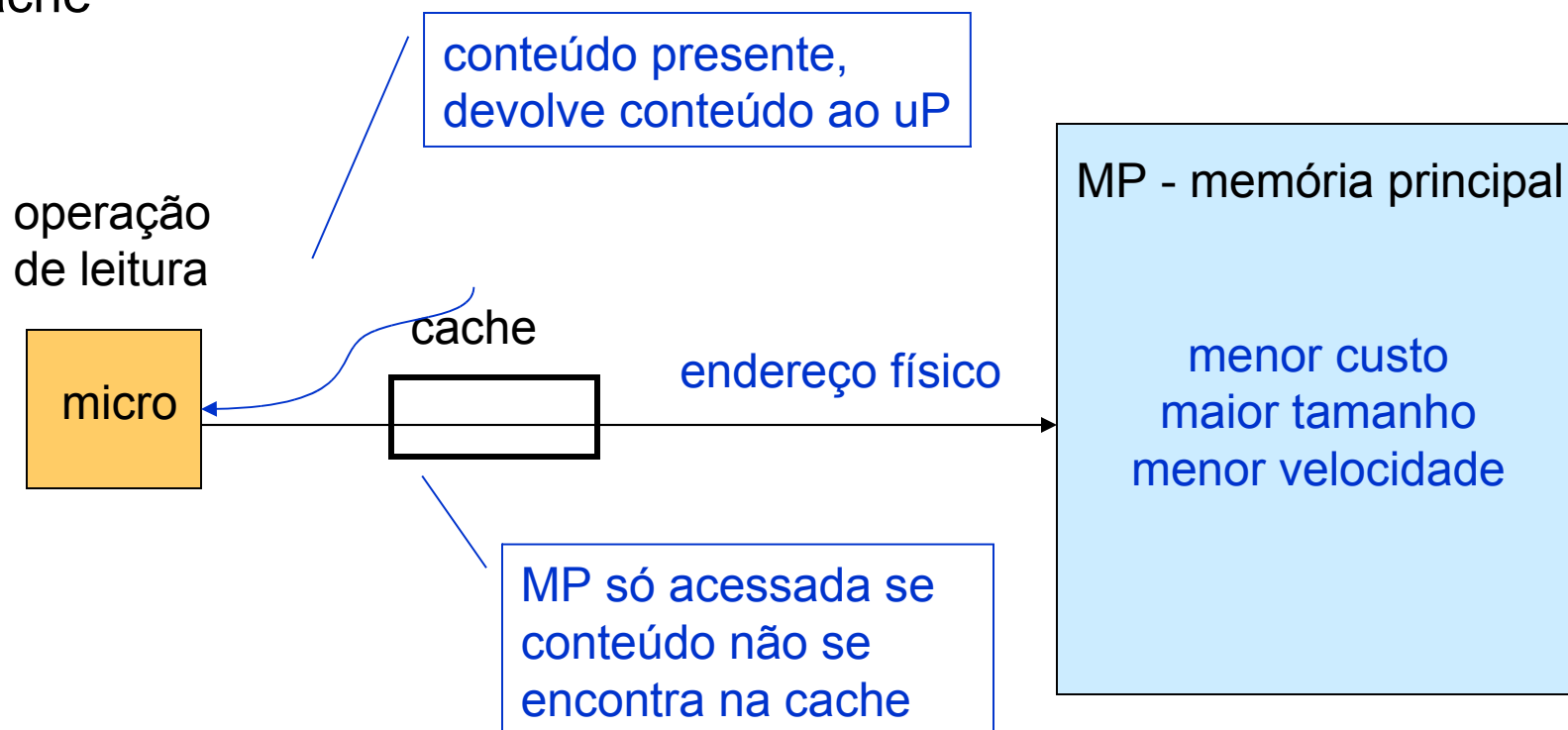
# Cache

- **objetivo:** aumentar velocidade de acesso aos dados e instruções



# Cache

o endereço físico gerado no microprocessador é interceptado pelo controlador de cache para verificar se seu conteúdo já está presente na memória cache



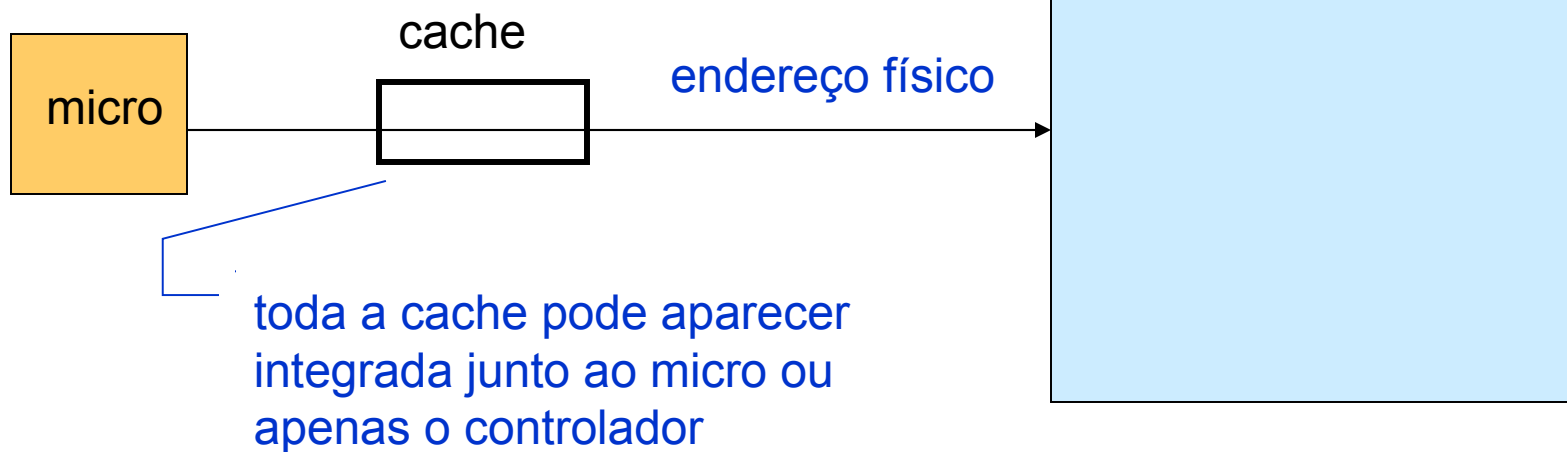
# Cache

controle com memória associativa e memória de alta velocidade

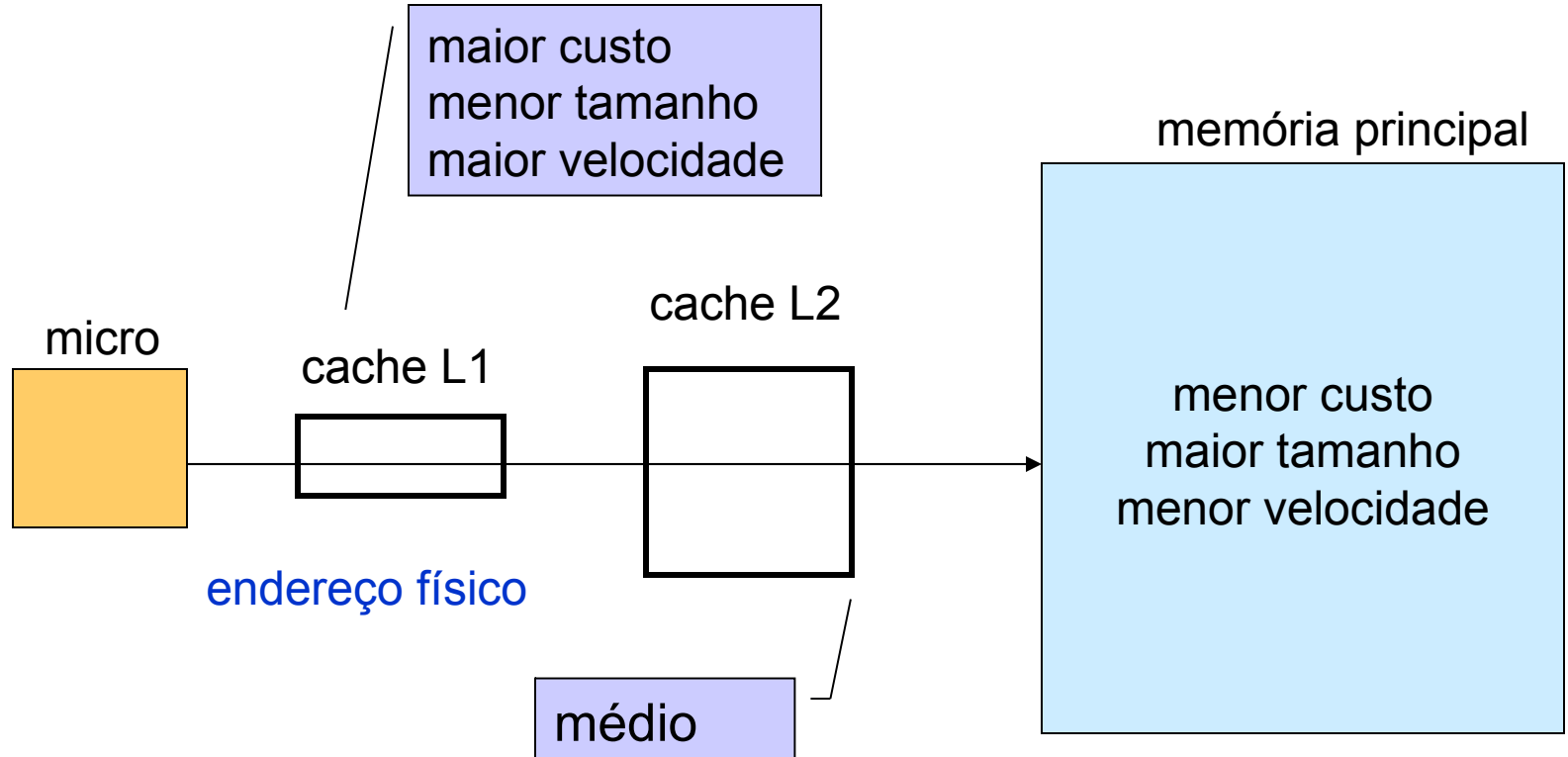
a memória associativa armazena os parte dos endereços e ajuda a identificar os blocos presentes

a memória de alta velocidade da cache armazena o conteúdo correspondente aos endereços

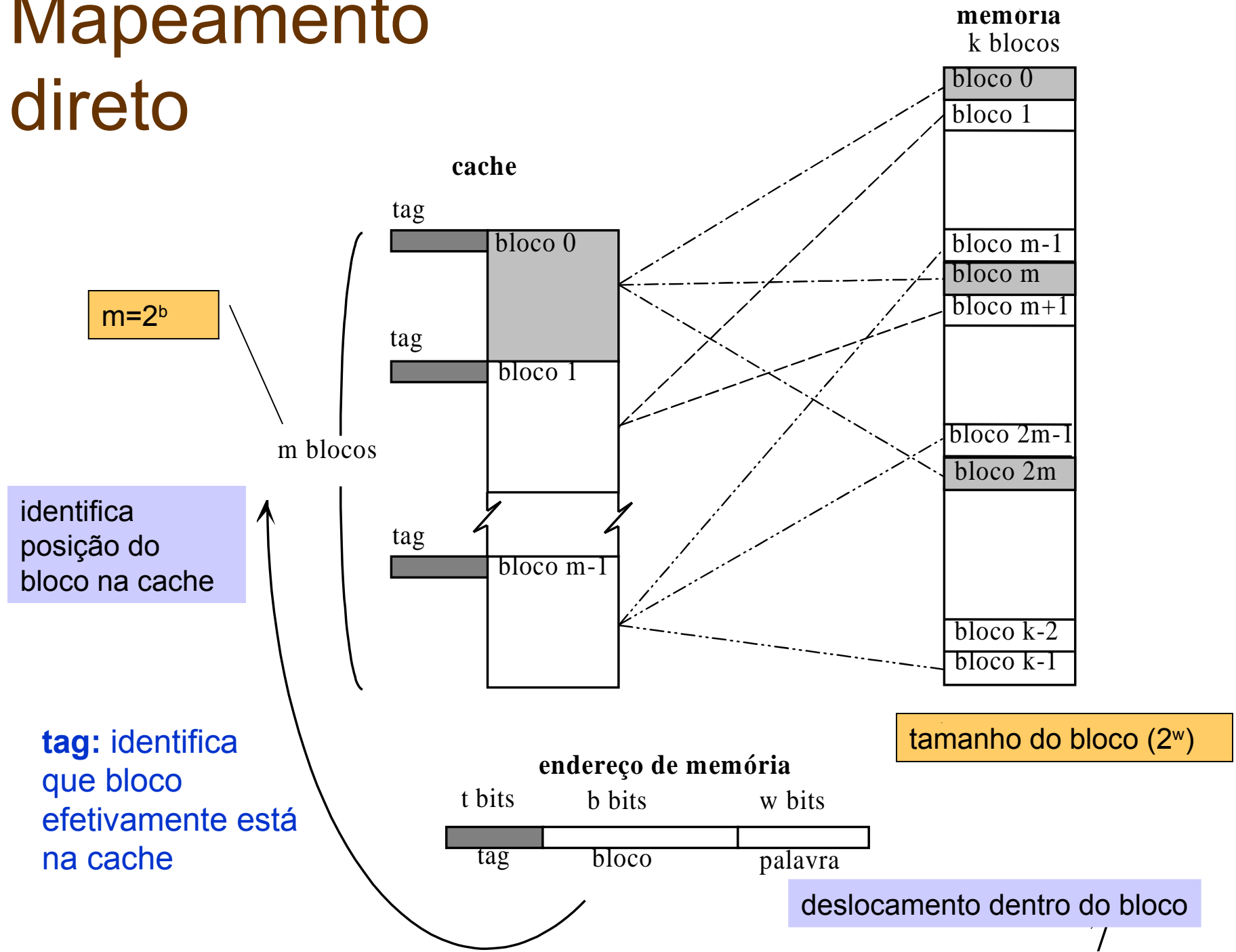
no mapeamento direto não existe necessidade de mem. associativa



# Cache: vários níveis



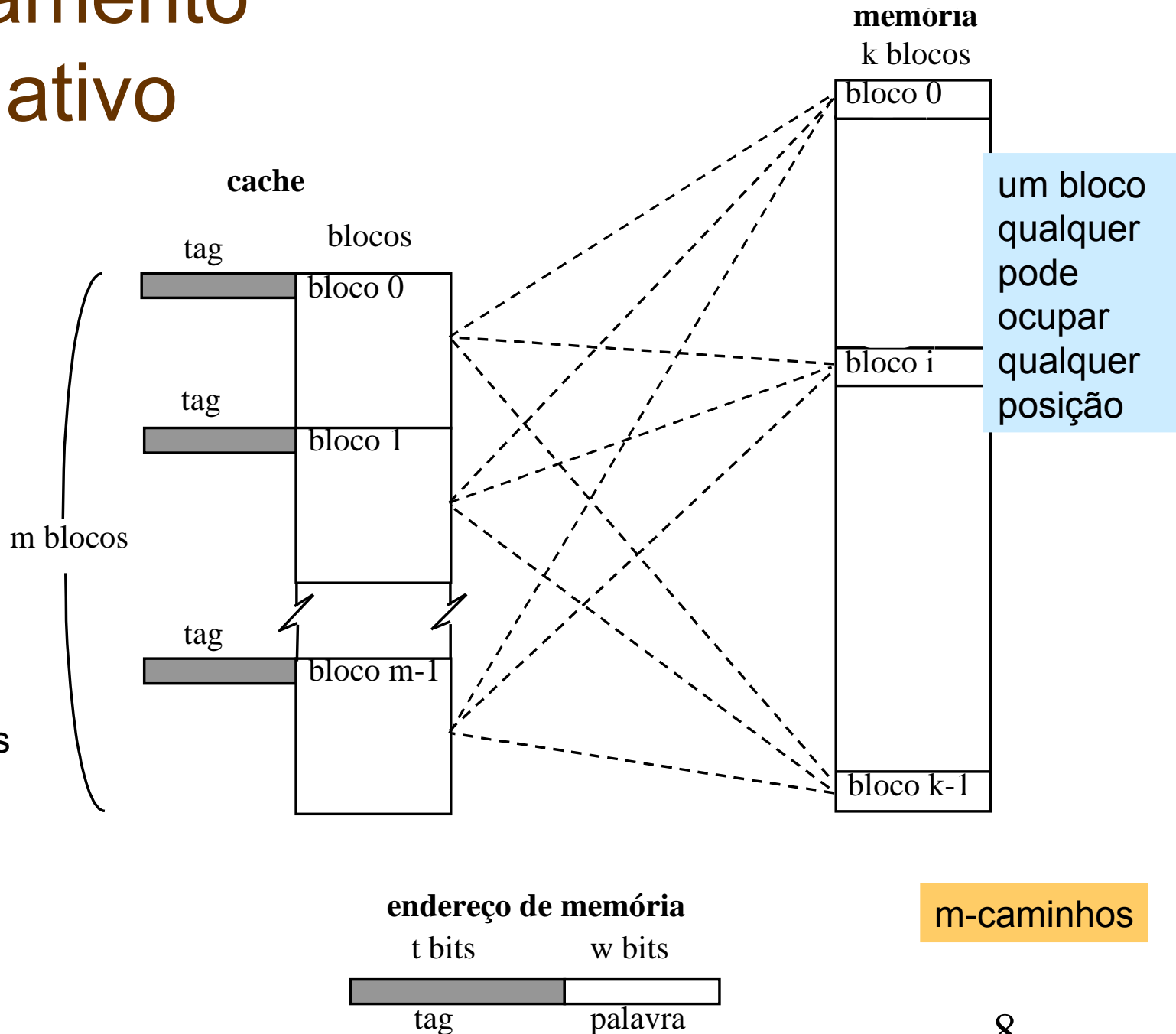
# Mapeamento direto



# Mapeamento associativo

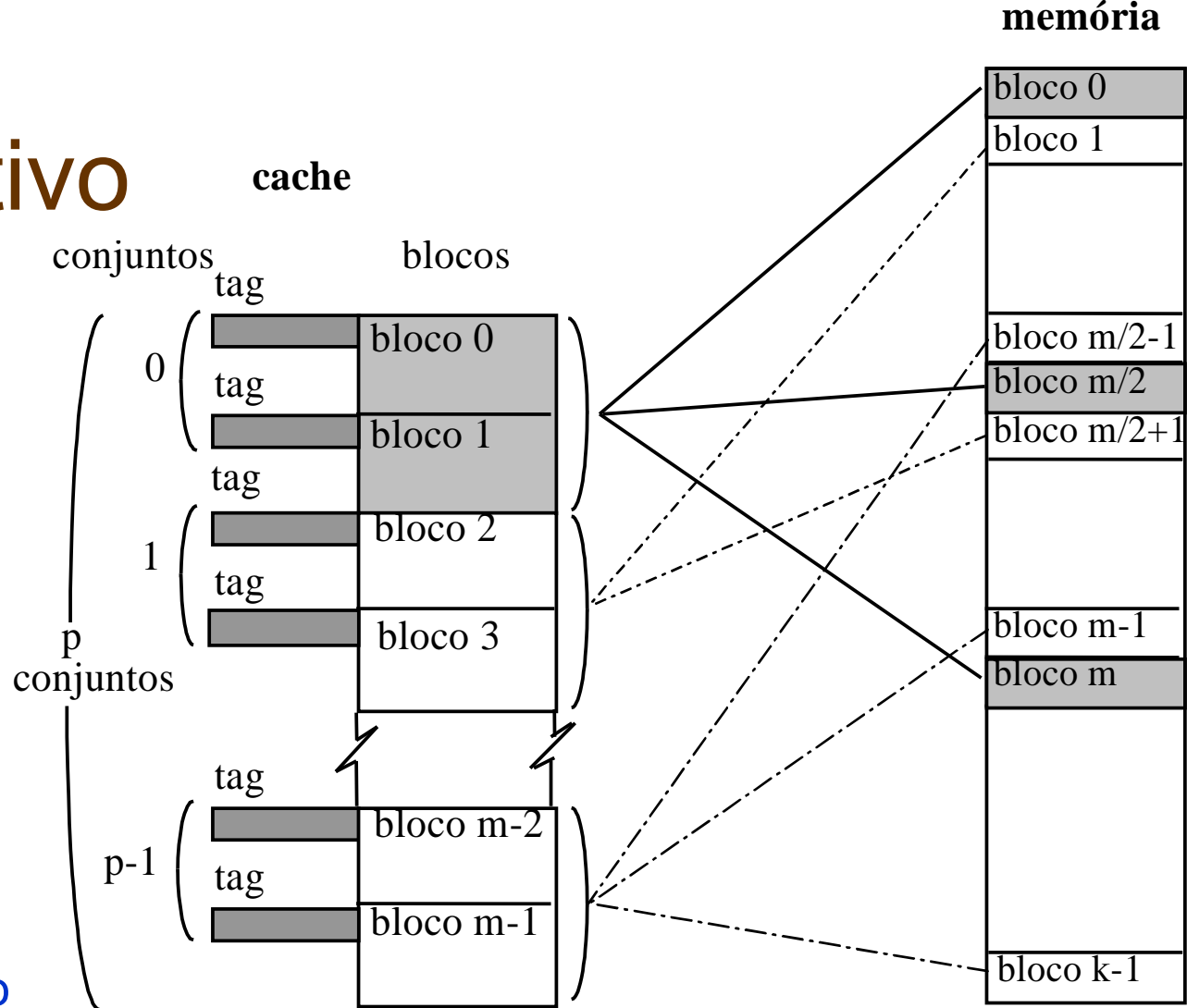
o campo de tag pode identificar qualquer bloco

uma mem. associativa contendo as tags auxilia localizar onde está um bloco

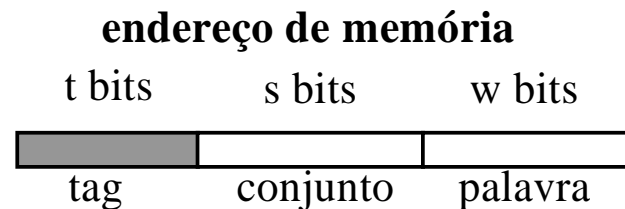




# Grupo Associativo



dentro do grupo  
(conjunto) o bloco  
pode ocupar  
qualquer posição



**m/p associativa**

# Gerenciamento de cache

- totalmente em hardware
- estratégia de substituição de blocos: LRU
  - bloco presente na cache
    - write-through operações de escrita
    - write-back
  - bloco ausente
    - **leitura**: load-through ou transfere primeiro para cache e depois permite leitura
    - **escrita**: geralmente atualiza direto na memória principal

as 2 caches do DX4 são idênticas as do Pentium e não representam dois níveis de cache, ambas são de nível 1

# Microprocessador Intel 80486 DX2

## **INTEL 486 DX2**

- Idêntico ao 486
- Frequência de operação interna é o dobro da frequência da placa-mãe

## **INTEL 486 DX4**

- Frequência de operação interna é o triplo da frequência da placa-mãe (x3), e possui o dobro de memória cache (16 Kbyte) (x1)

## **AMD 80486X5**

- Frequência de operação interna é o quádruplo da frequência da placa-mãe (x4), e possui o dobro de memória cache (16 Kbyte) (x1)

# Microprocessador Intel Pentium

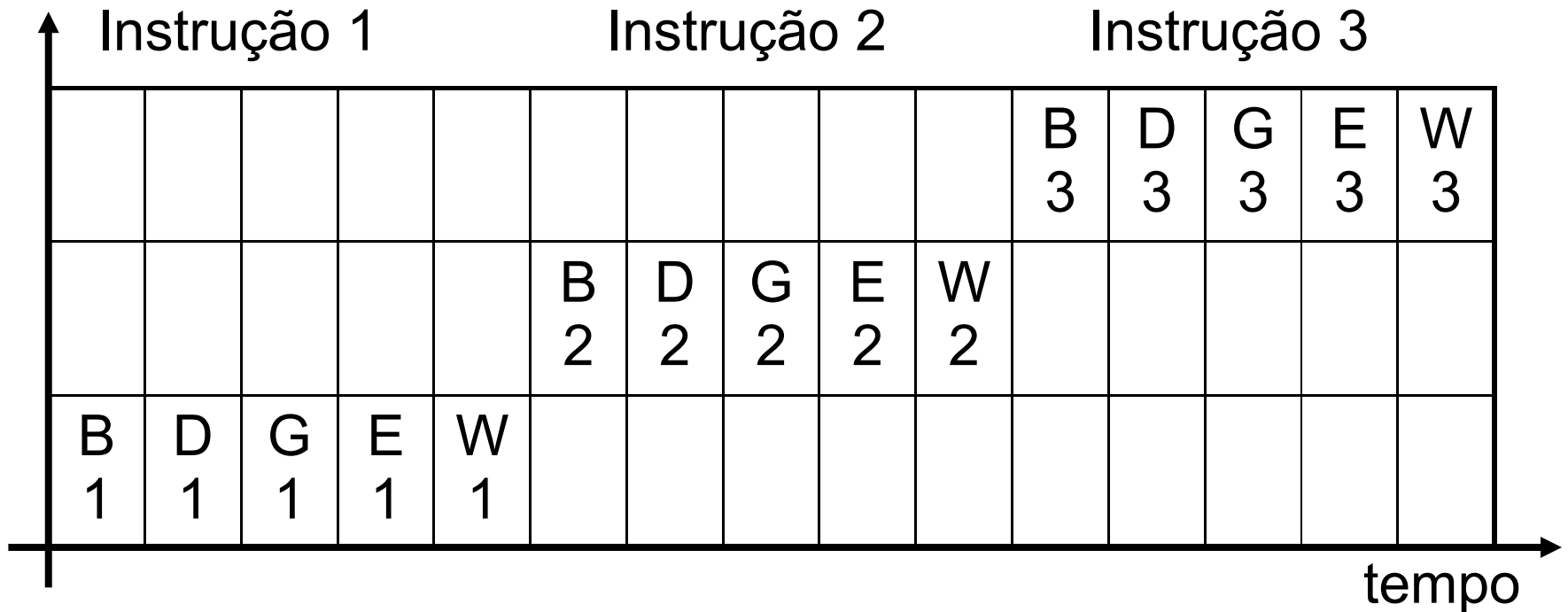
- Lançado em 1993
- Frequência de 60 MHz a 233 MHz
- Encapsulamento de 296 pinos
- Reestruturação do 486
  - Modos real (8086), protegido e virtual86
  - 16 registradores (os do 80386, também em 32 bits)
  - Memória virtual segmentada e paginada
- Comunicação com a memória em 64 bits
- Capacidade máxima de memória de 4 GByte
- 5 instruções extras ( $157 + 5 = 162$  instr. básicas)
- FPU: coprocessador aritmético integrado
- Cache de 16 KByte (2 x 8 KByte)
- Instrução CUID - identifica o tipo de processador
  - ótimo para configurar software



# Intel Pentium

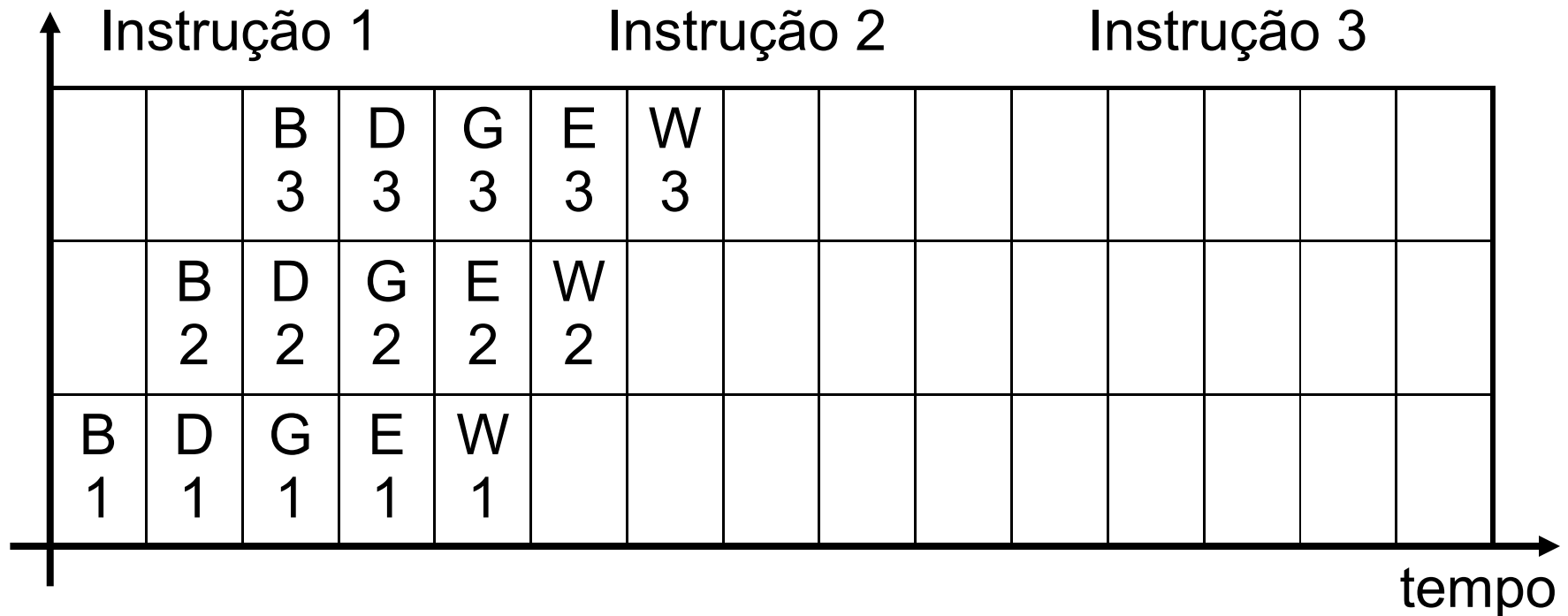
- 2 **pipelines** para inteiros, operando em paralelo
  - mas somente para instruções “paralelizáveis”
- cada pipeline inteiro consta de 5 estágios:
  - busca de instrução (a partir da cache de instruções),
  - decodificação de instrução,
  - geração de endereço,
  - execução,
  - escrita (write back).
- **FPU** também em pipeline (mas não em paralelo)
- operação **super-escalar**: mais de uma instrução pronta em um ciclo de relógio

# Sem Pipeline

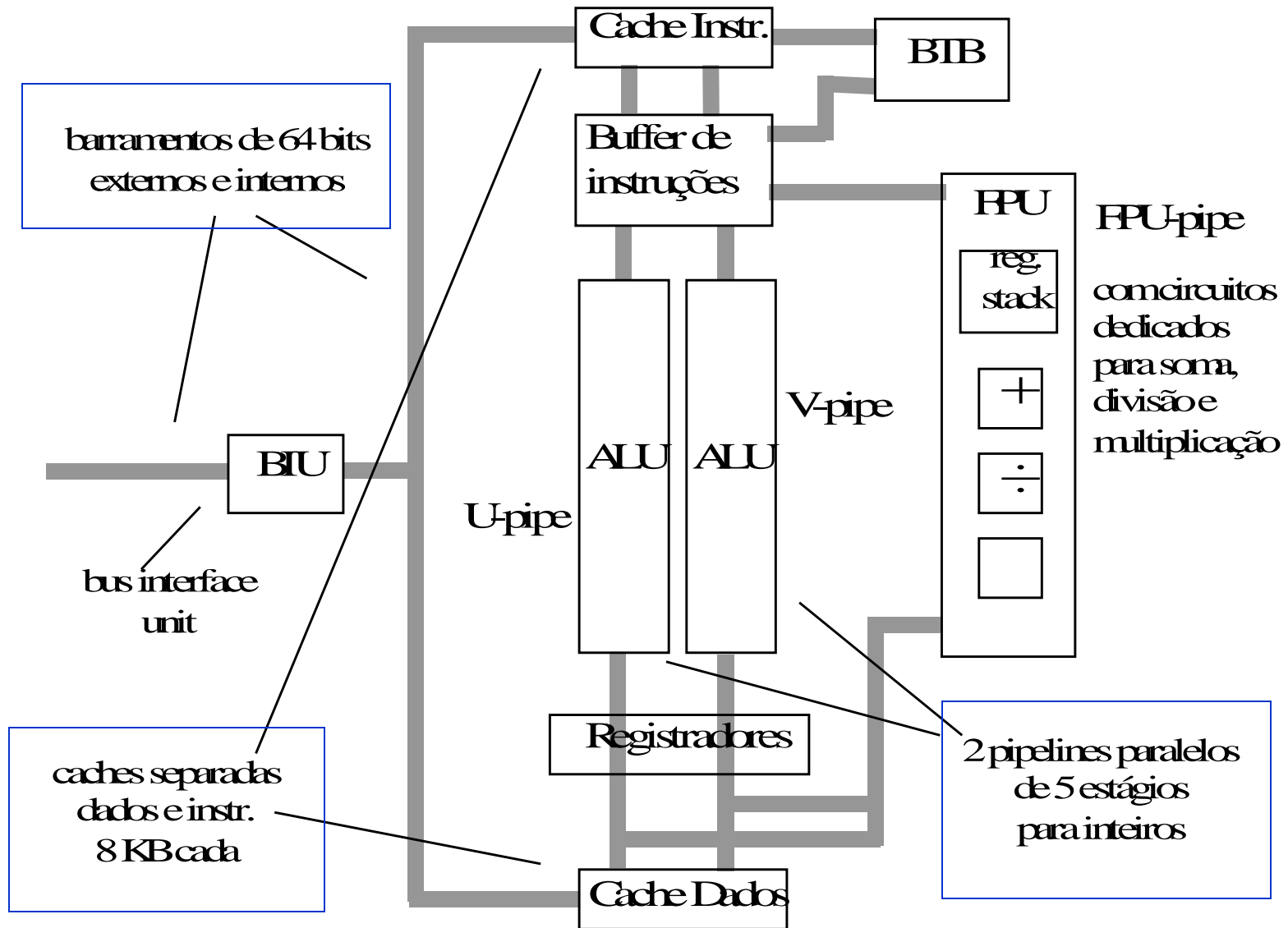


Instrução decomposta em 5 estágios: Busca, decodificação, Geração de endereços, Execução, Escrita (write)

# Com Pipeline



Pipeline não reduz o tempo gasto com cada instrução, mas reduz o tempo total





# Instruções paralelizáveis

<b>ADD</b>	<b>U+V</b>
<b>AND</b>	<b>U+V</b>
<b>CALL (immediate)</b>	<b>V</b>
<b>CMP</b>	<b>U+V</b>
<b>DEC</b>	<b>U+V</b>
<b>INC</b>	<b>U+V</b>
<b>Jcc</b>	<b>V</b>
<b>JMP (immediate only)</b>	<b>V</b>
<b>LEA</b>	<b>U+V</b>
<b>MOV (general register and memory only)</b>	<b>U+V</b>
<b>NOP</b>	<b>U+V</b>
<b>OR</b>	<b>U+V</b>
<b>POP (register only)</b>	<b>U+V</b>
<b>PUSH (register only)</b>	<b>U+V</b>
<b>RCL, RCR (one bit and immediate only)</b>	<b>U</b>
<b>ROL, ROR (one bit and immediate only)</b>	<b>U</b>
<b>SAR,SHL,SHR (one bit and immediate only)</b>	<b>U</b>
<b>SUB</b>	<b>U+V</b>
<b>TEST (reg-reg, mem-reg and immediate-EAX only)</b>	<b>U+V</b>
<b>XOR</b>	<b>U+V</b>

# Superescalaridade no Pentium

- Uma instrução que pode ser executada no pipe  $U$  (ou  $U+V$ ) pode ser iniciada simultaneamente com uma instrução que pode ser executada no pipe  $V$  (ou  $U+V$ )
- Instruções não paralelizáveis são iniciadas individualmente no pipe  $U$
- Havendo dependência de dados (uma instrução usa os resultados da outra), não há paralelização
- Ordem das instruções não é alterada (Execução “in order”)

# Pipeline/Superscalar

- Pipeline
  - Explora paralelismo temporal (operações sobre mais de uma instrução em etapas que não acontecem ao mesmo tempo)
  - Problema principal: desvios condicionais
  - Ver material adicional
- Superscalaridade
  - Explora paralelismo espacial (operação sobre mais de uma instrução simultaneamente, utilizando várias unidades funcionais)
  - Problema principal: dependência de dados
  - Ver material adicional