INF01113 - Organização de Computadores B Turma B – 2011/2 – Prof. Philippe O. A. Navaux 1ª Lista de Exercícios

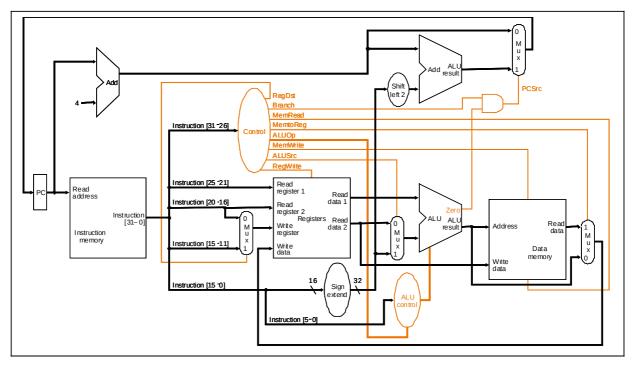
Exercícios do livro-texto:

D.Patterson e J.Hennessy

Organização e Projeto de Computadores: a Interface Hardware/Software.

LTC, Rio de Janeiro, 2000 – 2ª edição.

1 – Descreva o efeito causado por manter em 0 todos os sinais de controle dos multiplexadores no caminho de dados **monociclo** da Figura 1 [Figura 5.19]. Quais das instruções, se houver alguma, continuariam a funcionar apesar disto? Considere cada uma das situações separadamente: RegDst = 0, ALUSrc [UALFonte] = 0, MemtoReg [MemParaReg] = 0, Zero = 0.



2 – Precisamos adicionar a instrução addi (soma imediata) ao caminho de dados monociclo. Acrescente o que for necessário, em termos de elementos e de sinais de controle, ao caminho de dados da Figura 1 [Figura 5.19]. Mostre as modificações na Figura 2 [Figura 5.20], em função desta nova instrução. A descrição da instrução está abaixo.

Categoria	Instrução	Exemplo	Significado	Comentário
Aritmética	add immediate	addi \$s1, \$s2, 100	\$c1 - \$c2 + 100	Coloca a soma do conteúdo do registrador fonte(\$s2) com a constante imediata com sinal estendido no registrador destino(\$s1).

Instrução	RegDst	ALUSrc	MemtoReg	RegWrite	MemRead	MemWrite	Branch	ALUOp1	ALUOp0
Formato R	1	0	0	1	0	0	0	1	0
lw	0	1	1	1	1	0	0	0	0
SW	Х	1	Х	0	0	1	0	0	0
beq	Х	0	Х	0	0	0	1	0	1

Figura 2 [5.20]

3 – Precisamos acrescentar ao caminho de dados multiciclo a instrução addi (soma imediata) descrita no exercício anterior.

Adicione tudo que for preciso, em termos de elementos de hardware e de sinais de controle, ao caminho de dados da Figura 3 [Figura 5.33].

4 – Se for o caso, mostre as modificações na máquina de controle do MIPS Multiciclo para executar a instrução addi. Por favor, explicite quantos ciclos são gastos para executar a nova instrução no nosso caminho de dados modificado.

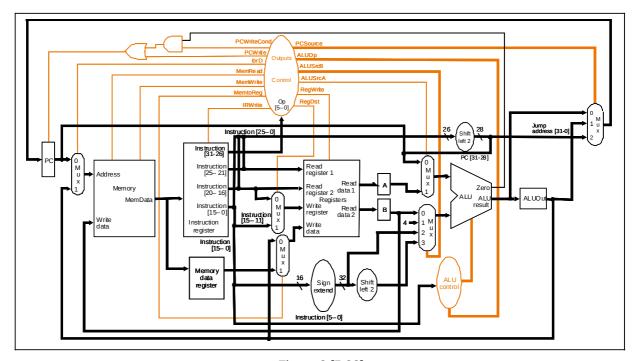


Figura 3 [5.33]

- **5** Suponha que você tenha sido designado líder do projeto de um sistema computacional. Tanto o projeto do processador quanto o do compilador estão prontos, e você precisa decidir se manda o projeto para produção em seu estágio atual ou se adia o início da produção para esperar por melhoras a serem introduzidas. Para tomar esta decisão, você chama o seu engenheiro de hardware, discute o problema com ele e fica com as seguintes opções:
- a. <u>Deixar o projeto como está</u>. Vamos chamar a máquina resultante desta decisão de *máquina básica*, ou *Mbásica*. Ela tem um clock de 500 MHz, e nela foram realizadas as seguintes medidas:

Classe de Instruções	СРІ	Freqüência
Α	2	40%
В	3	25%
С	3	25%
D	5	10%

b. <u>Otimizar o hardware</u>. O pessoal do hardware afirma ser capaz de melhorar o projeto do processador, fazendo-o aceitar um clock de 600 MHz. A máquina resultante é chamada de Mopt, e nela foram realizadas as seguintes medidas:

Classe de Instruções	СРІ	Freqüência
A	2	40%
В	2	25%
С	3	25%
D	4	10%

Com base nessas informações, pede-se a CPI de cada uma das máquinas.

6 [6.2] – Usando um desenho similar ao da Figura 7 [6.8], mostre os caminhos para adiantamento de dados necessários à execução das seguintes instruções:

```
add $2, $3, $4
add $4, $5, $6
add $5, $3, $4
```

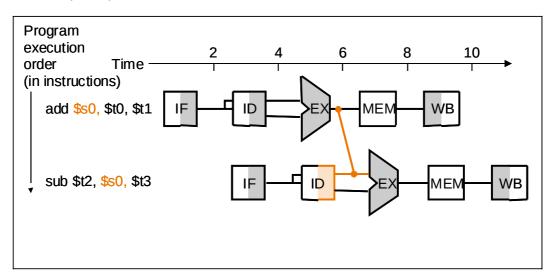


Figura 7 [6.8]

7 [5.9] — Explique por que não é possível modificar a implementação monociclo para implementar a instrução **swap** (que troca o conteúdo de dois registradores), sem modificar o banco de registradores. Obs.: Com a instrução **swap** após completar a sequência, o registrador destino tem o valor original do registrador fonte, e o registrador fonte tem o valor original do registrador destino. A semântica da instrução **swap** é

swap \$s0, \$s1

8 - Dado um processador com 5 estágios de pipeline (F,DR,O,M,W), Tciclo = 2ns, pede-se:

quanto tempo será tomado para executar 1B de instruções?

qual a aceleração em relação a:

uma máquina single-cycle com Tcycle = 8ns;

uma máquina multi-cycle com Tcycle = 2ns, CPI = 4;

Graças a melhora na tecnologia, passa-se o pipeline a 7 estágios (FF,DR,OO,MM,W), com Tciclo = 1ns.

Quanto tempo será tomado para executar 1B de instruções?

Qual a aceleração em relação a:

uma máquina single-cycle com Tcycle = 8ns;

uma máquina multi-cycle com Tcycle = 1ns, CPI = 5;

- **9 -** O pipe de 5 estágios decide o salto no quarto estágio. A política usada é esvaziar o pipe. Qual a penalidade paga, se 30% das instruções forem branches? Qual o CPI? Melhorou-se o processador com uma política de predição de saltos com 85% de acertos. Qual a melhoria em desempenho? Qual CPI se tem? Repita o problema para um pipe de 7 estágios, onde a decisão sobre saltos acontece no 5° estágio.
- 10 Dados os seguintes tempos e assuma M0 single cycle:

IM=4ns, Reg=1ns, ALU=3ns, DM=4ns, RegW=1ns

Qual o tempo para executar 1B de instruções?

Qual a MELHOR partição para o pipeline de 3 estágios, assumindo blocos indivisíveis? (M1) Compare o desempenho com M0.

Qual a MELHOR partição para o pipeline de 5 estágios, assumindo blocos indivisíveis? (M2) Compare o desempenho com M0.

Qual a MELHOR partição, assumindo blocos divisíveis? (M3)

Qual o desempenho de M0..3 se a taxa de branches é de 30%, sem preditor?

Qual o desempenho de M0..3 se a taxa de branches é de 30%, com preditor que acerta 90%?