

Organização de Computadores

Aula 21

Memória Virtual no Pentium

Revisão Memória Virtual:

Paginação e Segmentação

- **Memória virtual pode ser categorizada em 2 principais classes:**
 - **Memória Paginada:** blocos de tamanho fixo
 - **Memória Segmentada:** blocos de tamanho variável

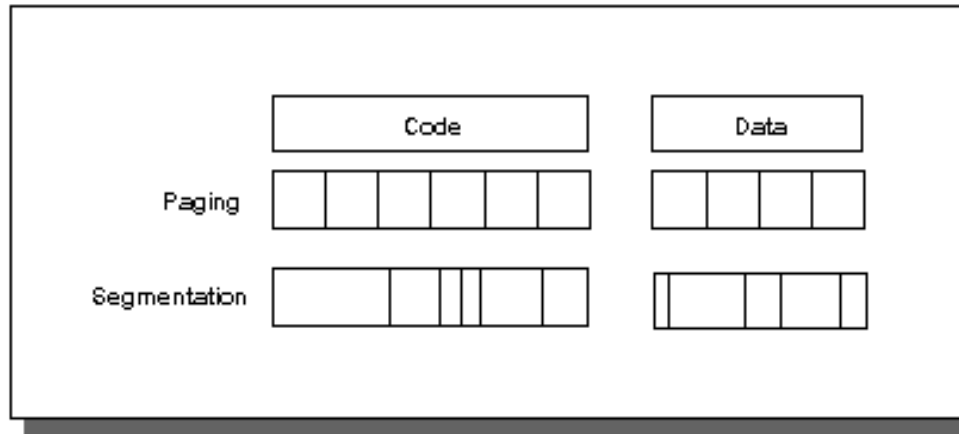


FIGURE 5.38 Example of how paging and segmentation divide a program.

Revisão MV

Segmentação vs. Paginação

- **Memória Paginada**
 - Blocos de tamanho fixo (4Kb a 64Kb)
 - Uma palavra por endereço (número da página + offset)
 - Fácil de trocar as páginas (todas de mesmo tamanho)
 - Fragmentação interna (nem todas páginas são usadas)
 - Comunicação com disco eficiente (otimização do tamanho da página)
- **Memória Segmentada**
 - Blocos de tamanho variável (até 64 KB ou 4GB)
 - Duas palavras por endereço (segmento + offset)
 - Dificuldade de troca dos segmentos (procurar segmentos)
 - Fragmentação externa (porções da memória não usadas)
 - Ineficiência na comunicação com disco (grandes e pequenos transfer)
- **Soluções Híbridas**
 - Segmentos paginados: segmentos são a múltiplos de um tamanho de página

Memória Virtual no Pentium

1. Introdução

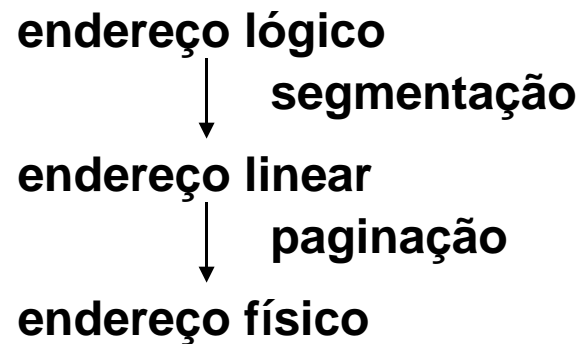
2. Segmentação

3. Paginação

1. Introdução Processadores Intel

1. Introdução

- Gerenciamento de memória virtual foi introduzido no 286, modificado no 386 e mantido inalterado no 486
- Pentium também segue mesmo modelo do 386
- Suporte simultâneo a paginação e segmentação

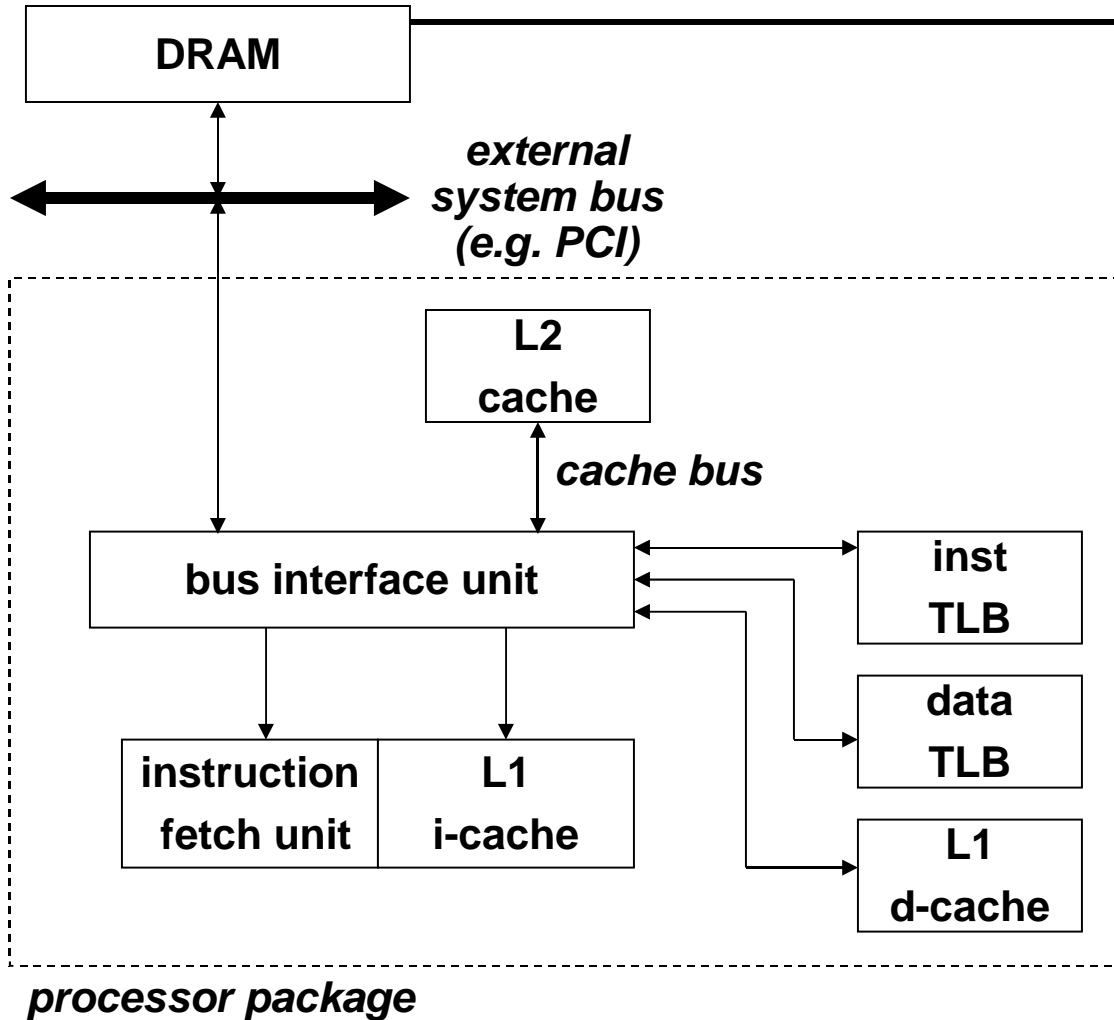


- Windows utiliza apenas a paginação, com um único segmento

Introdução

- **Processador 286 introduziu dois modos de operação**
- **Modo real**
 - **emula o modo normal de operação do 8086, para permitir compatibilidade de software**
 - **1 MB de memória real endereçável**
 - **microprocessador entra automaticamente em modo real quando é ligado**
- **Modo protegido**
 - **permite uso de memória virtual**
 - **instruções especiais disponíveis**
 - **16 MB de memória real endereçável – 4 bits extras de endereço**

Sistema de Memória do Pentium III



- 32 bit address space
- 4 KB pagesize
- L1, L2, and TLBs
 - 4-way set associative
- inst TLB
 - 32 entries
 - 8 sets
- data TLB
 - 64 entries
 - 16 sets
- L1 i-cache and d-cache
 - 16 KB
 - 32 B linesize
 - 128 sets
- L2 cache
 - unified
 - 128 KB -- 2 MB

2. Segmentação no Pentium

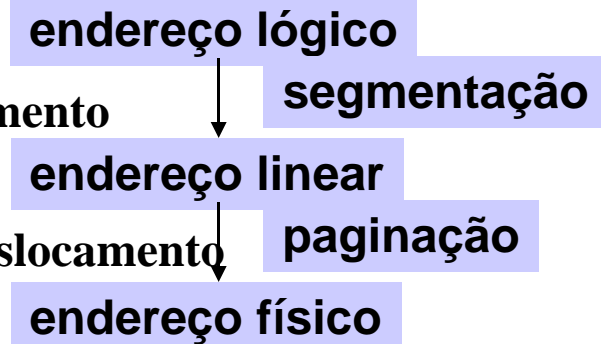
2. Segmentação

- **Registradores seletores de segmento**
 - com 16 bits
 - similares aos registradores de segmento do 8086, mas com função diferente

CS	segmento de código
SS	segmento de pilha
DS	segmento de dados
ES	segmento de dados
FS	segmento de dados
GS	segmento de dados

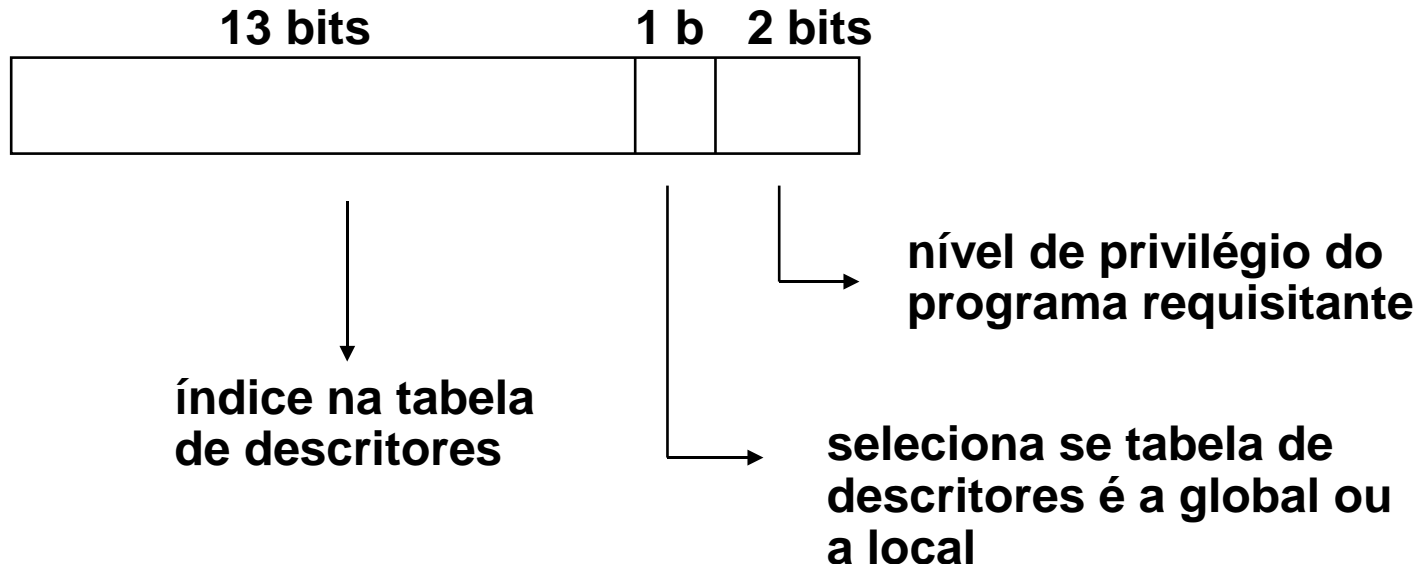
Segmentação

- Segmentação está disponível apenas no modo protegido
 - cuidado! no modo real, também existem “segmentos” (de 64 KB, como no 8086), mas não há relação entre os dois mecanismos
- Segmentos têm qualquer tamanho e podem iniciar em qualquer endereço
- Registrador de segmento contém um seletor, que é um apontador para um descriptor de segmento, armazenado na memória
- Descritor contém endereço base e tamanho do segmento
- Endereço linear = endereço base do segmento + deslocamento
- Se deslocamento for maior do que o tamanho do segmento, é gerada interrupção (“falha de segmento”)



Segmentação

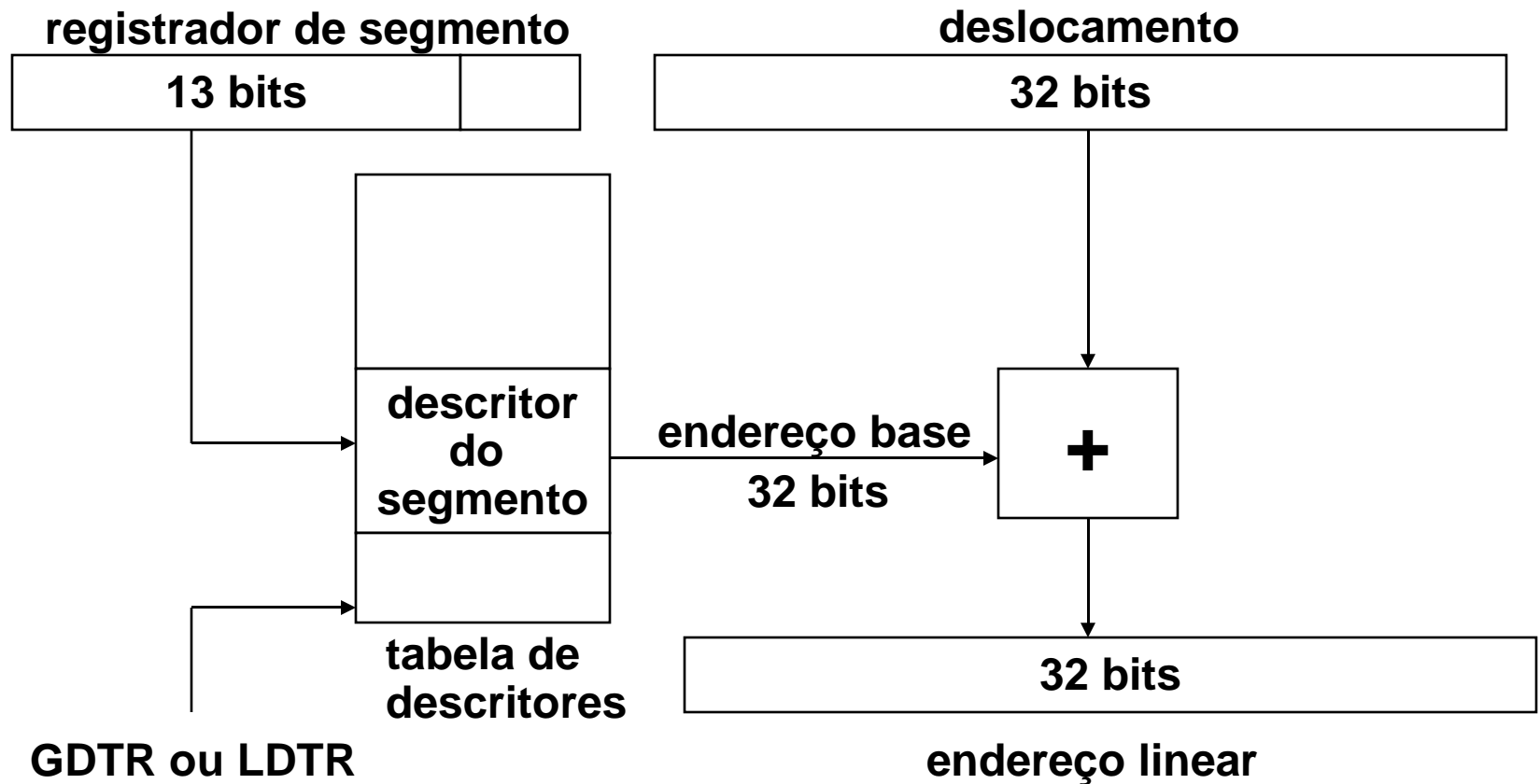
Interpretação do valor contido no seletor (registrador de segmento)



- **LDT (“Local Descriptor Table”)**, que descreve os segmentos locais a cada programa (código, dados, pilha)
- **GDT (“Global Descriptor Table”)**, partilhado por todos os programas.

Segmentação

Geração do endereço linear



Segmentação

- **Descritores de segmento**
 - ocupam 8 bytes
 - contêm 3 campos

endereço base do segmento – 32 bits					
tamanho do segmento – 20 bits					
atributos do segmento <table border="1"><tr><td>bit de granularidade G – tamanho é em bytes ou páginas (4K)</td></tr><tr><td>bit de segmento presente P</td></tr><tr><td>bit de segmento acessado A</td></tr><tr><td>nível de privilégio do segmento – 2 bits</td></tr><tr><td>tipo do segmento – 5 bits – dados, código, executável, ...</td></tr></table>	bit de granularidade G – tamanho é em bytes ou páginas (4K)	bit de segmento presente P	bit de segmento acessado A	nível de privilégio do segmento – 2 bits	tipo do segmento – 5 bits – dados, código, executável, ...
bit de granularidade G – tamanho é em bytes ou páginas (4K)					
bit de segmento presente P					
bit de segmento acessado A					
nível de privilégio do segmento – 2 bits					
tipo do segmento – 5 bits – dados, código, executável, ...					

Segmentação

- **GDTR e LDTR**
 - registradores de 32 bits
 - contêm o endereço base das duas tabelas de descritores (local e global)
 - estes endereços já são lineares, não passam pelo mapeamento da segmentação
- **Tabelas de descritores estão armazenadas na memória**
- **Processador possui em hardware um buffer com imagem dos 6 descritores de segmento que correspondem aos 6 seletores**
 - quando seletor é carregado com novo valor, descritor correspondente é trazido da tabela para este buffer
 - mapeamento de endereços é feito portanto em hardware

3. Paginação no Pentium

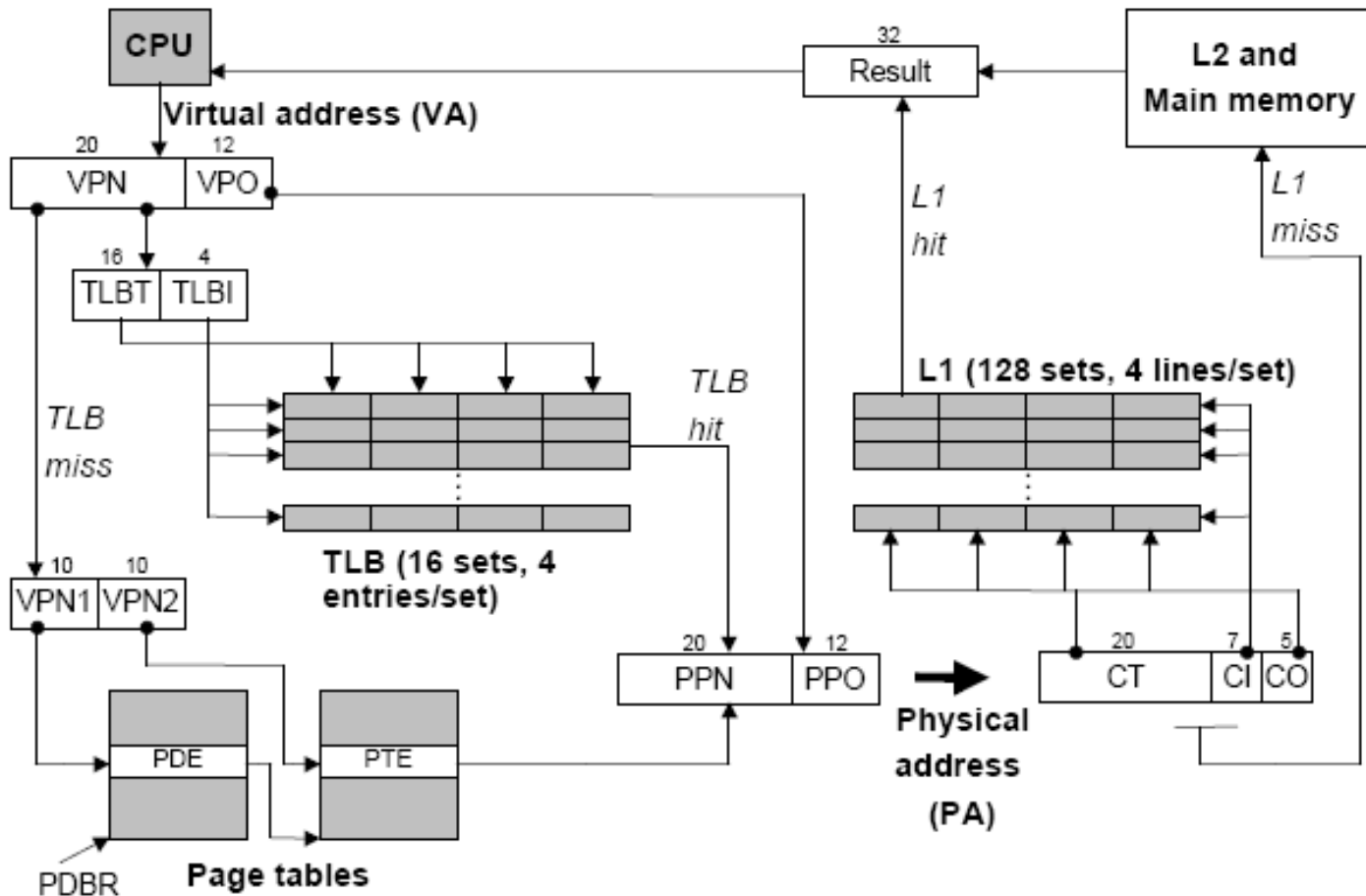
3. Paginação

- **Paginação é recurso opcional**
 - não havendo paginação, o endereço linear é igual ao endereço físico
- **Paginação é habilitada pelo bit PG – bit 31 do registrador de controle CR0**
- **Ocorre após a segmentação**
- **Com paginação ativa, o endereço linear é interpretado como sendo formado por 3 campos**

10 bits	10 bits	12 bits
diretório	página	deslocamento

páginas têm portanto 4 Kbytes de tamanho 17

Pentium III



Paginação

- **Mapeamento de endereços lineares em endereços físicos envolve pesquisa em duas tabelas**
 - **PD – diretório de páginas**
 - **PT – tabela de páginas**
- **PD – diretório de páginas**
 - **1024 entradas de 32 bits**
 - **ocupa portanto exatamente uma página da memória**
 - **contém PDEs**
 - **PDE é um endereço base para uma tabela de páginas**
 - **este endereço é físico, e não linear**
- **Endereço base do diretório de páginas está armazenado no registrador de controle CR3**
 - **é um endereço físico, e não linear**

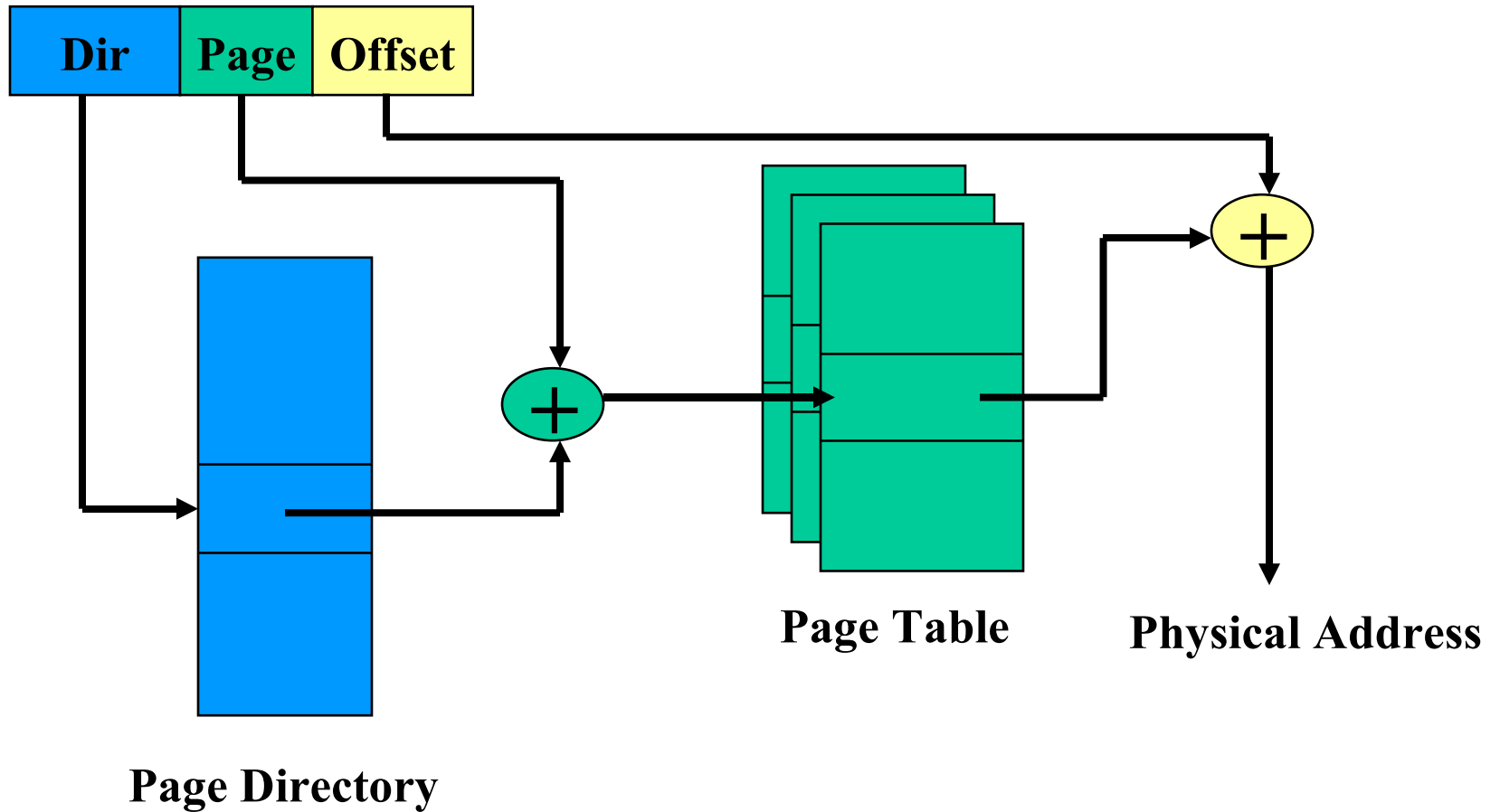
Paginação

- **PT – tabela de páginas**
 - também 1024 entradas de 32 bits
 - contém PTEs, com 2 campos

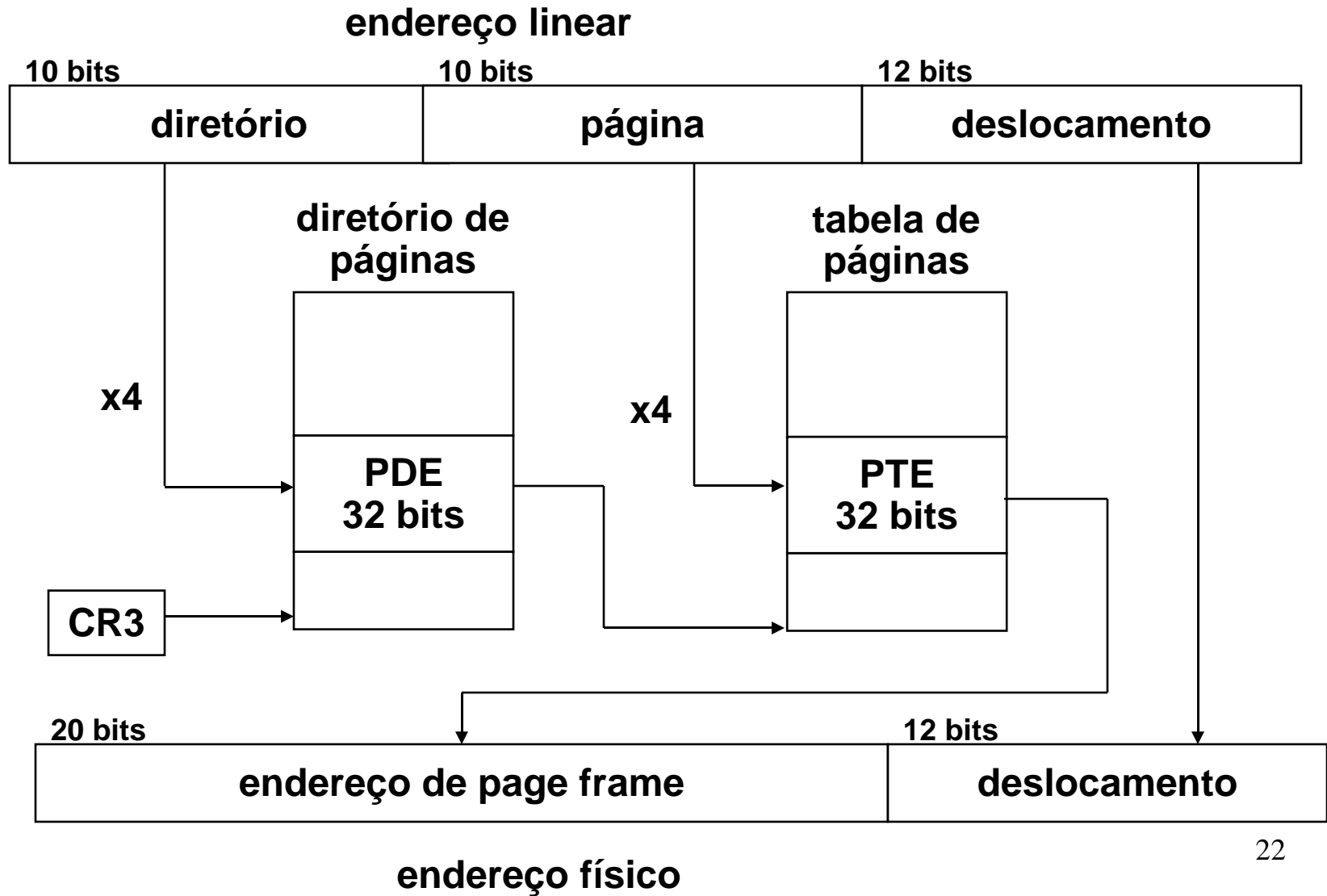
endereço de page frame – 20 bits
atributos de página
dirty – página alterada
accessed – página acessada recentemente
presente – página presente
nível de privilégio – usuário ou supervisor
operação permitida – leitura ou escrita

- **Existe uma tabela de páginas para cada página do diretório**

Two-Level Lookup



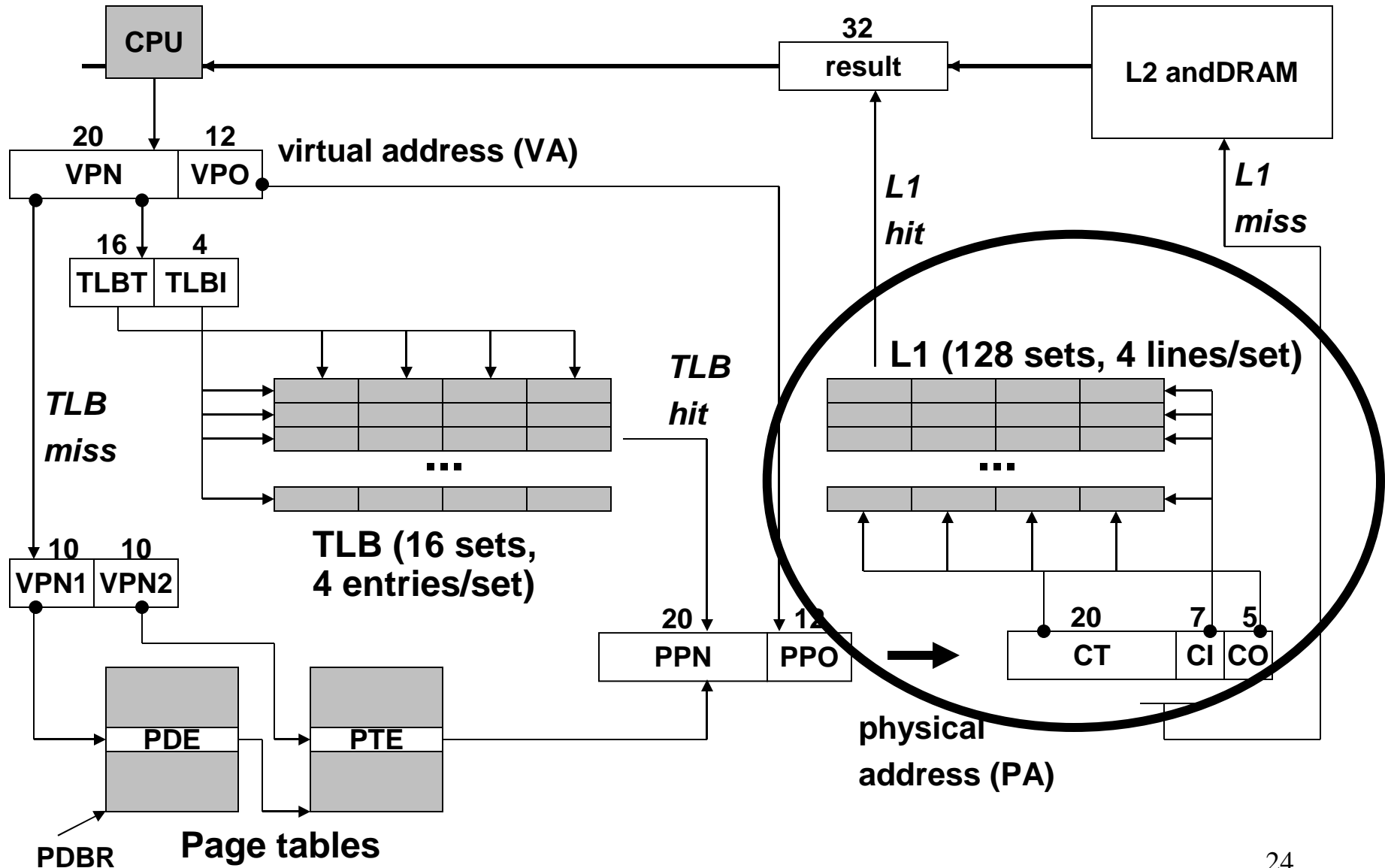
Paginação



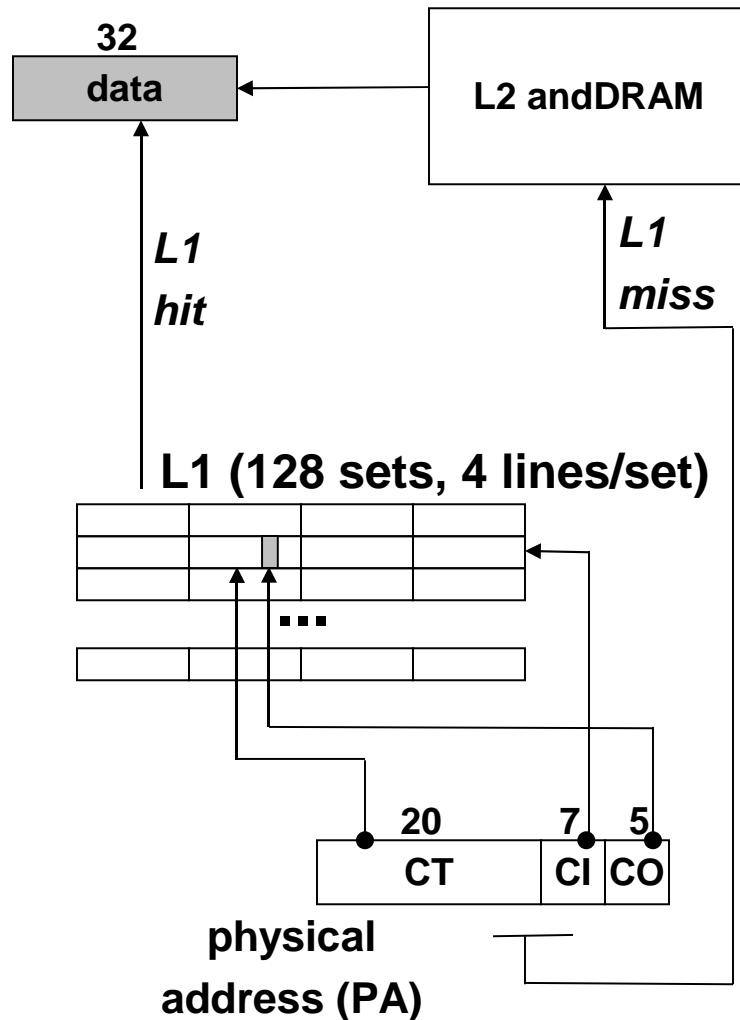
Paginação

- **TLB – Translation Look-aside Buffer**
 - mantém informação para mapeamento das páginas mais recentemente utilizadas (tipicamente 32 a poucas centenas)
 - memória associativa
 - recebe endereço linear e fornece a PTE correspondente
 - economiza tempo de acesso às tabelas PD e PT
 - hit ratio no TLB maior que 98 % é usual
- **Pentium também permite páginas de 2 Mbytes, enquanto no 386 as páginas são fixas, com 4 Kbytes**
- **TLBs no Pentium II -- IV: 2 TLBs**
 - TLB para dados : Pentium II: 64 entradas/posições , Pentium IV: 128 entr.
 - TLB para instruções : Pentium II: 32 entradas , Pentium IV: 128 entradas
 - ambos são associativas em 4 grupos (*4-way set associative*)
 - Pentium : substituição pseudo-LRU

Pentium III L1 Cache Access



L1 Cache Access



- Partition physical address into CO, CI, and CT.
- Use CT to determine if line containing word at address PA is cached in set CI.
- If no: check L2.
- If yes: extract word at byte offset CO and return to processor.

FIM