

INF01 118

Técnicas Digitais para Computação

Registradores

Aula 21

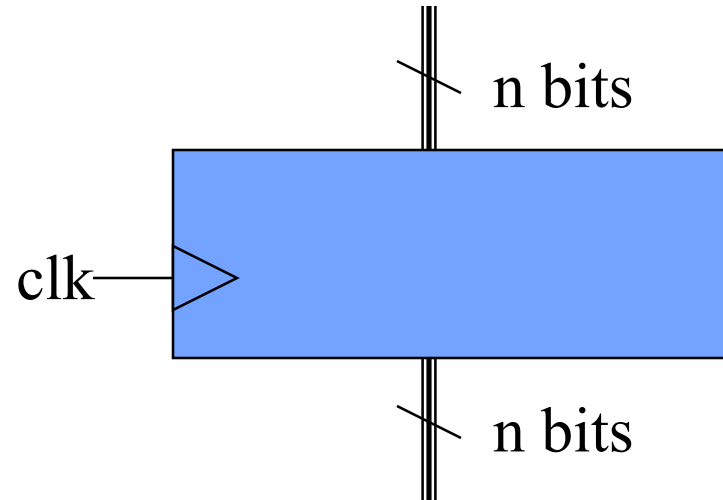
1. Introdução

**Registrador = conjunto de FF's ou latches
+ lógica combinacional que perfaz uma
dada função**



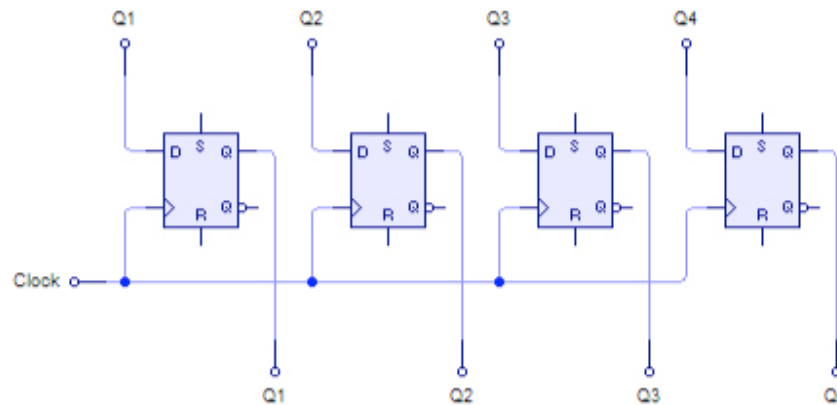
Diferentes tipos de registradores

- **Reg. de armazenamento**
- **Reg. de deslocamento**
- **Reg. contadores**

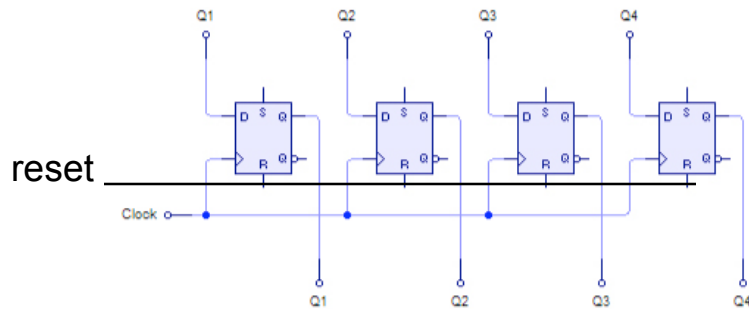


**Exemplo de registrador elementar
(registrador de armazenamento)**

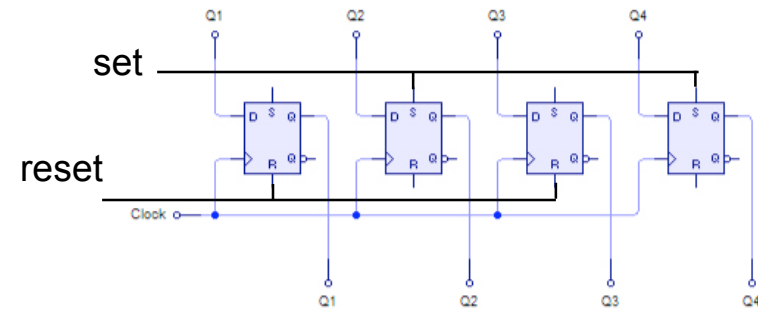
Registrador Paralelo / Paralelo



Inicializar
Reg \leftarrow "0000";



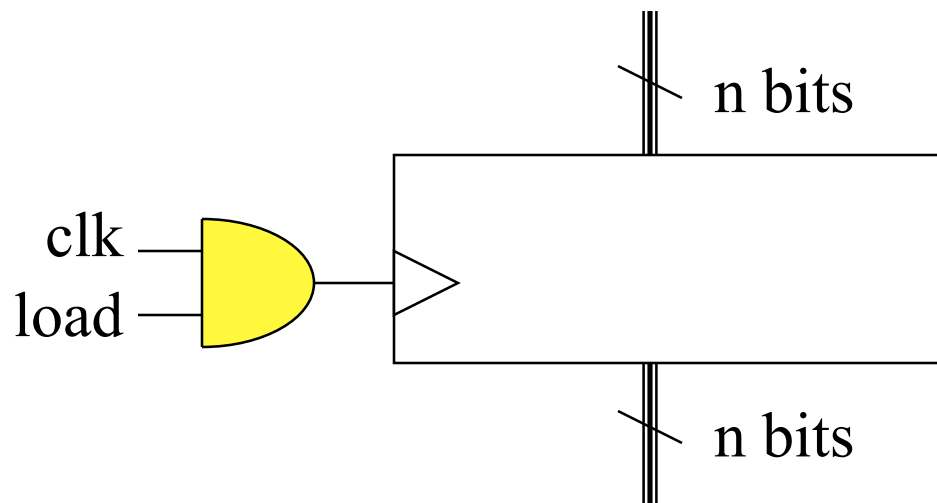
Inicializar
Reg \leftarrow "0101";



- “carga” - operação de transferência de um novo valor $E_0 E_1 \dots E_{n-2} \dots E_{n-1}$ para o registrador
- carga paralela - carga simultânea de todos os bits, sincronizada pelo clock
- problema - e se não for desejada uma carga do registrador a cada pulso do clock ?

Solução 1 - desabilitar o clock

- desvantagem : lógica com clock – atrasos variáveis – perda de sincronismo

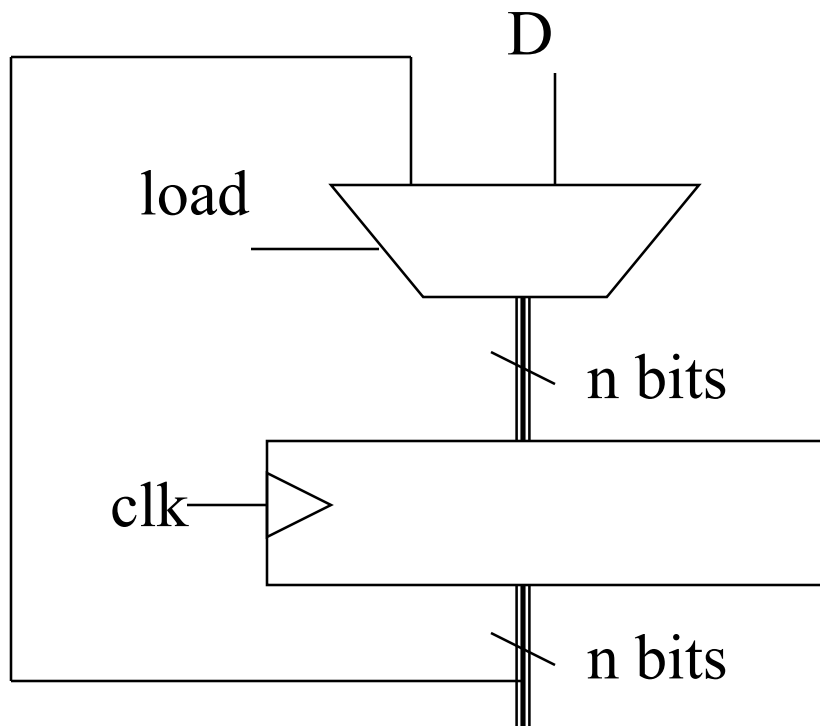


Solução 2 - clock não é desabilitado

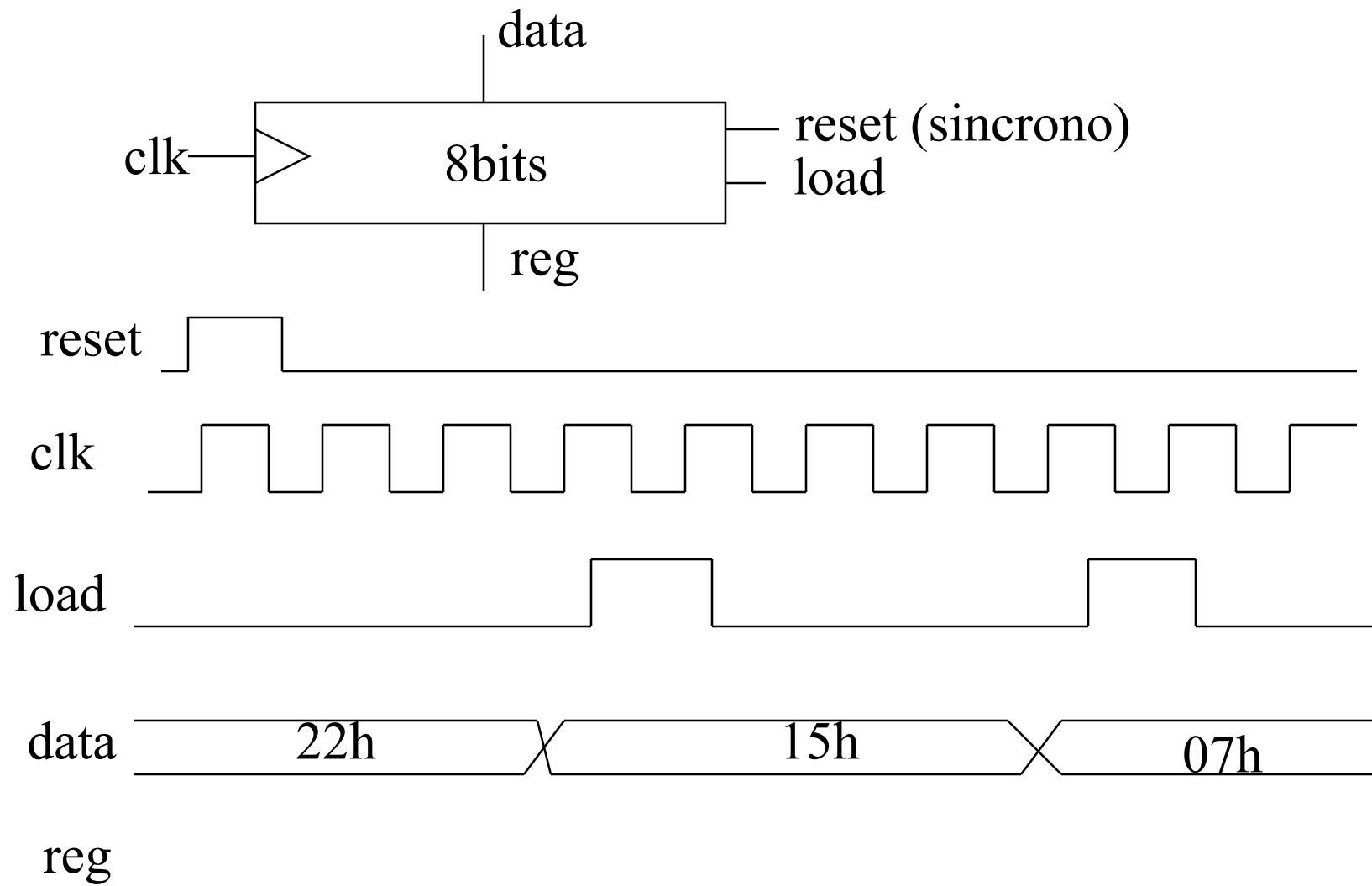
Se $LOAD = 1$ carrega novo valor E_i

Se $LOAD = 0$ carrega valor atual S_i

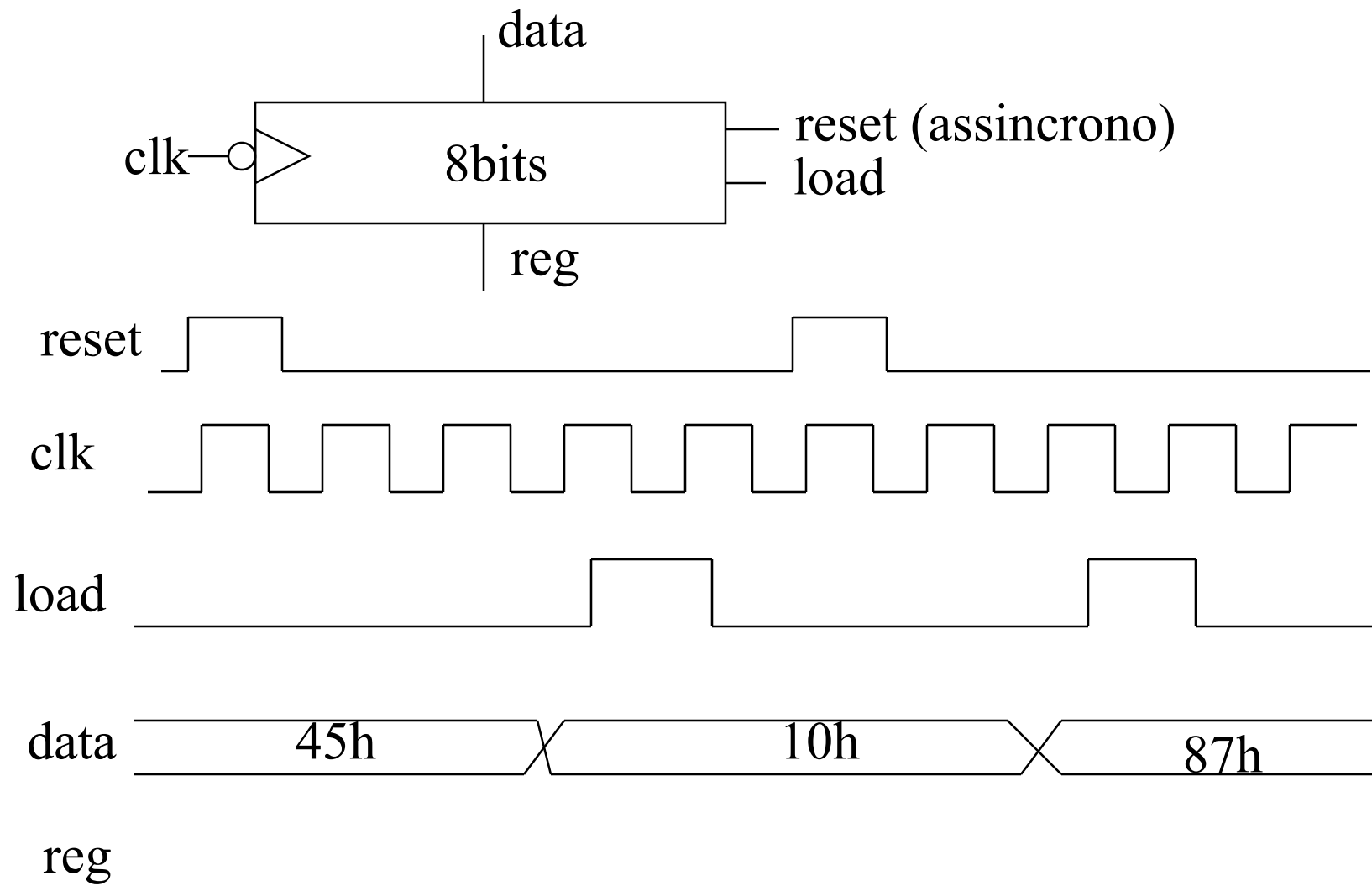
Para reduzir o fanout de $LOAD$



Exercicio



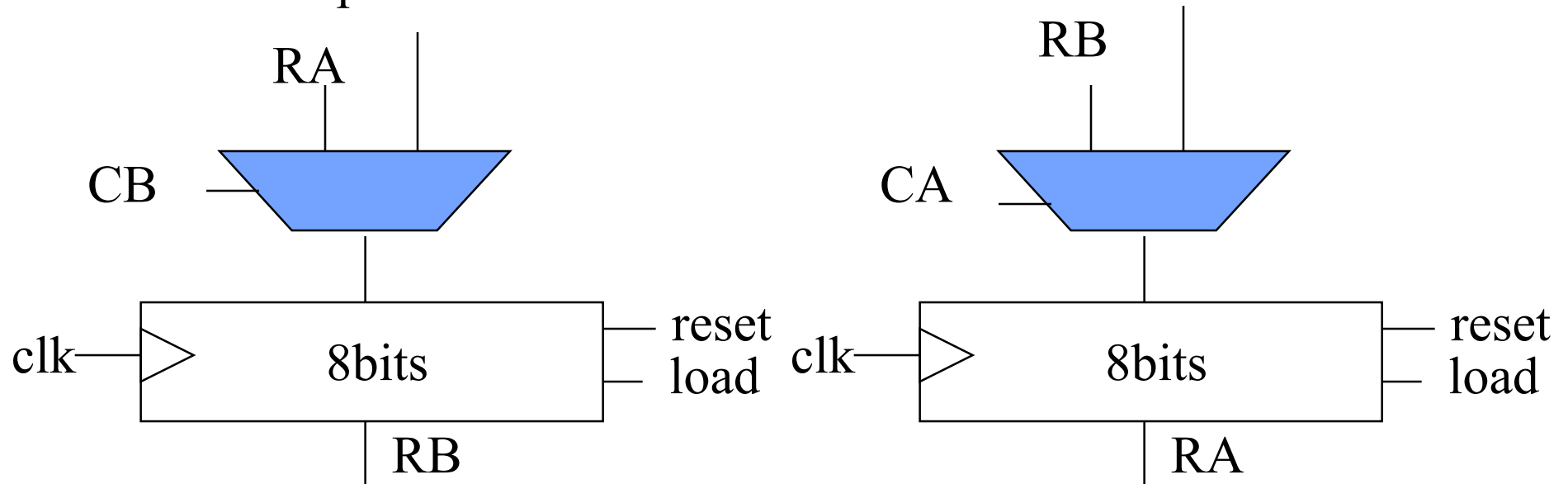
Exercicio



2. Transferências entre registradores

Transferência paralela $RB \longleftrightarrow RA$

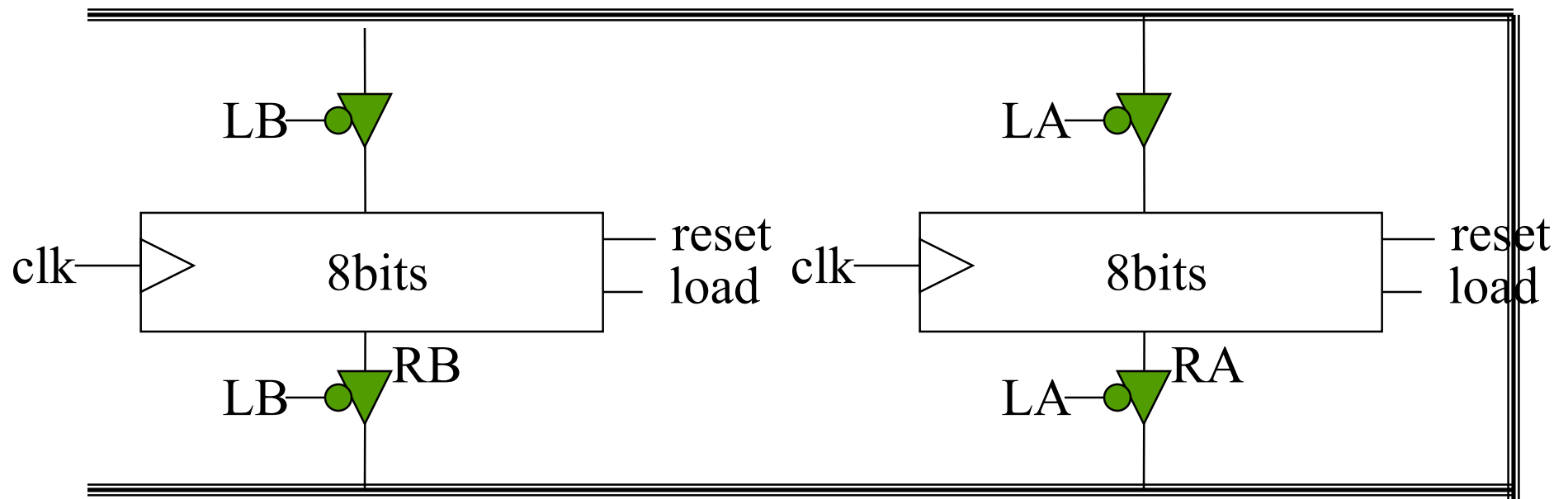
Uso de multiplexadores



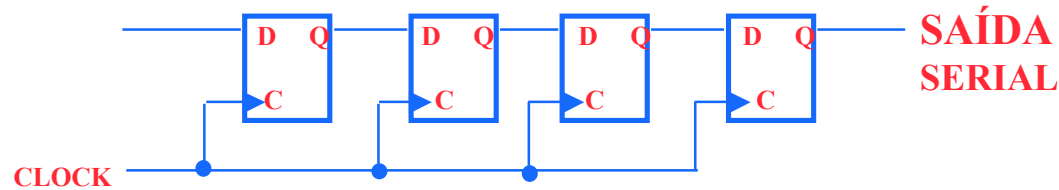
2. Transferências entre registradores

Transferência paralela $RB \longleftrightarrow RA$

Uso de barramentos



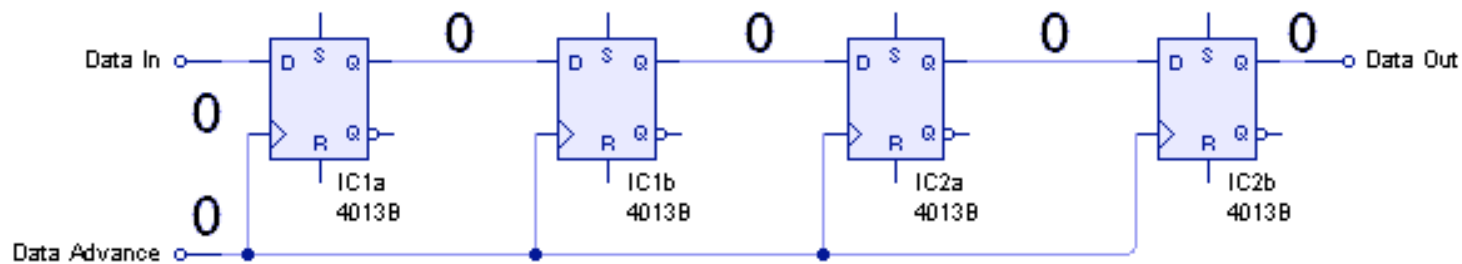
3. Registradores de deslocamento



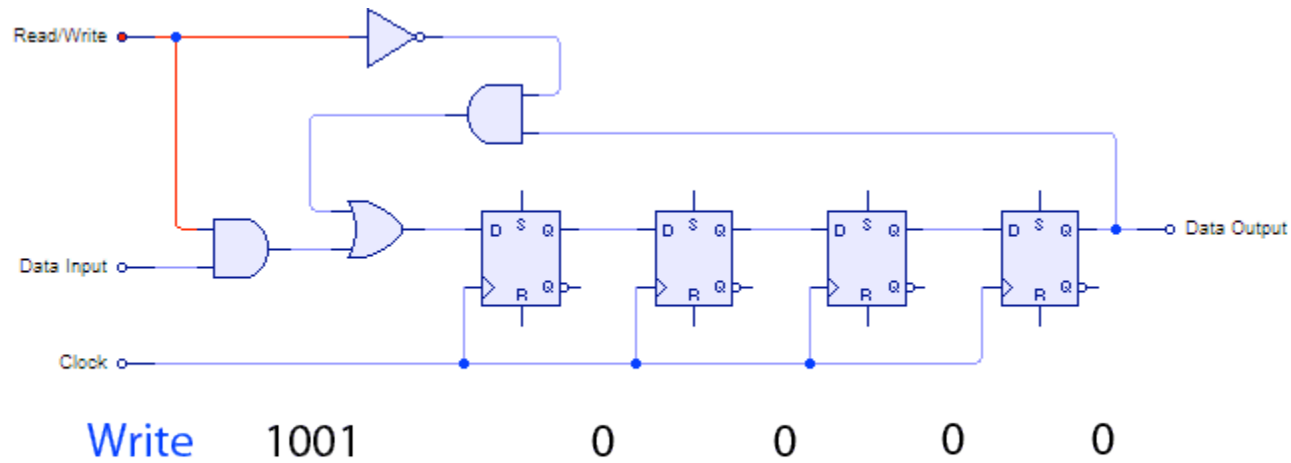
Aplicações

- a) operações de “shift” e “rotate” em processadores
- b) transferência serial entre registradores
- c) conversão série / paralelo
- d) conversão paralelo / série

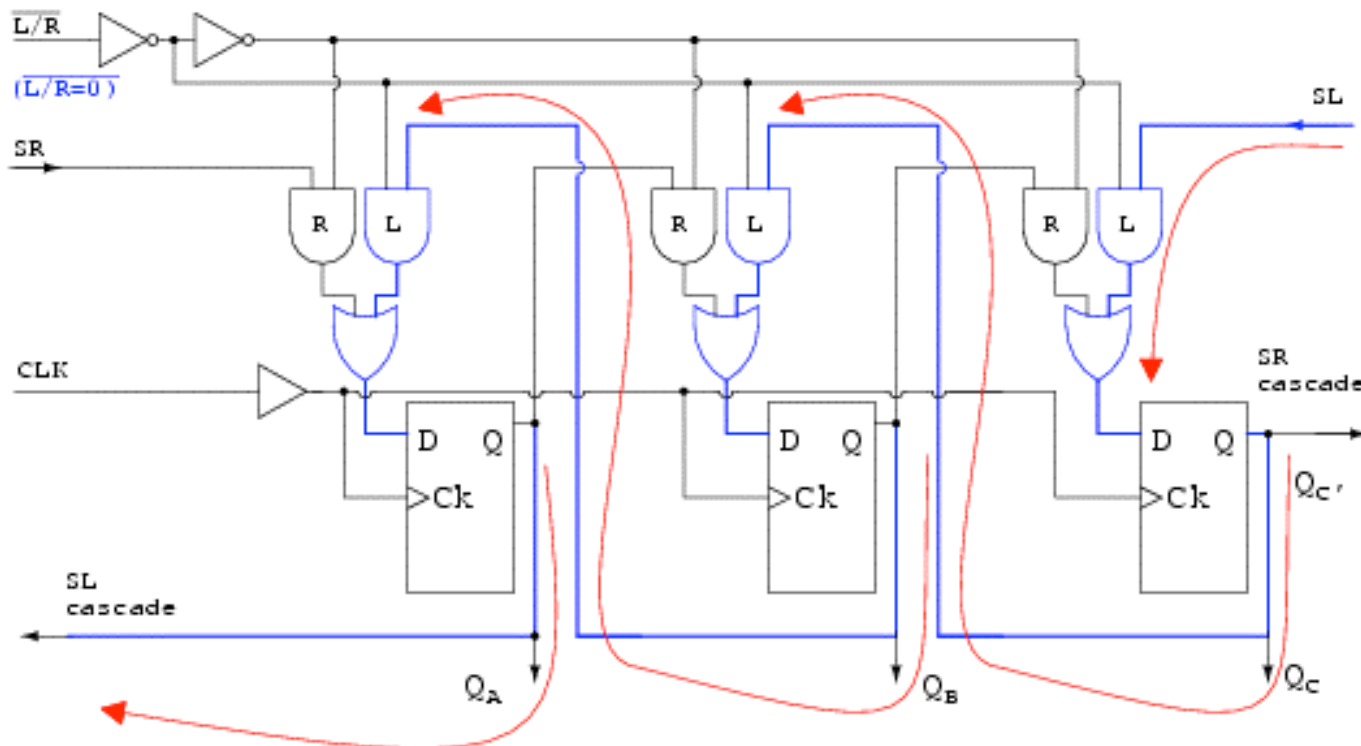
Registadores Deslocamento



Registrador Deslocamento

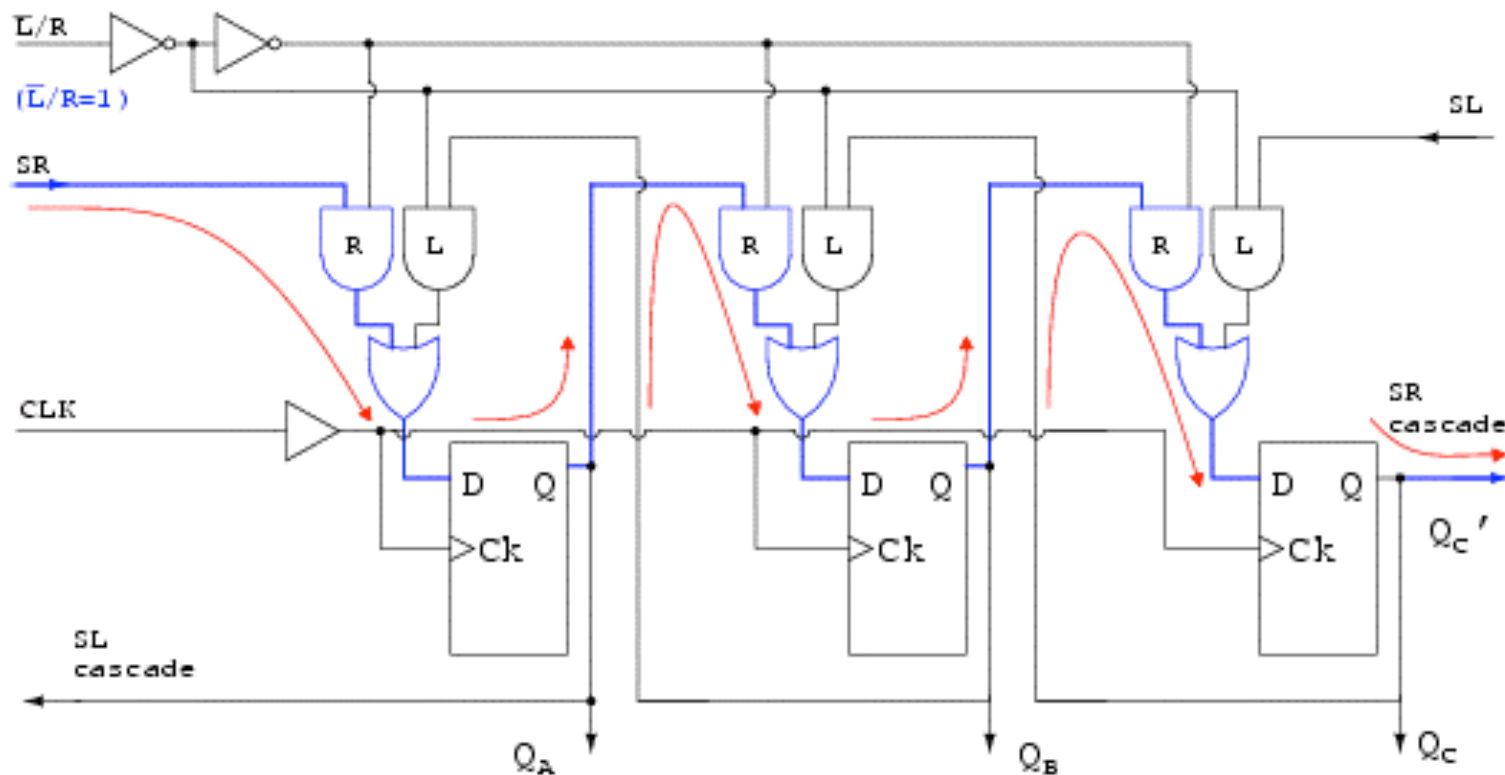


Registrador Deslocamento Esq e Direita



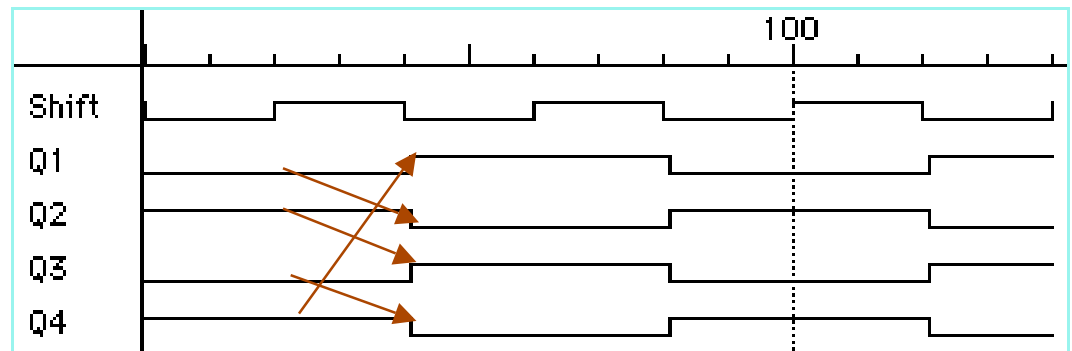
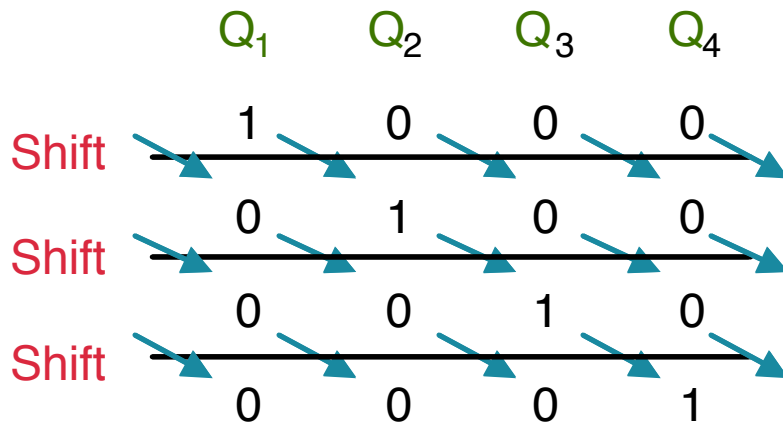
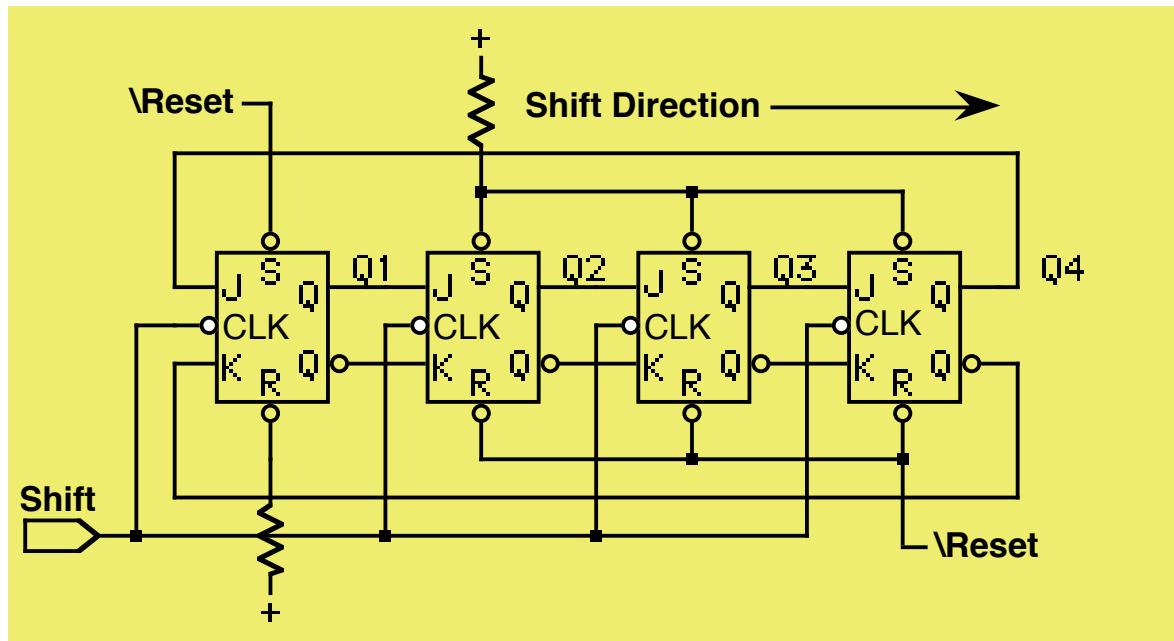
Shift left/ right register, left action

Registrador Deslocamento Esq e Direita



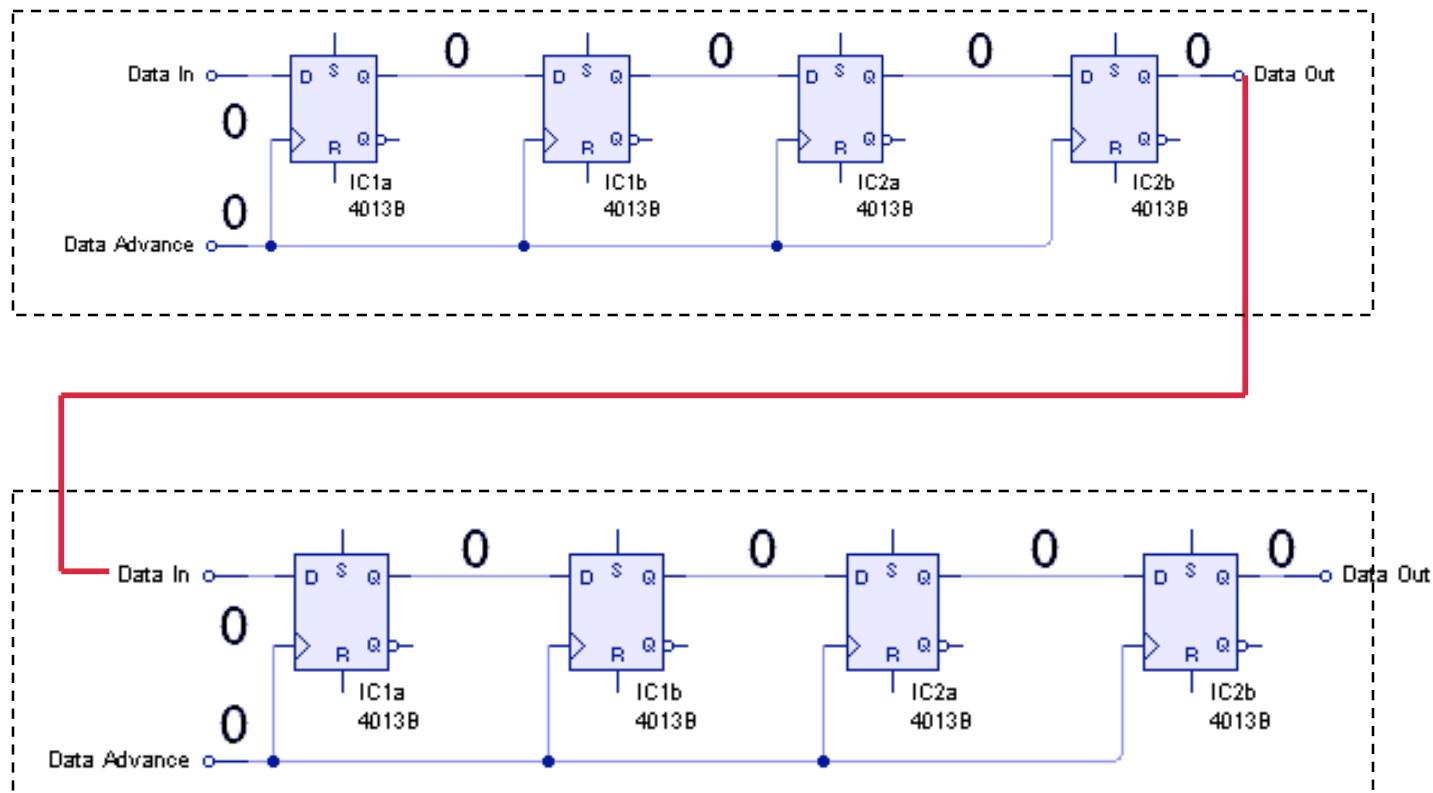
Shift left/ right, right action

a) Exemplo



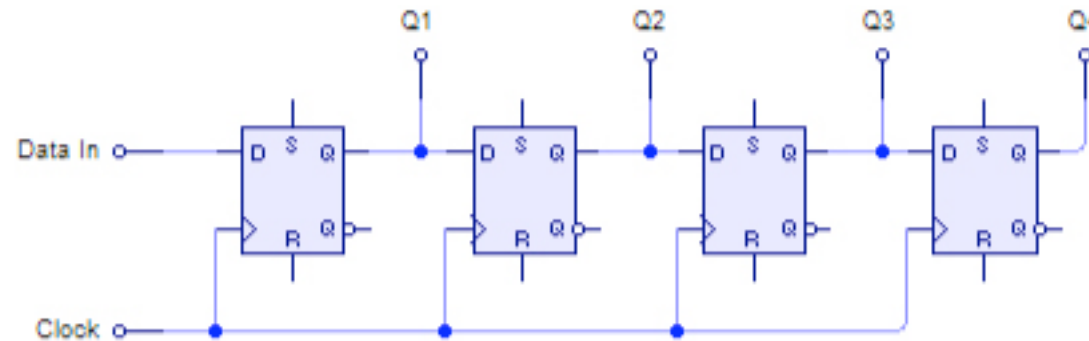
FF mestre-escravo: amostra entradas enquanto o clock está em 1; muda saídas na borda descendente

Transferência Serial entre Registradores



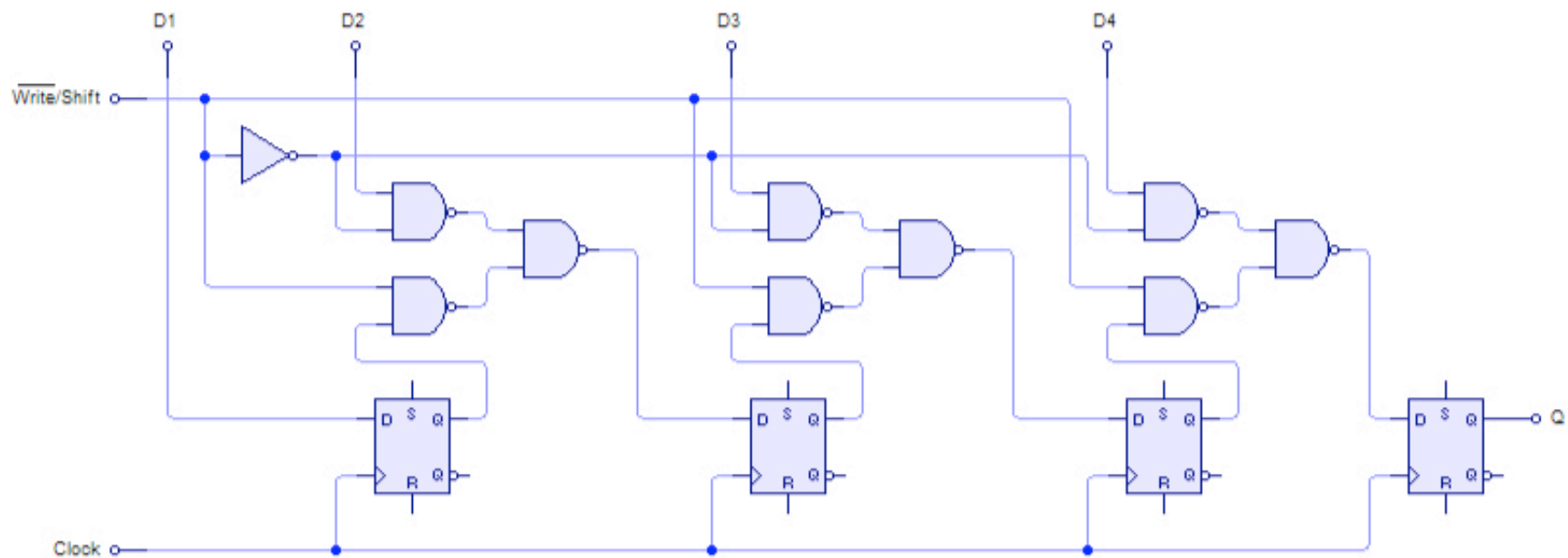
Supondo registradores de 4 bits, após 4 pulsos de clock o conteúdo do registrador R1 foi transferido para o registrador R2

Registrador Conversão Serial / Paralelo

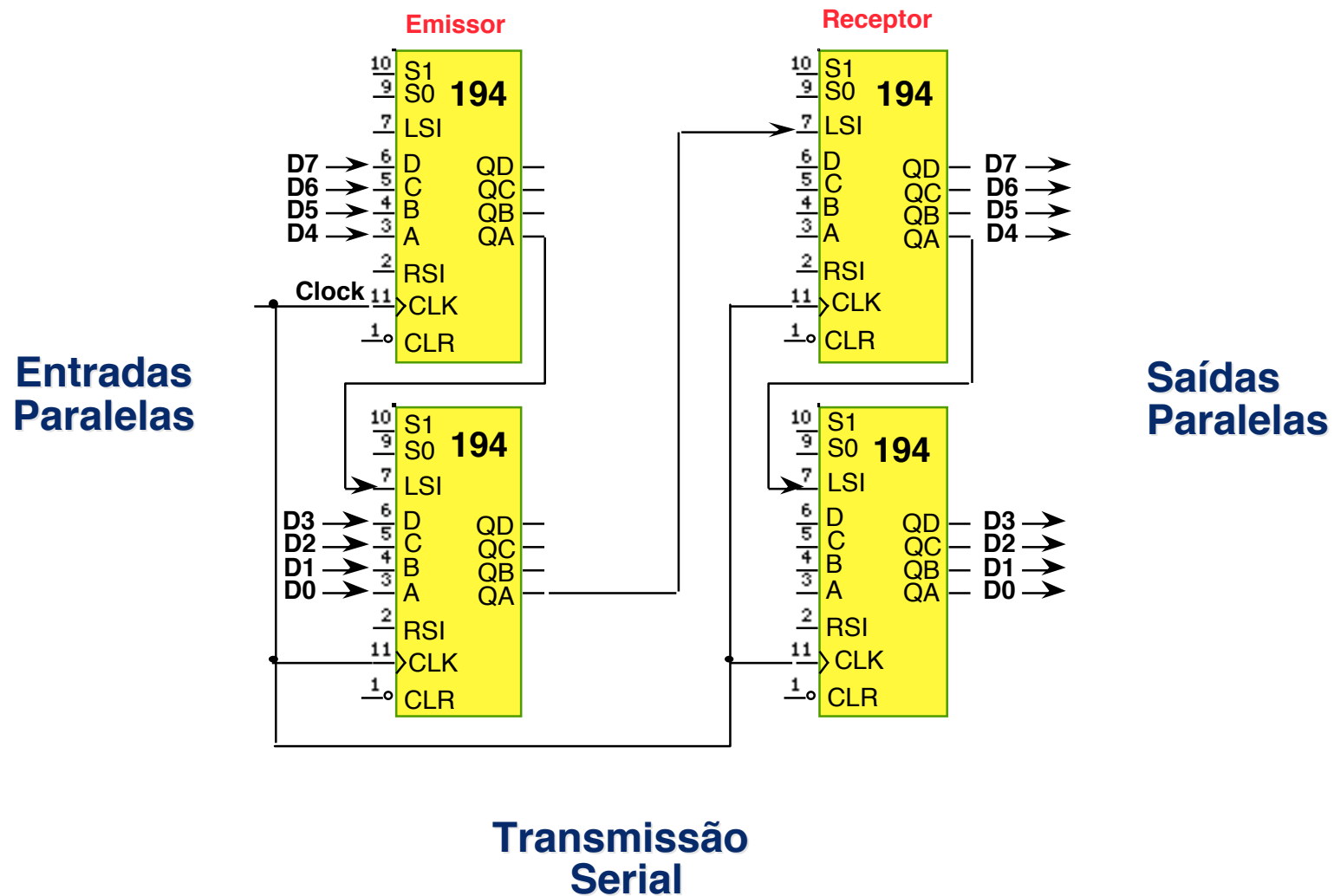


Após 4 pulsos do clock, o conteúdo do registrador está disponível em paralelo

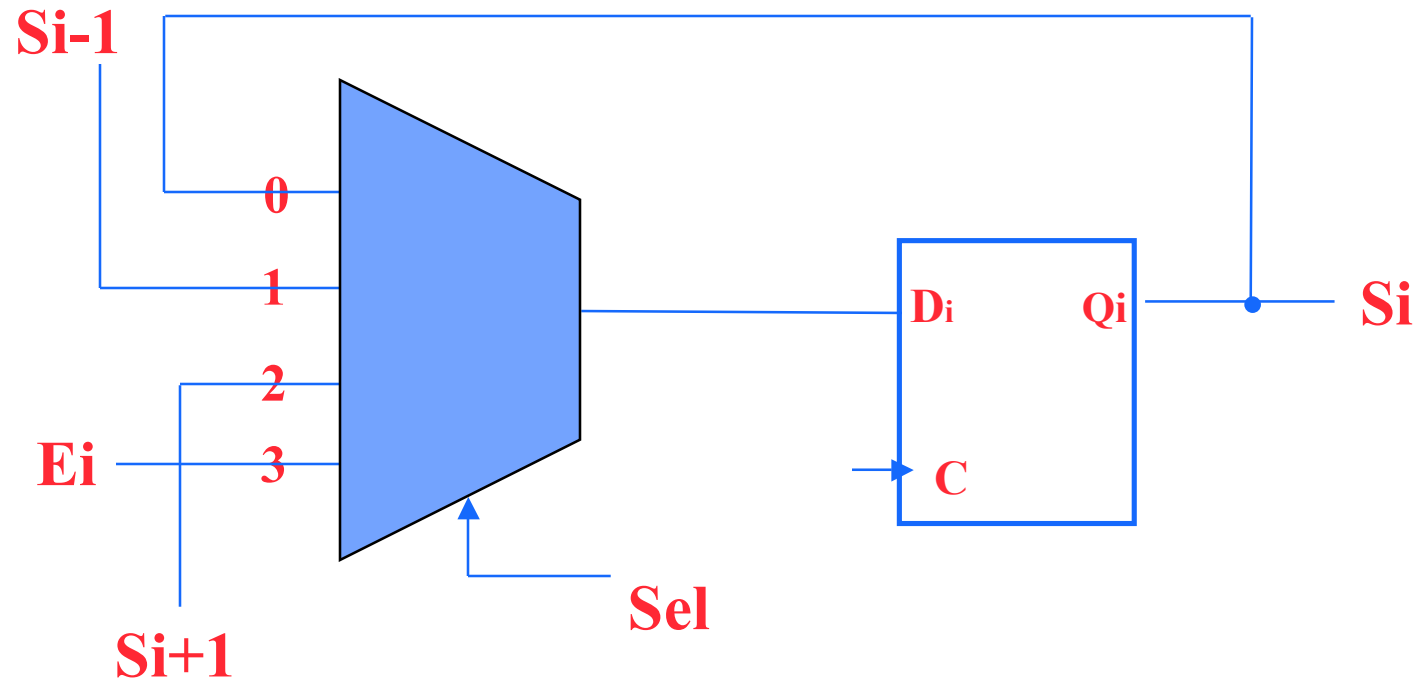
Registrador Paralelo / Serial



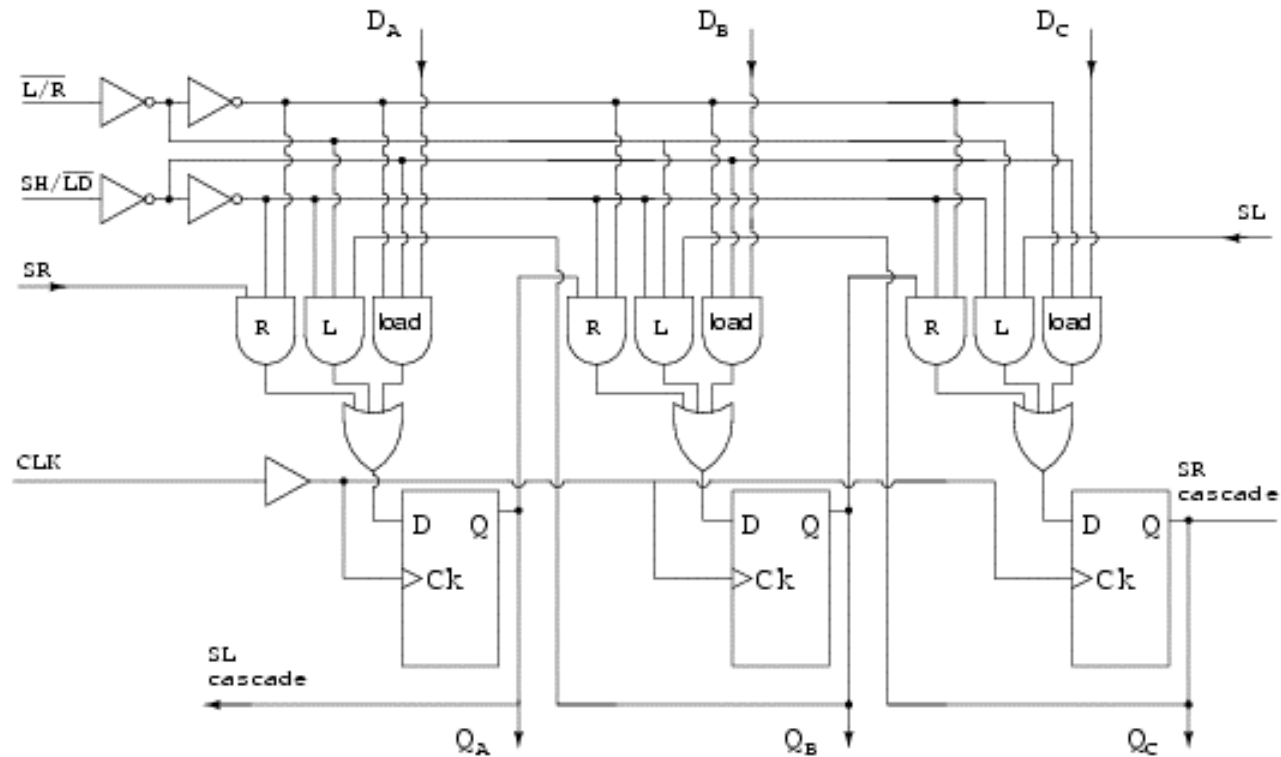
Transmissão serial utilizando conversões paralelo-série e série-paralelo



Registrador de deslocamento bidirecional

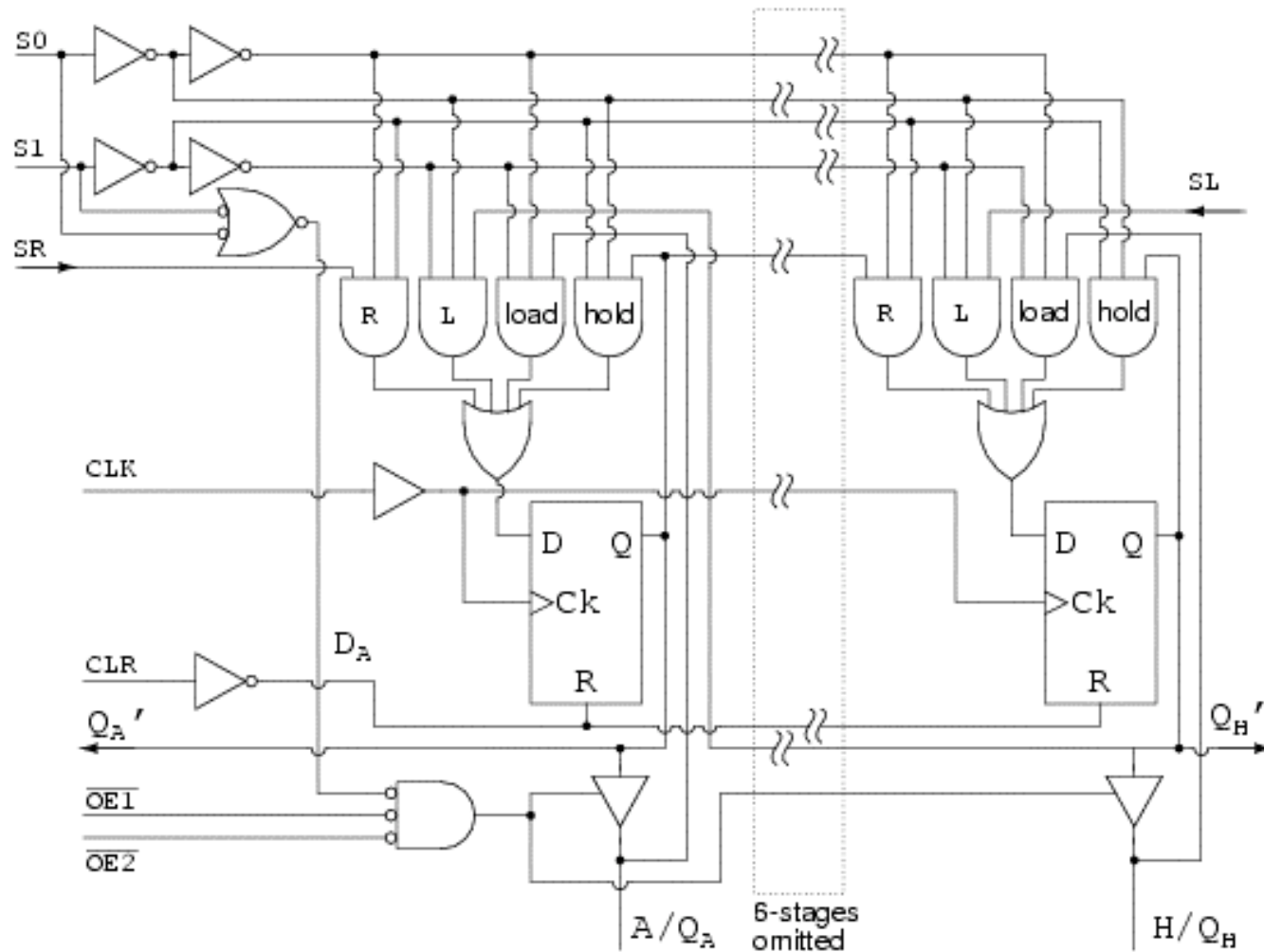


- SEL = 0** mantém valor
- SEL = 1** SHIFT para a esquerda (para baixo)
- SEL = 2** SHIFT para a direita (para cima)
- SEL = 3** carga paralela



Shift left/ right/ load

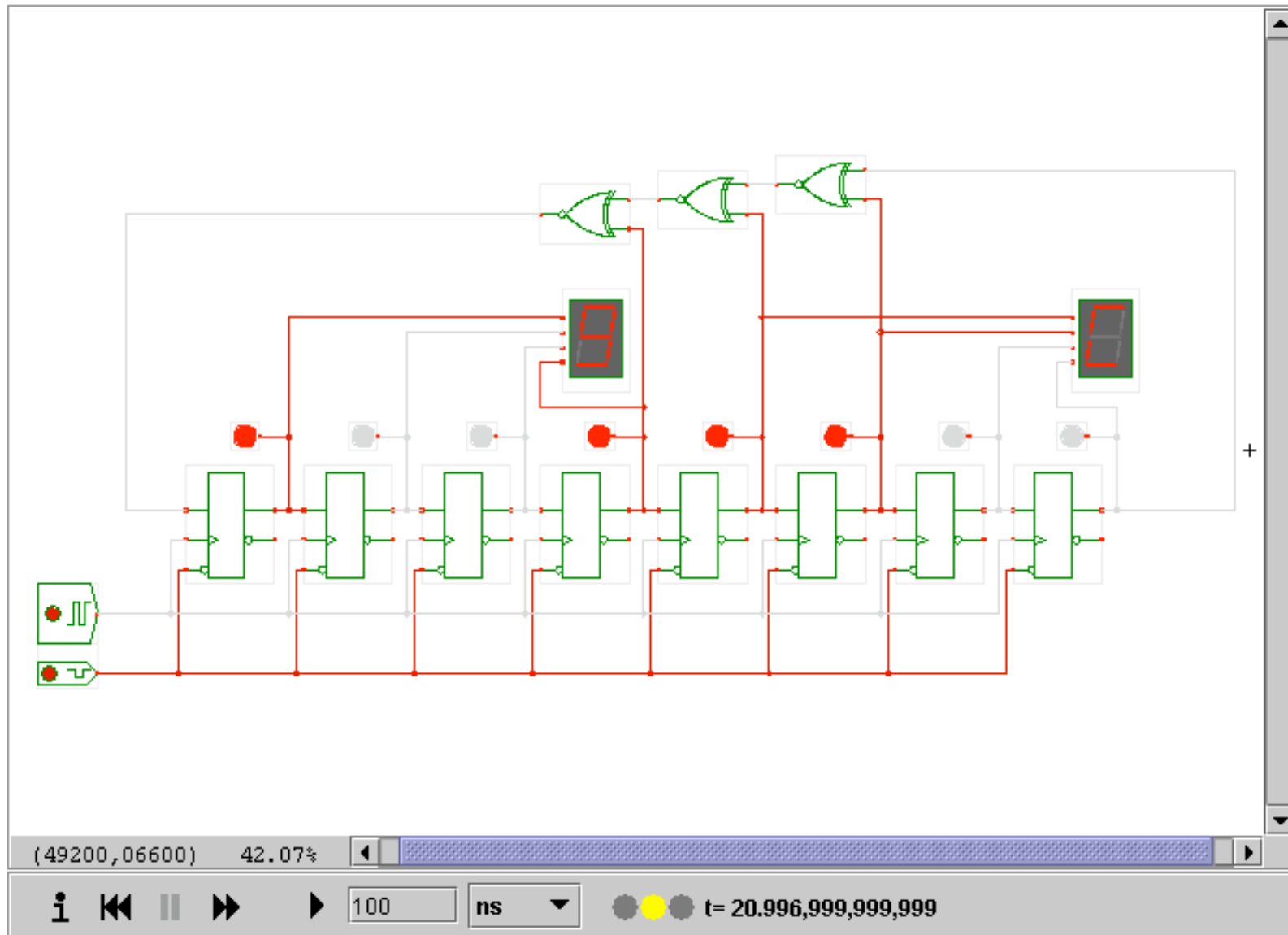
activity	mode		clock	mux gate
	Sl	S0		
hold	0	0	↑	hold
shift left	0	1	↑	L
shift right	1	0	↑	R
load	1	1	↑	load



74ALS299 universal shift/ storage register with tri-state outputs

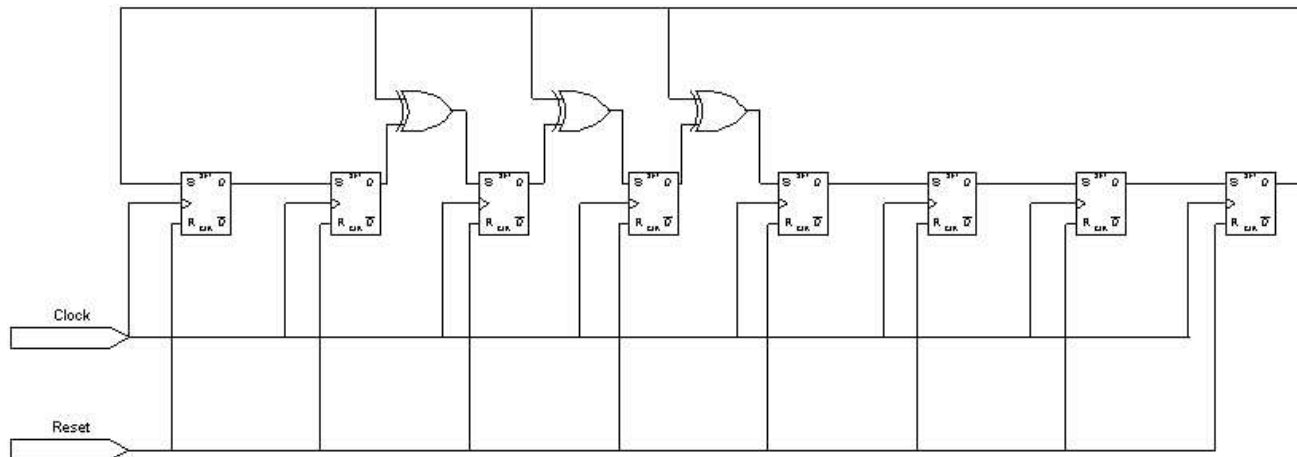
LFSR linear feedback shift register (8-bit)

LFSR



Exercicio:

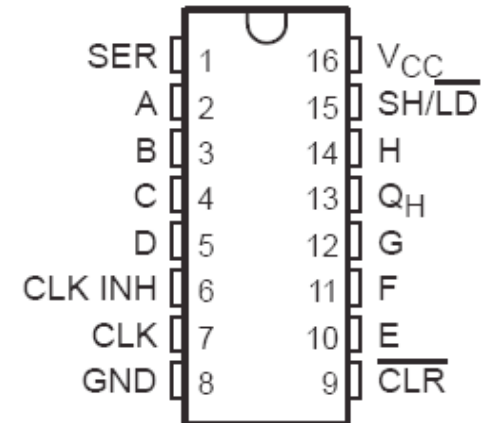
- Determine os primeiros 10 valores da sequencia de valores gerada pelo seguinte LFSR com a semente “10110000”



Exemplo de Registrador

FUNCTION TABLE

INPUTS					INTERNAL OUTPUTS	INTERNAL OUTPUTS	OUTPUT Q _H
CLR	SH/LD	CLK INH	CLK	SER			
L	X	X	X	X	X	L	L
H	X	L	L	X	X	Q _{A0} Q _{B0}	Q _{H0}
H	L	L	↑	X	a...h	a b	h
H	H	L	↑	H	X	H Q _{An}	Q _{Gn}
H	H	L	↑	L	X	L Q _{An}	Q _{Gn}
H	X	H	↑	X	X	Q _{A0} Q _{B0}	Q _{H0}



The SN74ALS166 parallel-load 8-bit shift register is compatible with most other TTL logic families. All inputs are buffered to lower the drive requirements. Input clamping diodes minimize switching transients and simplify system design.

