

INF01118 – Técnicas Digitais para Computação - AP06

Professor Fernando R. Nascimento - 2010/2

Objetivos: Avaliação da influência do dimensionamento dos transistores CMOS no comportamento temporal de portas lógicas CMOS.

Atividades:

1. Construir os sub-circuitos das 3 portas lógicas INV, NAND2 e NOR3. Implementar e **apresentar** em Spice os circuitos das figuras 1, 2 e 3. **Simular, tabular e analisar para cada circuito, os dados pedidos.** Observações: **Todos os circuitos tem tensão de alimentação de 10 V. Como fonte usar uma onda quadrada com período de 10 ns e $t_r = t_f = 10$ pf.**
2. Para os circuitos das figuras 1, 2 e 3 obter os dados de **t_{d_hl} , t_{d_lh} , t_f e t_r** para os inversores U1, U2 e U3. Para cada circuito/figura analisar e comparar o desempenho e características dos inversores entre si, explicando os resultados obtidos.
3. Para o circuito da figura 4 apresentar o programa Spice gerado, **as telas de simulações** que mostrem os tempos pedidos e a análise dos resultados.
4. Enviar ao professor, **até o fim da aula**, email com assunto: **AP06X, nome_alunos**. Arquivar e comprimir com **Zip** os dados coletados (**imagens com os dados pedidos e texto igual ao assunto do email, textos, programas e tabelas**) e as cópias das telas coletadas em aula.

Roteiro do Relatório:

1. Na capa, nas linhas iniciais; código do laboratório (**AP06**), data, nome(s), matrícula(s) e turma.
2. Introdução: parágrafo explicativo sobre o assunto do laboratório e do relatório.
3. Apresentação das atividades acima solicitadas: programas, gráficos, tabelas e análises dos resultados obtidos.
4. Conclusão: **interesse no laboratório, dificuldades e sugestões.**

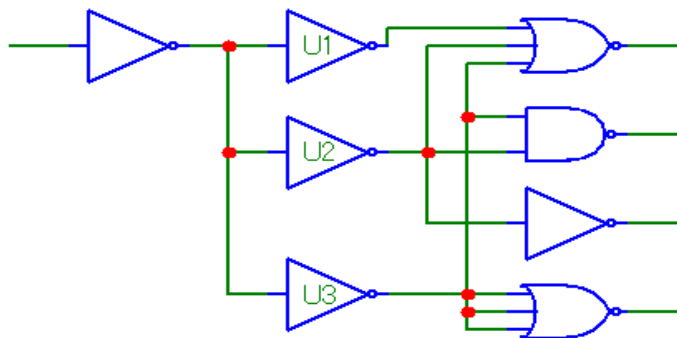


Figura 1 – Simular e analisar o comportamento dos INVs U1, U2 e U3. Todas portas lógicas tem $W_p=W_n=4u$; $L_p=L_n=1u$.

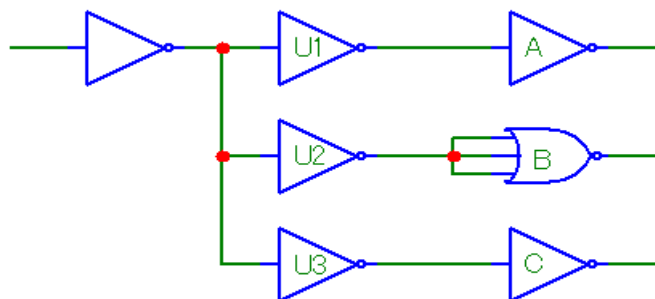


Figura 2 – Simular e analisar o comportamento dos INVs U1, U2 e U3. Todas as portas lógicas tem $W_p=W_n=4u$ e $L_p=L_n=1u$, **COM EXCEÇÃO DA PORTA (C) QUE TEM $W_p=W_n= 16u$.**

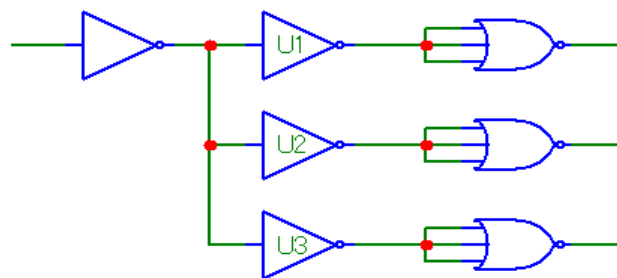


Figura 3 – Simular e analisar o comportamento dos INVs 1, 2 e 3: Todas as portas lógicas tem $W_p=W_n=4u$; $L_p=L_n=1u$. As portas U1, U2 e U3 tem os W_n respectivamente iguais a 4u, 8u e 16u.

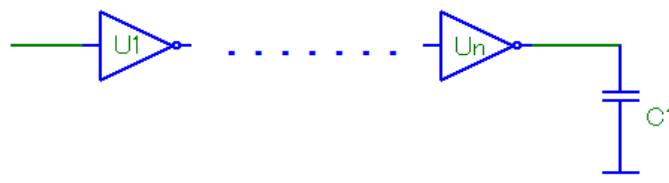


Figura 4 – Implementar e analisar o comportamento de um amplificador de sinal composto por vários inversores em série e que tem como carga de saída um capacitor C1

de 1 pF para a turma A e de 2 pF para a turma B.

Para todos os inversores temos que $L_p=L_n=0.6u$. Para U1 temos $W_p=5u$ e $W_n=3u$.

Para cada novo inversor multiplicar por 3 as larguras de W_p e de W_n .

Devem ser colocados um número mínimo de inversores em série de forma a garantir tempos de td_{hl} e td_{lh} menores que 700 ps. Medir os valores finais.