

AP12 – Turma A
10/06/2010
César Garcia Daudt 180164
Lisardo Sallaberry Kist 159839

Introdução

A aula passada abordou o funcionamento flip-flops e latches. A primeira parte da aula consistia na montagem um latch D e um flip-flop D do tipo mestre-escravo com portas NOR. Ambos deviam possuir um sinal de set/reset assíncronos ao clock e ativos em zero, e as montagens precisavam ser simuladas temporalmente. Por fim, era necessário calcular os atrasos (tempos mínimos de Clock, Set e Reset; hold e setup time) do latch e do flip-flop.

Latch D

O latch D é sensível ao nível (ativo em nível lógico alto). Os sinais de set e reset, porém, são assíncronos, independem do enable e são ativos em nível lógico baixo. Foi feito apenas com portas NOR e inversores.

PS	CL	E	D	Qi	$\neg Q_i$
0	1	X	X	1	0
1	0	X	X	0	1
1	1	0	X	Q_{i-1}	$\neg Q_{i-1}$
1	1	1	0	0	1
1	1	1	1	1	0

Tabela 1: Tabela verdade do Latch D

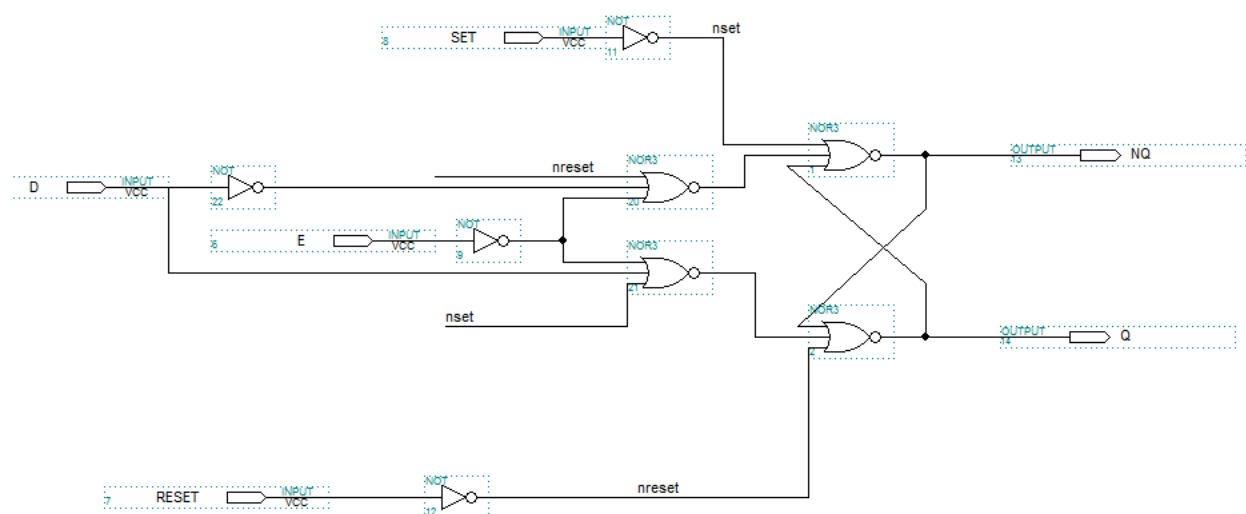


Figura 1: Implementação latch D

Nos casos de teste, cada mudança de sinal de entrada foi rótulada para fins de estilo. Uma seta indica o encadeamento entre a mudança de entrada e seu efeito na saída. Segue os casos de teste (selecionados apenas os casos pertinentes, ou seja, combinações irrelevantes foram desconsideradas neste relatório, ainda que tenham sido analisadas em fase de projeto):

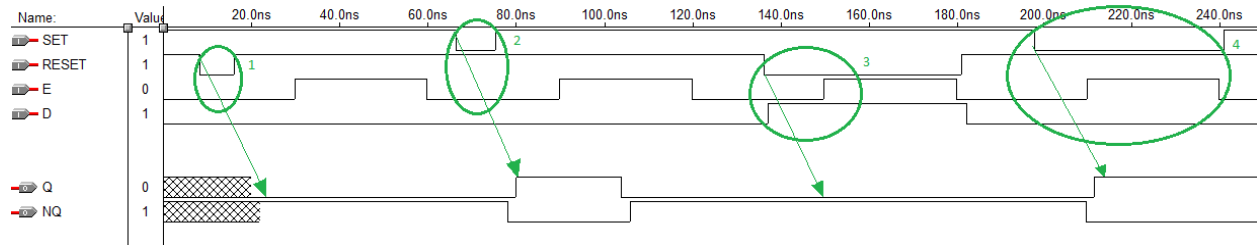


Figura 2.1: Casos de teste para o latch D

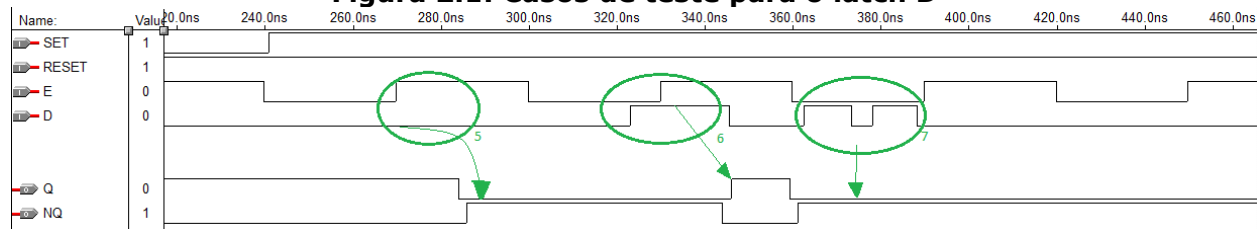


Figura 2.2: Casos de teste para o latch D

Nas figuras 2.1 e 2.2, os números representam:

- 1 - funcionamento clear (**RESET**) independente ao enable (**E**);
- 2 - funcionamento preset (**SET**) independente ao enable (**E**);
- 3 - funcionamento clear independente a entrada **D**;
- 4 - funcionamento preset (**SET**) indiferente a **D**;
- 5 - caso de teste **D=0**;
- 6 - caso de teste **D=1**;
- 7 - caso de teste memória.

Flip-flop D mestre-escravo

O flip-flop foi implementado pela associação de dois latches tipo d. Para ativação do clear/preset no flip-flop, apenas as entradas RESET/SET do latch escravo seriam de fato necessárias. Contudo, se nenhum sinal set/reset fosse passado na entrada do latch mestre, não conseguiríamos compilar este circuito no *Max+Plus II*. Para solucionar isso, enviamos os sinais do escravo também para o mestre, ainda que no mestre isso seja irrelevante e o resultado de sua interpretação seja descartado ao se usar o SET/RESET do latch escravo.

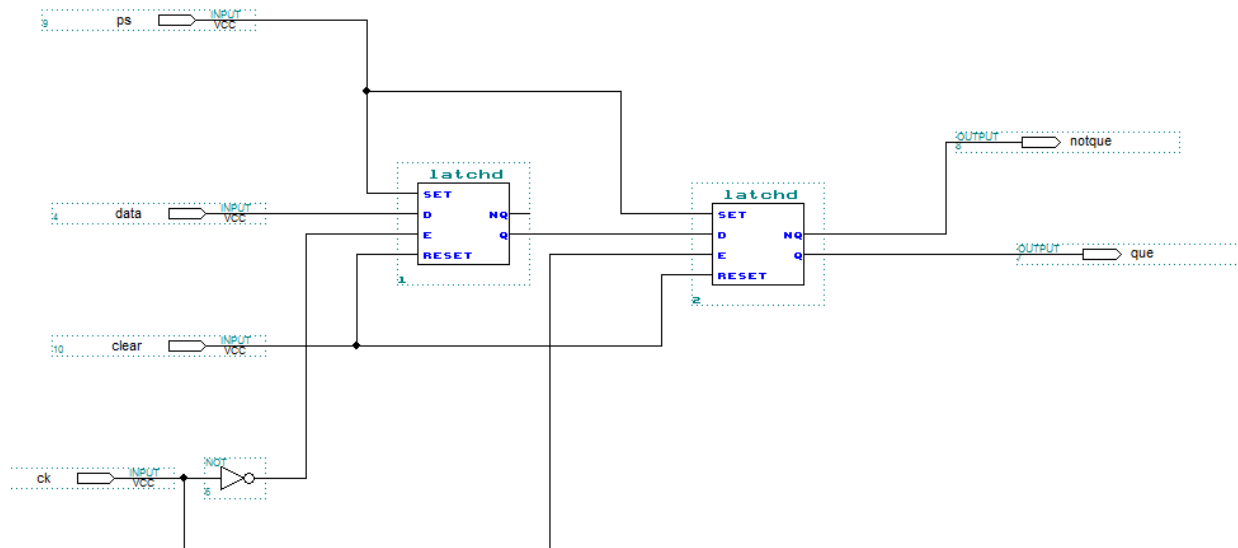


Figura 3: Implementação do flip-flop D tipo mestre-escravo

Novamente, cada mudança de sinal de entrada foi rótulada no casos de teste. Uma seta indica o encadeamento entre a mudança da entrada e seu efeito na saída. Segue os casos de teste (escolhidos sob os mesmos critérios da simulação do circuito anterior):

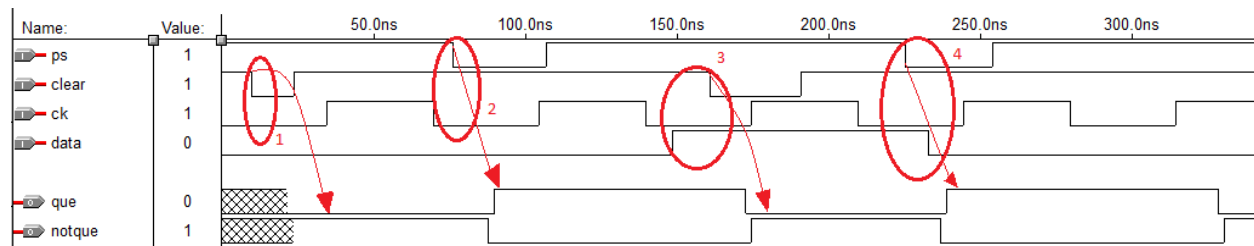


Figura 4.1: Casos de teste do flip-flop D

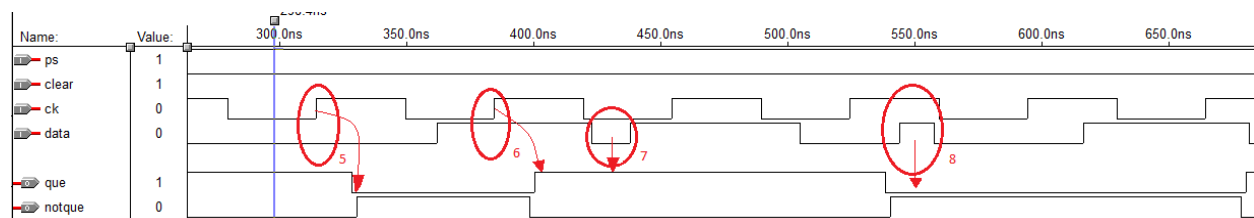


Figura 4.2: Casos de teste do flip-flop D

Na figuras **4.1** e **4.2**, os números representam:

- 1** - funcionamento clear(**clear**) indiferente ao clock(**ck**);
- 2** - funcionamento do preset(**ps**) indiferente ao clock(**ck**);
- 3** - funcionamento do clear(**clear**) indiferente ao D (**data**);
- 4** - funcionamento do preset(**ps**) indiferente ao D (**data**);
- 5** - caso de teste **data=0**;
- 6** - caso de teste **data=1**;
- 7** - caso memória em nível lógico alto;
- 8** - caso memória em nível lógico baixo.

Cálculos temporais

Para achar cada um dos atrasos solicitados usou-se o seguinte método: Utilizar intervalos muito pequenos e ir incrementando-os. No primeiro momento em que o circuito ficasse estável ter-se-ia o tempo mínimo necessário para a medida temporal solicitada. A seguir, antecedendo os testes, tem-se a definição e nomenclatura de cada intervalo medido:

- Tempos mínimos de **Clock**, **Set** e **Reset**: intervalo de tempo mínimo em que cada um dos sinais em negrito necessita ficar "ativo" para que o circuito funcione adequadamente (não oscile e responda corretamente);
- **Hold time**: período em que o sinal de entrada **D** deve permanecer definido e inalterado (não trocar de um nível lógico para outro) antes da ocorrência da borda de ativação do sinal de relógio;
- **Setup time**: período em que o sinal de entrada **D** deve ser mantido inalterado após a ocorrência da borda de ativação do sinal de relógio.

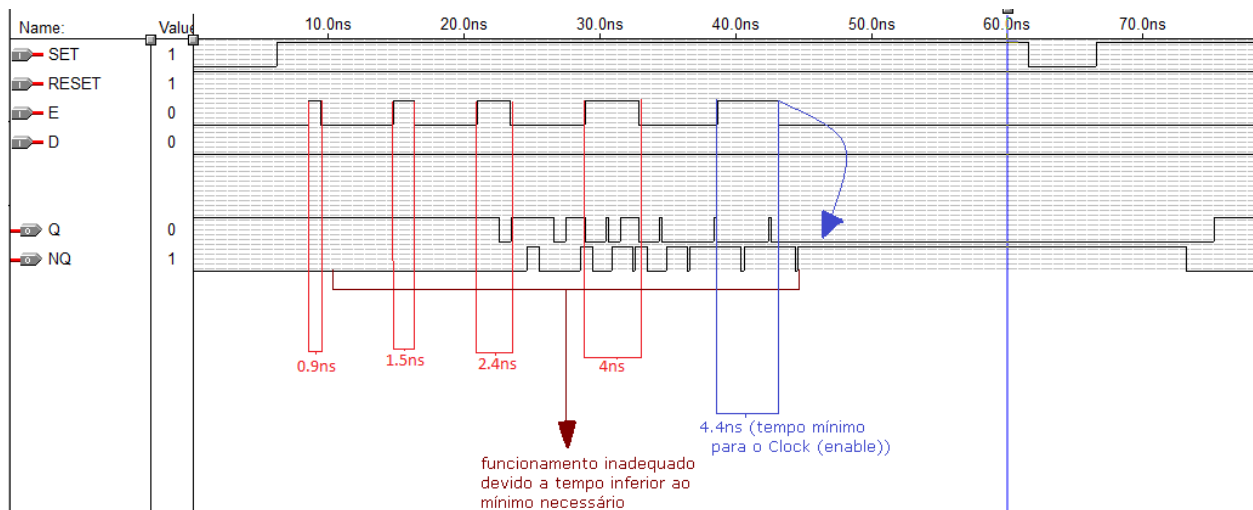


Figura 5: Largura mínima do Clock no latch D

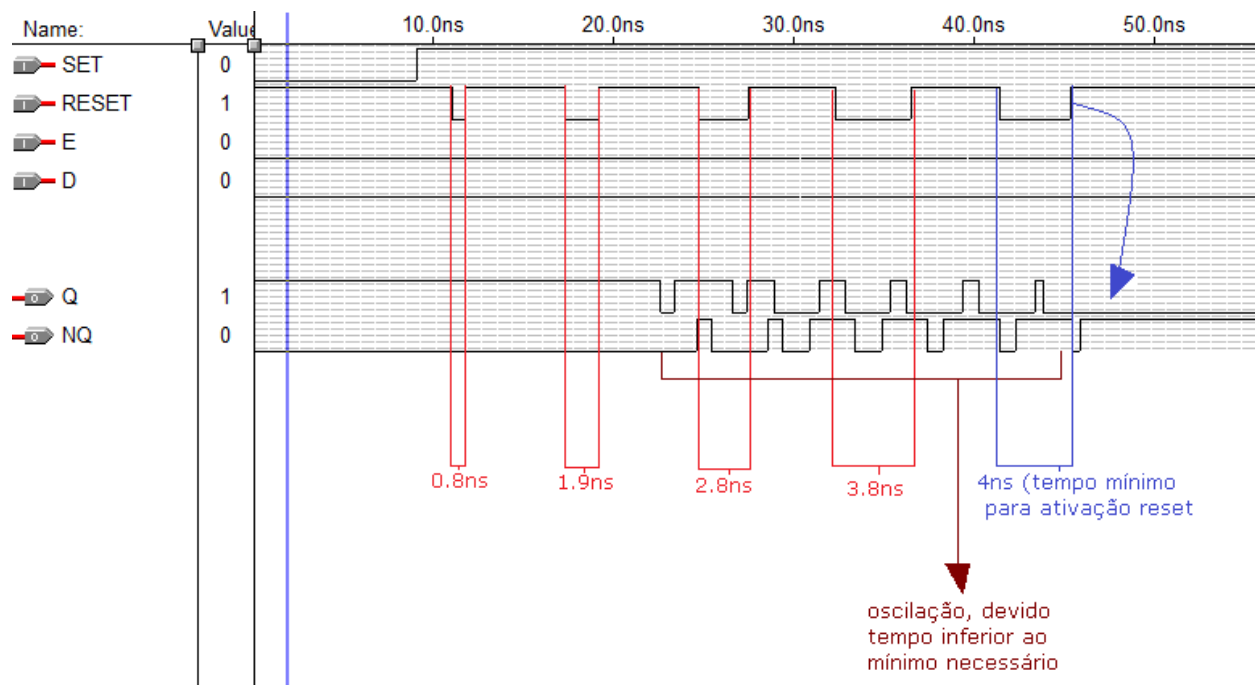


Figura 6: Largura mínima do Set no latch D

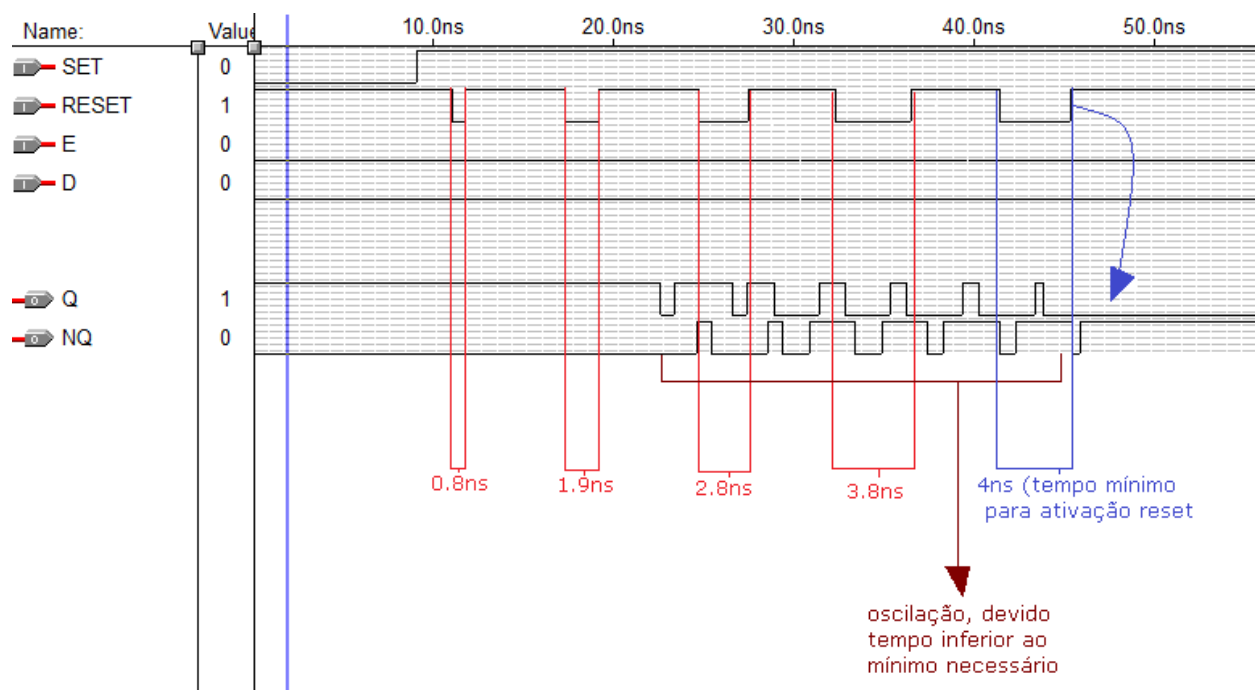


Figura 7: Largura mínima do Reset no latch D

O intervalo mínimo disponível no software para escala usada (0.1ns) é de 0.2ns. O tempo medido de hold, tanto para D=0 quando para D=1, foi de 0.2ns. Essa medida está sujeito a erros de discretização (do software).

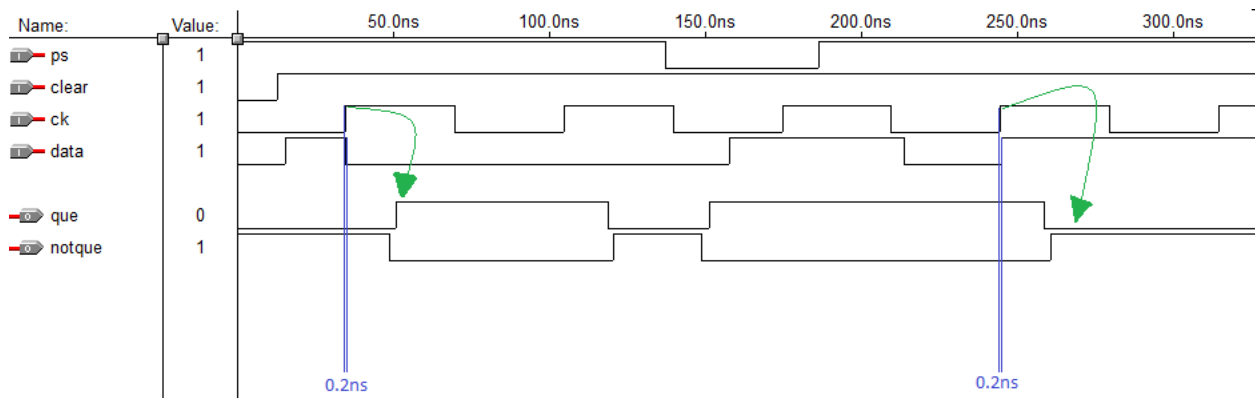


Figura 8: Tempo de hold no flip-flop D

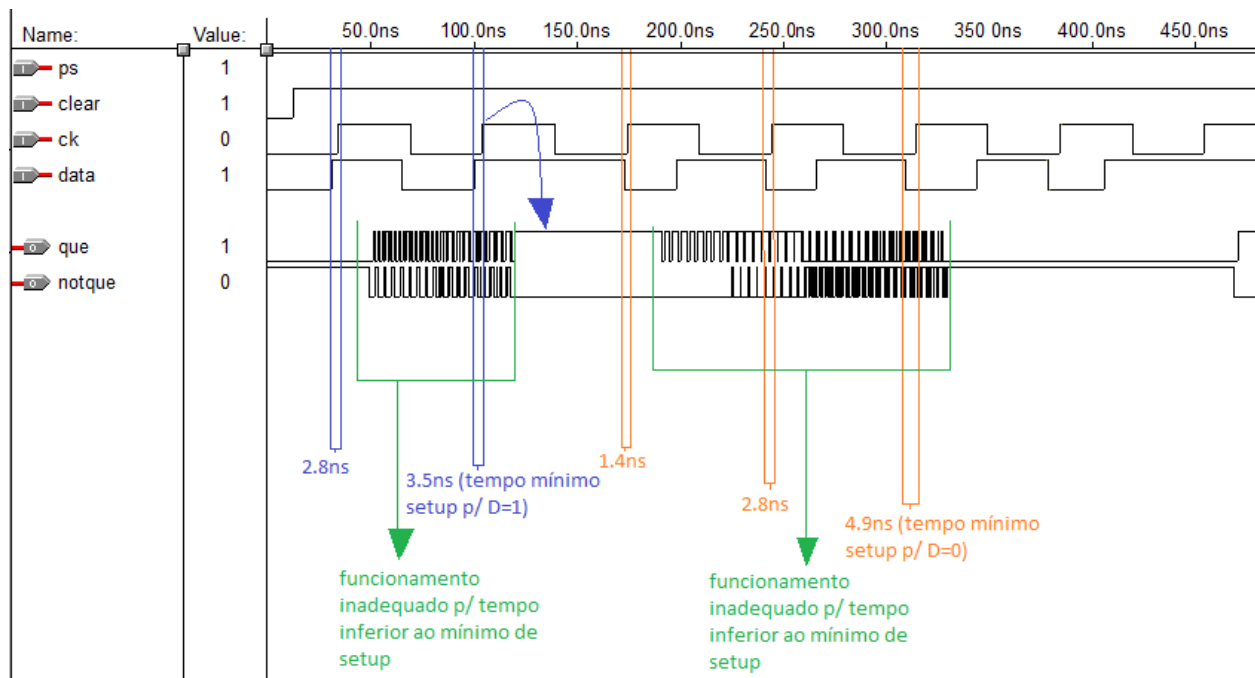


Figura 9: Tempo de setup no flip-flop D

Frequência mínima de operação

Para calcular a frequência máxima, temos que pegar o pior caso de largura **P**. No latch D, o pior caso foi o Enable, com largura de 4.4ns. Para calcular a frequência máxima de operação, podemos nos valer de que

$$\text{frequência} = 1/\text{período} \quad (1)$$

A frequência máxima do latch D é, então:

$$\text{frequência máxima latch} = 1/P = 1/(4,4 \cdot 10^{-9}) = 227272727 \text{ Hertz} = 0.227 \text{ GHz}$$

O caso do flip-flop D é análogo. O maior foi intervalo do Setup com 4,9ns. Utilizando a equação (1), temos que:

$$\text{frequência máxima flip-flop} = 1/(4,9 \times 10^{-9}) = 204081633 \text{ Hertz} = 0.204 \text{ GHz}$$

Esses resultados condizem com as expectativas. O flip-flop foi montado pela associação de latches e é esperado que ele tivesse uma frequência máxima de operação menor.

Conclusão

Costuma constar nas definições da aula, na parte sobre o que mandar até o fim da aula prática, apenas que deve-se enviar "todos arquivos produzidos em aula". O guia do relatório, porém, continha várias pequenas especificações do que devia ser feito. Parece que nossa turma foi a primeira onde esses arquivos valem 30% da nota, e houve dúvida sobre o quanto e o que é o esperado que se produza no laboratório. A dupla podia, por exemplo, ter feito as tabelas verdades e enviá-los ainda no dia. Porém, isso teria atrasado as demais partes do trabalho. No fim isso foi decidido pela opinião da dupla, mas poderia ter sido melhor conduzido se também fosse definido na especificação da aula.

No geral, essa aula prática ficou em vantagem em relação as outras por ser menos repetitiva. A maior parte do tempo gasto não foi com trabalho mecânico de implementação, mas sim com compreensão do funcionamento e cálculos de atraso.