



Universidade Federal de Pelotas

Instituto de Física e Matemática

Departamento de Informática

Bacharelado em Ciência da Computação

Arquitetura e Organização de Computadores II

Aula 17

4. Memória virtual: TLB, integração de memória virtual, TLBs e caches, operação completa da hierarquia de memória, proteção com memória virtual.

Prof. José Luís Güntzel

guntzel@ufpel.edu.br

www.ufpel.edu.br/~guntzel/AOC2/AOC2.html

4. Hierarquia de Memória: integração de níveis

► TLB: Melhorando a Tradução do Endereço

- **Cada acesso à memória exige, na verdade, dois acessos à memória principal:**
 - Um para obter o endereço físico (consulta à tabela de páginas)
 - Outro para buscar a informação
- **Aposta na localidade das referências à tabela de páginas**
 - Quando um determinado número de página virtual for usado, provavelmente ele voltará a ser necessário em um futuro próximo (referências às palavras de uma página apresentam localidade espacial e temporal..)
- **Os processadores atuais possuem uma cache especial (muitas vezes, *on-chip*) que armazena as traduções de endereço mais recentes: *translation-lookaside buffer* - TLB**

4. Hierarquia de Memória: integração de níveis

► Tabela de Páginas + TLB

Número da
página virtual

--

bit de residência	TLB	
	Tag (Rótulo)	
1		
1		
1		
1		
0		
1		

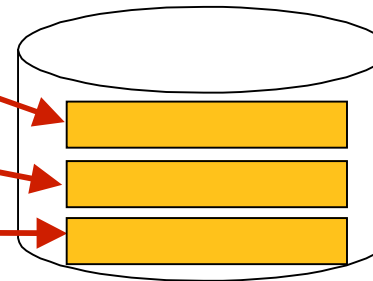
Tem menos entradas do que o
número de páginas da memória
principal

Tabela de Página
Página física ou
Endereço no disco

1	
1	
1	
1	
0	
1	
1	
0	
1	
1	
0	
1	

Memória física

Armazenamento em
disco



4. Hierarquia de Memória: integração de níveis

► TLB: Melhorando a Tradução do Endereço

- A TLB é uma cache que guarda somente resultados do mapeamento de endereços virtuais em endereços físicos
- Dada uma entrada da TLB
 - O rótulo guarda uma parte do número da página virtual
 - O campo de informação guarda o número do endereço físico correspondente
- Em uma referência, a tabela de páginas pode nem ser acessada. Logo, cada entrada da TLB precisa ter também:
 - O bit de residência
 - Um bit de modificação, para o caso de escrita

4. Hierarquia de Memória: integração de níveis

► Faltas na TLB e Faltas de Página

- Se ocorrer uma falta no acesso à TLB, é preciso determinar
 - Se realmente foi falta no acesso à TLB
 - Ou se foi falta devida à falta de página
- Se a página estiver na memória principal (falta no acesso à TLB)
 - O processador trata a falta colocando na TLB as informações necessárias para realizar a tradução (as informações são pegadas na memória principal)
 - O processador tenta novamente acessar a página a partir da TLB
- Se a página **não** estiver na memória principal (falta na TLB indica falta de página)
 - O processador aciona o SO através de uma exceção

4. Hierarquia de Memória: integração de níveis

► Faltas na TLB

- **Nº de entradas na TLB < nº de páginas na memória principal**
 - Faltas na TLB são muito mais freqüentes que faltas de página
- **Faltas na TLB podem ser tratadas**
 - Por software
 - Ou por hardware
- **Escolha de uma das entradas da TLB para ser substituída**
 - Bits de referência e de modificação devem ser copiados de volta para a tabela de páginas, antes desta substituição
 - Bits de referência e de modificação são a única parte da TLB que pode ser modificada
 - *write-back* é eficiente, uma vez que espera-se que a taxa de faltas na TLB seja pequena

4. Hierarquia de Memória: integração de níveis

► Características da TLB

- **Alguns valores típicos para a TLB:**

- Tamanho: 32 a 4.096 entradas
- Tamanho do bloco: 1 a 2 entradas da tabela (4 a 8 bytes cada)
- Tempo de tratamento de acerto: 0,5 a 1 ciclo de relógio
- Penalidade por falta: 10 a 30 ciclos de relógio
- Taxa de falta: 0,01% a 1%

- **Quanto à Associatividade:**

- Grande variedade de graus de associatividade
- Alguns sistemas por terem TLB pequena, usam o esquema totalmente associativo, pois este esquema tem baixa taxa de faltas (porém, o LRU implementado em hardware é caro...)

4. Hierarquia de Memória: integração de níveis

► TLB do MIPS R2000 (DECStation 3100)

- Páginas de 4 KB
- Espaço de endereçamento de 32 bits (20 bits para o número de página virtual)
- O endereço físico tem o mesmo tamanho do virtual
- TLB contém 64 entradas e é totalmente associativa (e compartilhada pelas referências a instruções e a dados)
- Cada entrada da TLB tem 64 bits:
 - 20 bits para rótulo
 - 20 bits para número da página física
 - 1 bit de residência
 - 1 bit de modificação
 - Diversos outros bits

4. Hierarquia de Memória: integração de níveis

▶ **TLB e Cache no MIPS R2000 (DECStation 3100)**

Figura 7.25 do Patterson & Hennessy, 2a edição

4. Hierarquia de Memória: integração de níveis

► TLB e Cache no MIPS R2000 (DECStation 3100)

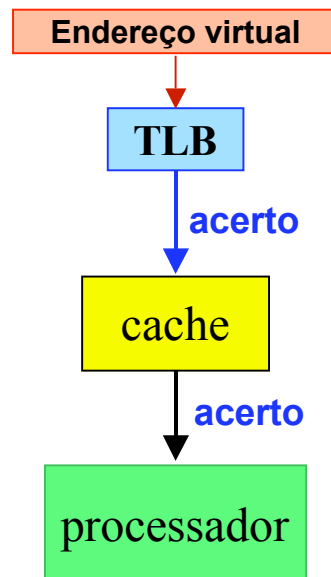
Quando ocorre uma falta no acesso à TLB:

- o hardware do MIPS salva o número da página da referência em um registrador especial e gera uma exceção
- A exceção chama o SO, que trata a falta por software
- Para encontrar o endereço físico da página que gerou a falta, a rotina de tratamento de faltas na TLB indexa a tabela de páginas usando o número da página do endereço virtual e o registrador da tabela de páginas (que indica o end. inicial da tab. de páginas do processo ativo).

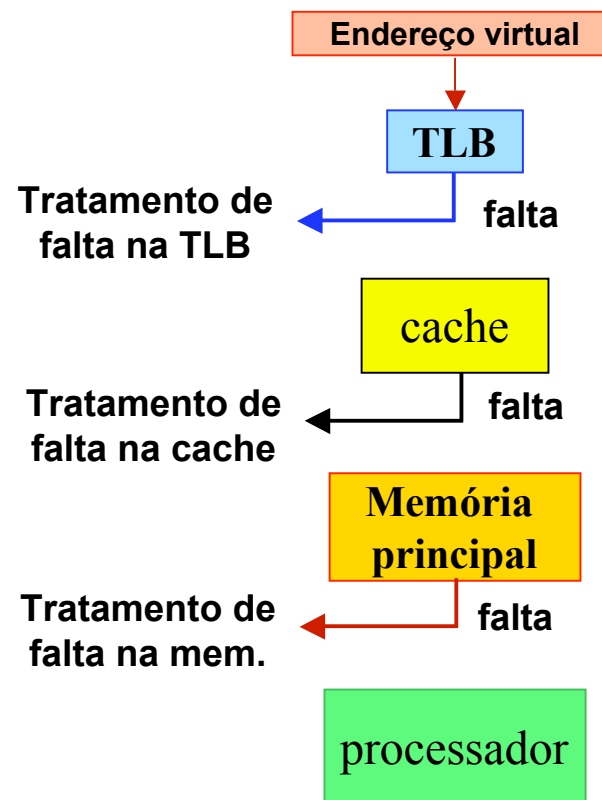
4. Hierarquia de Memória: integração de níveis

► Integração da Memória Virtual, TLBs e Caches

Na melhor das hipóteses:

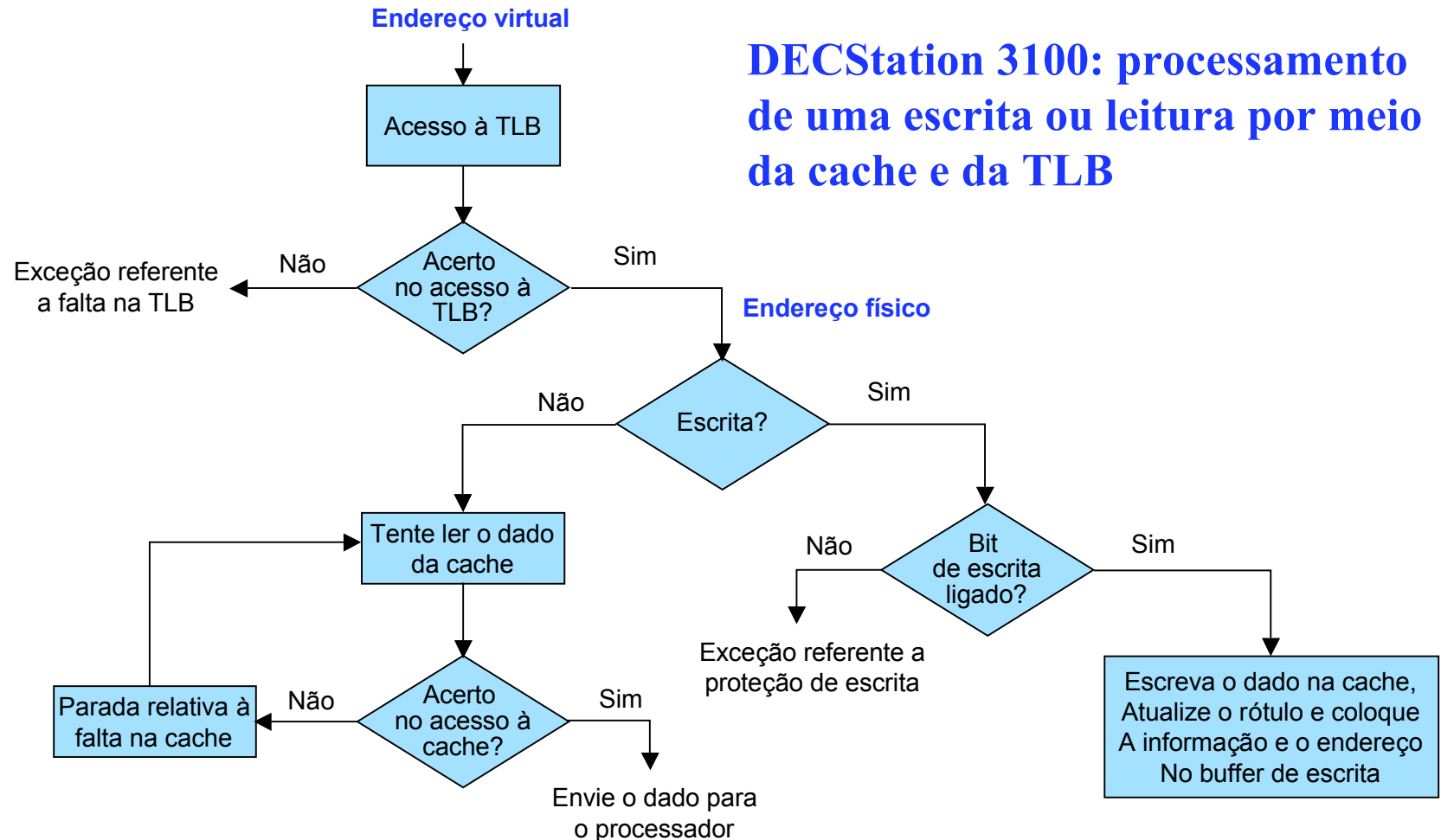


Na pior das hipóteses:



4. Hierarquia de Memória: integração de níveis

► Integração da Memória Virtual, TLBs e Caches



4. Hierarquia de Memória: integração de níveis

► Integração da Memória Virtual, TLBs e Caches

Cache	TLB	Tabela de páginas	Tradução possível? Se sim, em que circunstâncias?
falta	acerto	acerto	Possível, apesar de a tabela de páginas nunca ser verificada no caso de acerto no acesso à TLB.
acerto	falta	acerto	Faltas no acesso à TLB, mas a entrada encontra-se na tabela de páginas; recuperadas as informações relativas ao mapeamento da tabela de páginas, a informação requisitada está na cache.
falta	falta	acerto	Faltas no acesso à TLB, mas a entrada encontra-se na tabela de páginas; recuperadas as informações relativas ao mapeamento da tabela de páginas, a informação requisitada não está na cache.
falta	falta	falta	Falta no acesso à TLB seguida de uma falta de página; após recuperar as informações de mapeamento, deve ser necessariamente gerada uma falta no acesso à cache.
falta	acerto	falta	Impossível: não pode haver tradução na TLB se a página não está presente na memória.
acerto	acerto	falta	Impossível: não pode haver tradução na TLB se a página não está presente na memória.
acerto	falta	falta	Impossível: não é permitido que a informação esteja na cache se a página não está na memória principal.

4. Hierarquia de Memória: integração de níveis

► **Proteção com Memória Virtual**

É função de um sistema de memória virtual:

“Permitir que uma única memória principal seja compartilhada por vários processos, oferecendo proteção a estes e ao SO”

Mecanismo de proteção precisa garantir que:

- **Um processo “renegado” não possa escrever no espaço de endereçamento de outro processo de usuário ou no espaço do SO**
- **Um determinado processo leia os dados de outro processo**

4. Hierarquia de Memória: integração de níveis

► Proteção com Memória Virtual

- Cada processo tem seu próprio espaço de endereçamento virtual
- Se o SO mantiver as tabelas de páginas organizadas de modo que páginas virtuais independentes sejam mapeadas para páginas físicas disjuntas, um processo não será capaz de acessar as informações de outro

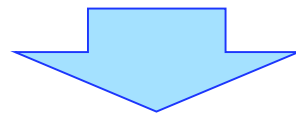
4. Hierarquia de Memória: integração de níveis

► Proteção com Memória Virtual

Além disso, um processo de usuário não pode ser capaz de modificar o mapeamento da tabela de páginas



- O SO proíbe o processo de usuário de modificar sua própria tabela de páginas
- Mas o SO precisa poder modificar qualquer das tabelas de páginas



Por isso, as tabelas de páginas são colocadas no espaço de endereçamento do SO

4. Hierarquia de Memória: integração de níveis

► Proteção com Memória Virtual

Suporte de Hardware para Implementação de Proteção pelo SO:

1. No mínimo **dois** modos de processamento para indicar se processo de usuário **ou** processo do SO (modo usuário **ou** modo supervisor/*kernel*/executivo)
2. **Processador deve ter um estado**, que permite que um processo possa ler mas não possa escrever (bit de modo usuário/supervisor + TLB + um ponteiro para a tabela de páginas)
3. Mecanismos para trocar de modo:
 - usuário → supervisor: feita via exceção de **chamada de sistema**, implementada por uma instrução especial (*syscall*, no MIPS)
 - supervisor → usuário: executar a instrução **retorno de exceção** (RFE)

4. Hierarquia de Memória: integração de níveis

► Proteção com Memória Virtual

Compartilhamento de Informações entre Processos

- Processos precisam de assistência do SO!
- Bit de acesso à escrita pode ser usado para restringir o compartilhando para uma simples leitura (e só pode ser modificado pelo SO)
- Para permitir que P1 leia uma página pertencente a P2:
 - P2 solicita ao SO a criação de uma entrada na tab de páginas para uma pag virtual no espaço de endereçamento de P1 que aponte para uma mesma página física que ele (P2)
 - So pode usar o bit de escrita para evitar que P1 escreva na informações acessadas (se P2 assim o desejar)
 - Bits que determinem os direitos de acesso a páginas precisam ser incluídos tanto na tabela de páginas quanto na TLB