

Arquitetura de computadores

INF01112 - 2010

Raul Weber e João Netto

Intel Pentium Pro (P6)

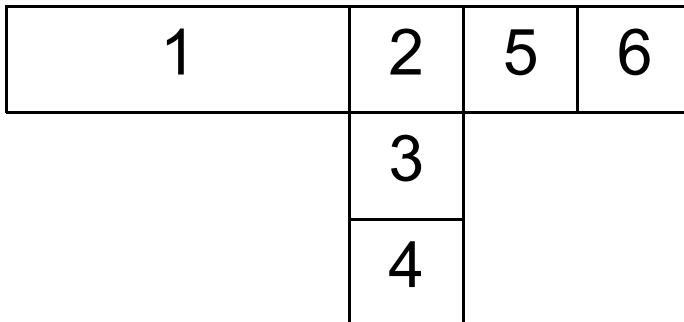
- Lançado em 1995
- Re-estruturação do Pentium (P5)
 - Mesmas características de 80386 (mem. virtual) e do Pentium (largura de dados de 64 bits)
 - FPU
 - cache de 16 KByte (2 x 8 KByte)
- 5 instruções extras ($162 + 5 = 167$ instr. básicas)
- Operação super-escalar
- Cinco unidades internas
- Execução fora de sequência
- Execução especulativa

Intel Pentium Pro (P6)

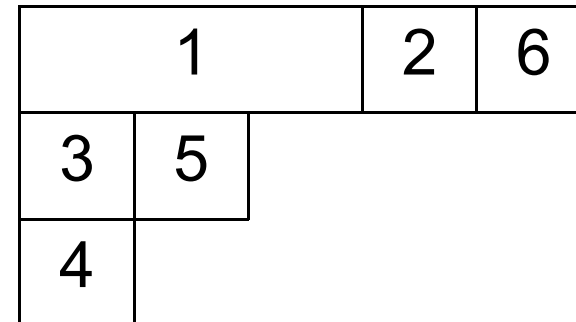
Execução em pipeline / fora de sequência

- (1) **r1** \leftarrow r4 / r7 ; **dura mais ciclos**
- (2) **r8** \leftarrow **r1** + r2
- (3) **r5** \leftarrow r5 + 1
- (4) **r6** \leftarrow r6 - r3
- (5) **r4** \leftarrow **r5** + **r6**
- (6) r7 \leftarrow **r8** * **r4**

Pipeline em sequência



Pipeline fora de sequência (note o uso potencial das várias unidades)



Intel Pentium Pro (P6)

Renomeação de registradores

(1)	$r1 \leftarrow \text{mem1}$	$r1' \leftarrow \text{mem1}$	
(2)	$r2 \leftarrow r2 + r1$		$r2' \leftarrow r2 + r1'$
(3)	$r1 \leftarrow \text{mem2}$	$r1'' \leftarrow \text{mem2} \quad (\text{WAW})$	
(4)	$r3 \leftarrow r3 + r1$		$r3' \leftarrow r3 + r1''$
(5)	$r1 \leftarrow \text{mem3}$	$r1''' \leftarrow \text{mem3} \quad (\text{WAW})$	
(6)	$r4 \leftarrow r5 + r1$		$r4' \leftarrow r5 + r1'''$
(7)	$r5 \leftarrow 2$	$r5' \leftarrow 2 \quad (\text{WAR})$	
(8)	$r6 \leftarrow r5 + 2$		$r6' \leftarrow r5' + 2$

Vantagens

- Remove falsas dependências (WAW: escrita depois de escrita e WAR: escrita depois de leitura)
- Remove a limitação da arquitetura para a quantidade de registradores

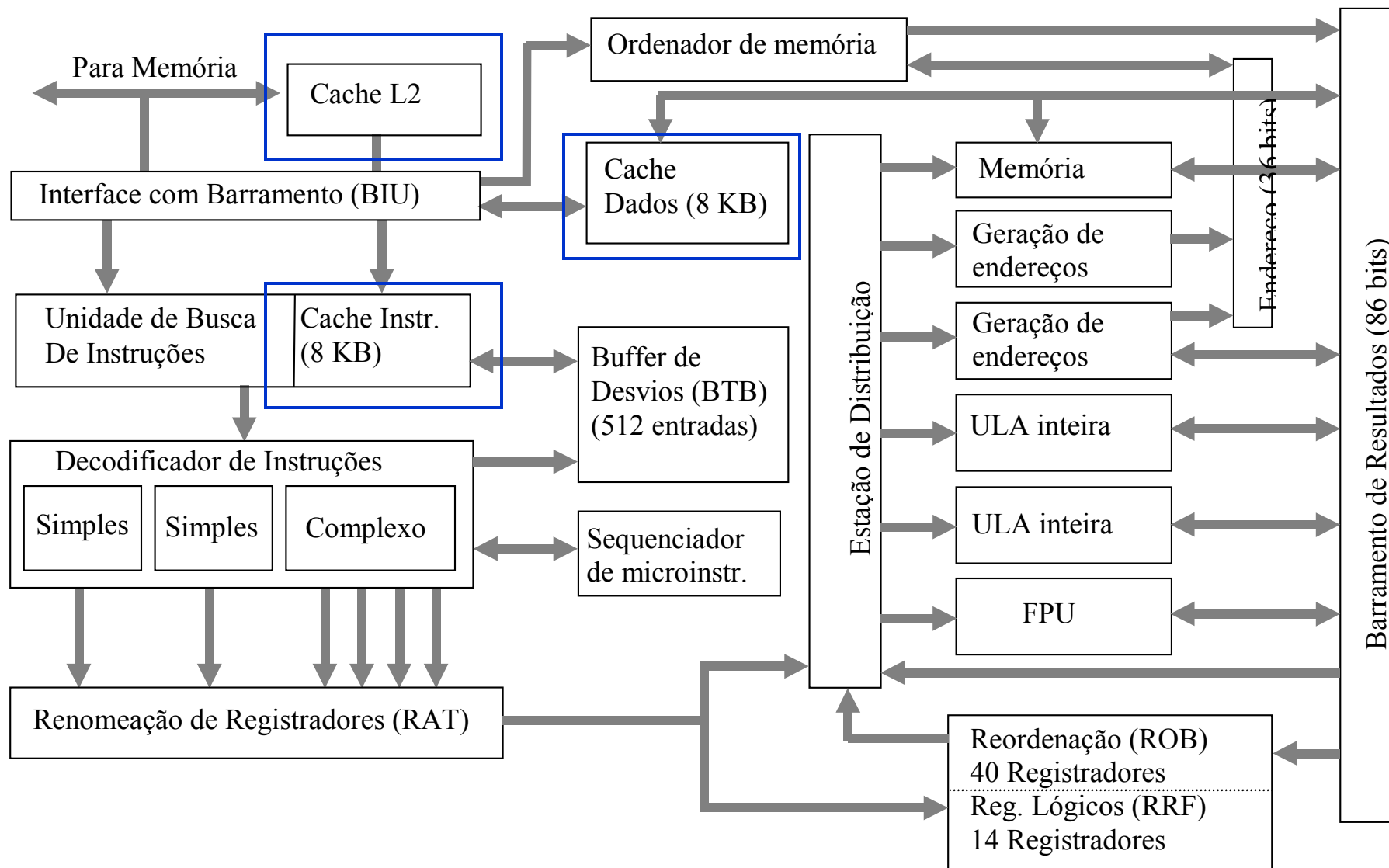
Intel Pentium Pro (P6)

Execução Especulativa

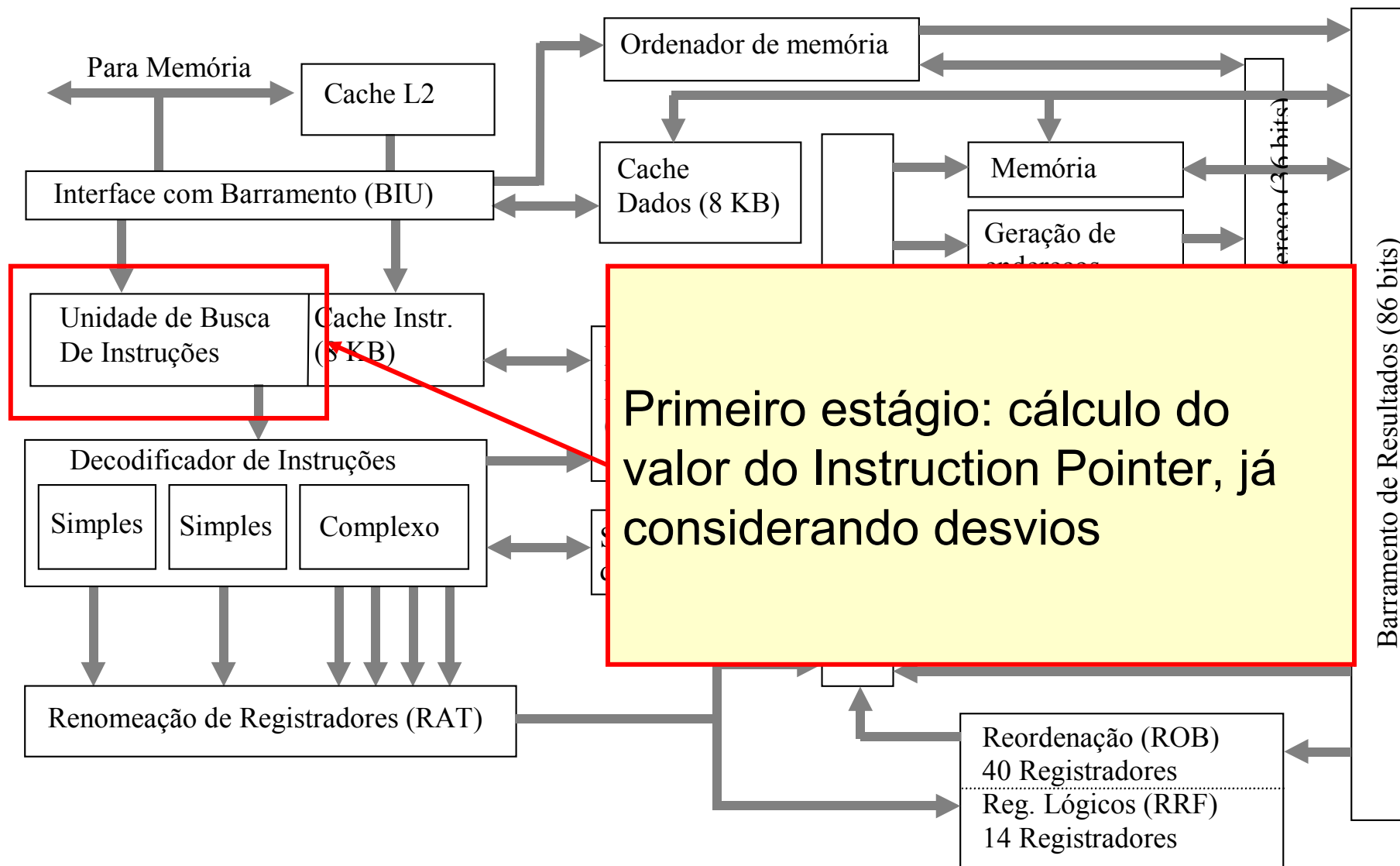
```
(1)    r1 ← mem1      r1' ← mem1
(2)    r2 ← r2 + r1    r2' ← r2 + r1'
(3)    r1 ← mem2      r1'' ← mem2
(4)    r3 ← r3 + r1    r3' ← r3 + r1''
(5)    beq L2          predição diz que desvia para L2
(6) L2  r1 ← mem3      r1''' ← mem3
(7)    r4 ← r5 + r1    r4' ← r5 + r1'''
(8)    r5 ← 2          r5' ← 2
(9)    r6 ← r5 + 2     r6' ← r5' + 2
```

- Instruções 6 a 9 são executadas “especulativamente”
- Se a previsão se confirma, não se perde tempo esperando
- Se a previsão foi errada, instruções “especuladas” são eliminadas

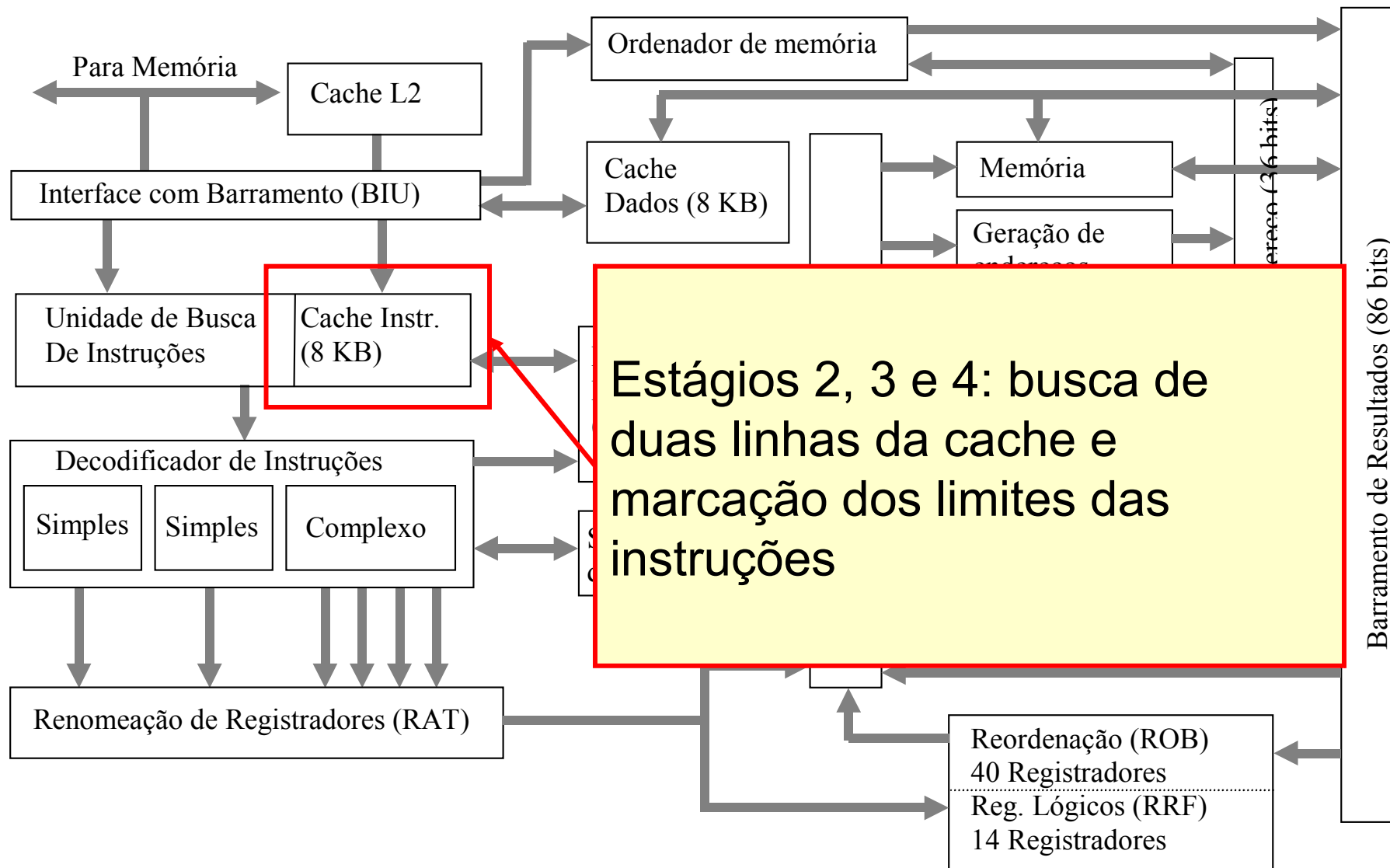
Intel Pentium Pro (P6)



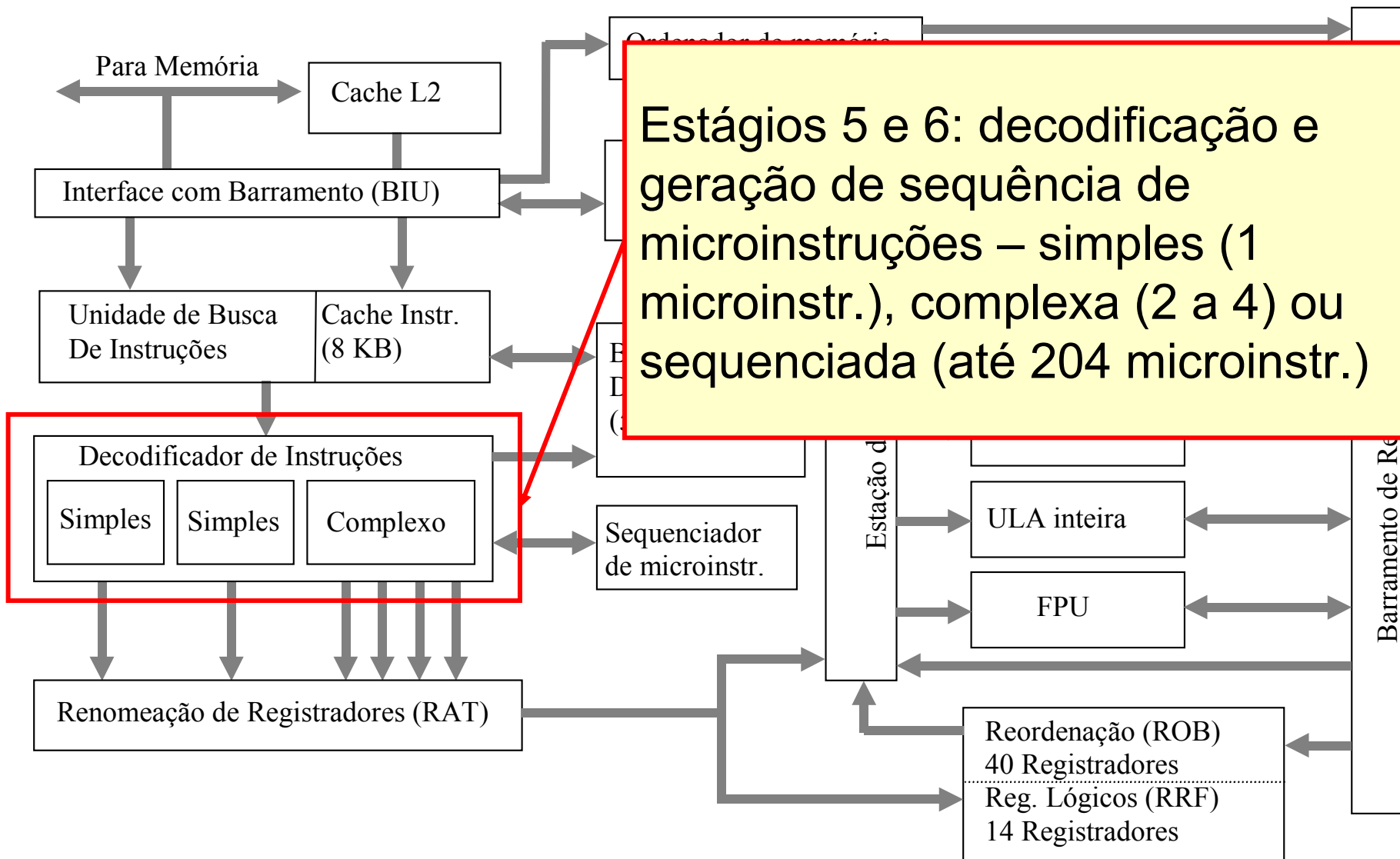
Pipeline de 14 estágios



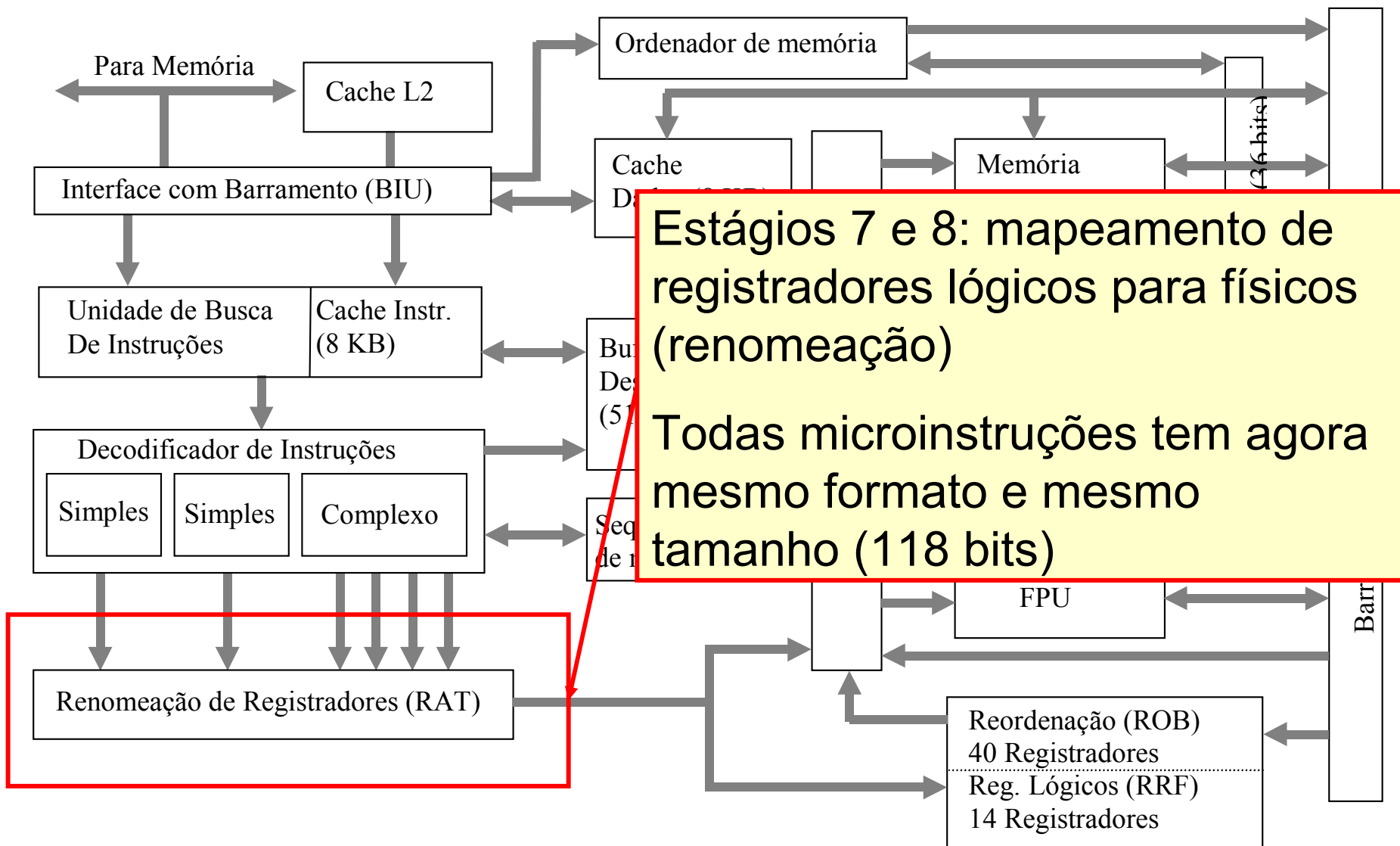
Pipeline de 14 estágios



Pipeline de 14 estágios

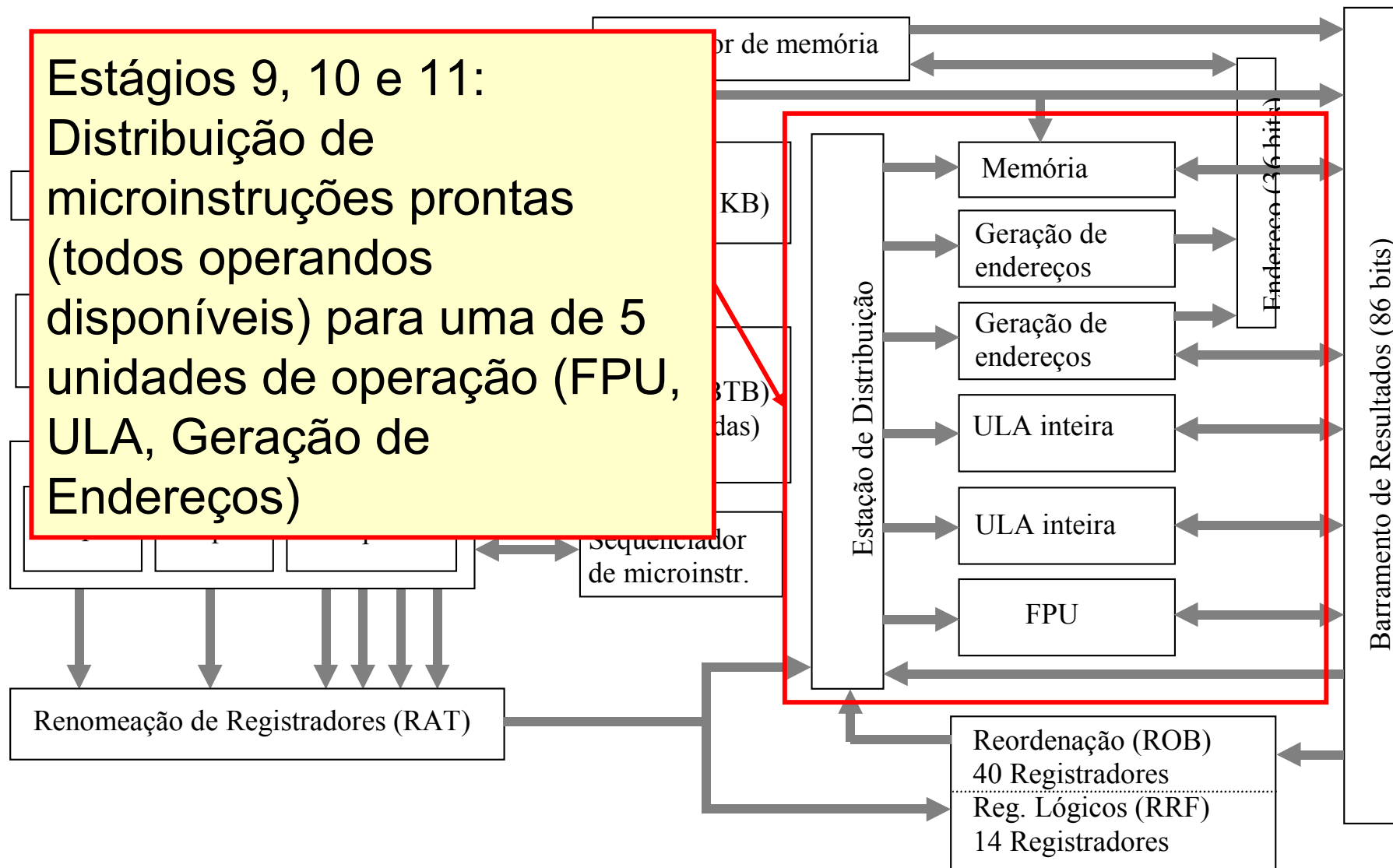


Pipeline de 14 estágios

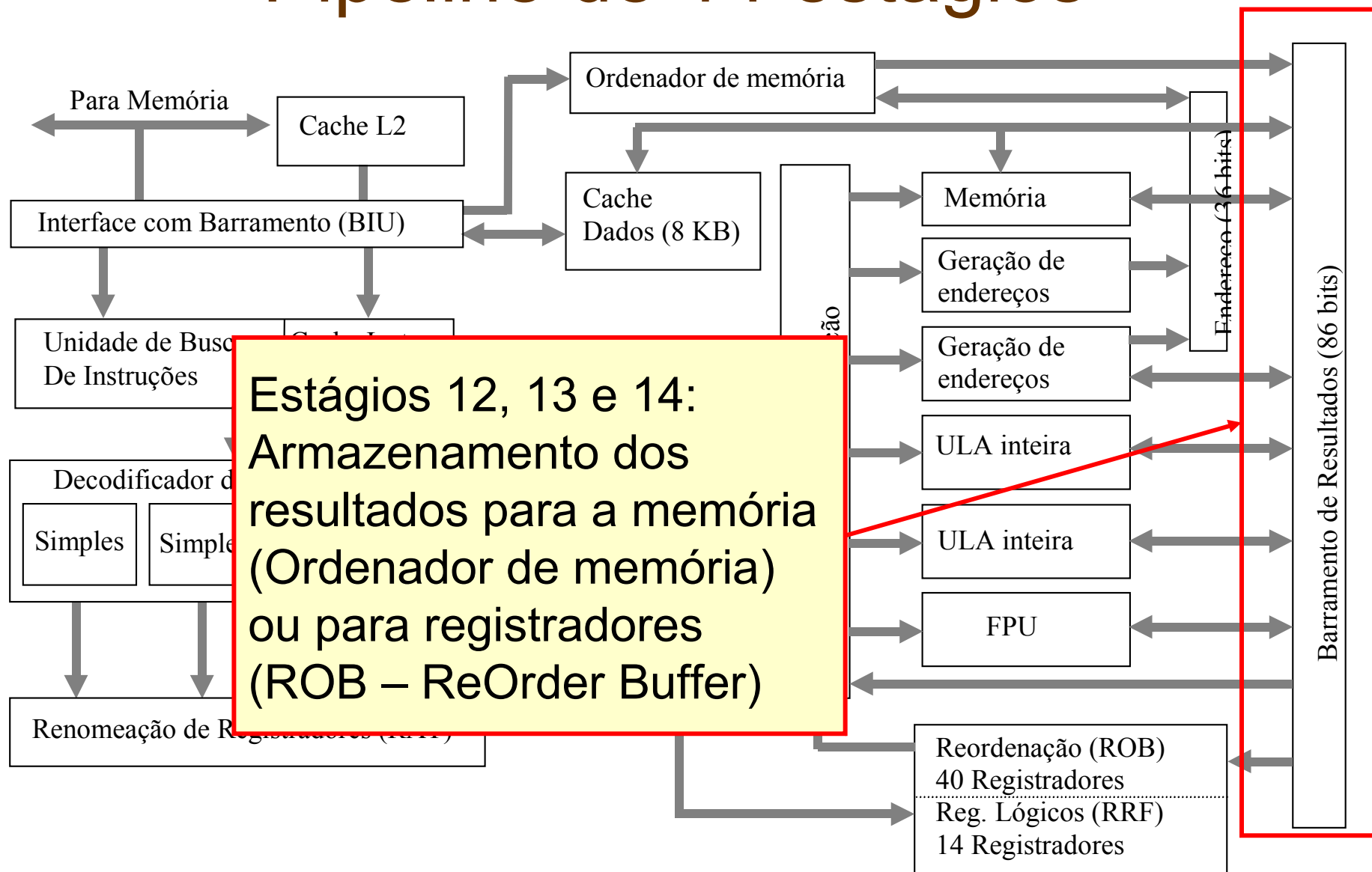


Pipeline de 14 estágios

Estágios 9, 10 e 11:
Distribuição de
microinstruções prontas
(todos operandos
disponíveis) para uma de 5
unidades de operação (FPU,
ULA, Geração de
Endereços)



Pipeline de 14 estágios



Intel Pentium MMX



- Arquitetura do Pentium (P5)
 - Lançado em janeiro de 1997 (após Pentium Pro)
 - Frequências de 60 a 300 MHz
 - Novo tipo de dado: “packed”
 - 57 instruções extras (além das 167 instr. básicas)
 - Com cache de 32 KByte (2 x 16 KByte)
 - Operação super-escalar
 - Não possui as características do Pentium Pro (execução fora de sequência, exec.especulativa)
 - Instruções para processamento de vetores (8 bytes, 4 palavras ou 2 palavras duplas)
 - 8 novos registradores lógicos (MMX0 a MMX7)

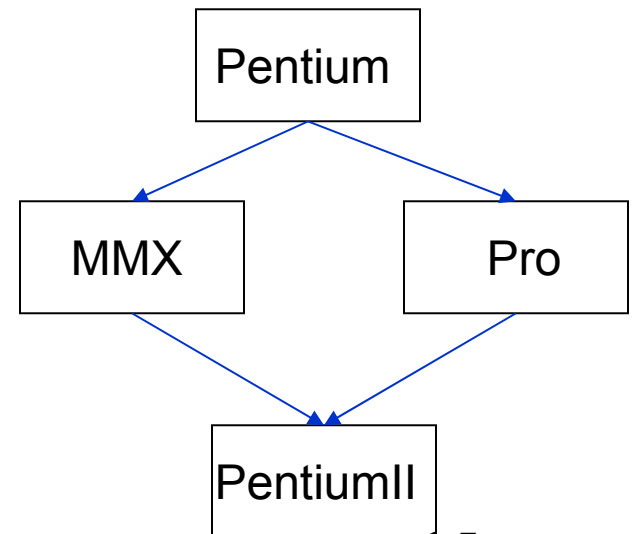
Intel Pentium MMX

- 57 Instruções para **processamento de vetores** (8 bytes, 4 palavras ou 2 palavras duplas)
- 8 novos registradores lógicos (MMX0 a MMX7)
- **aritmética de saturação**

Tipo de dado	Limite Inferior	Limite Superior
Com sinal	-128	127
Byte		
Palavra	-32.768	32.767
Sem sinal	0	255
Byte		
Palavra		

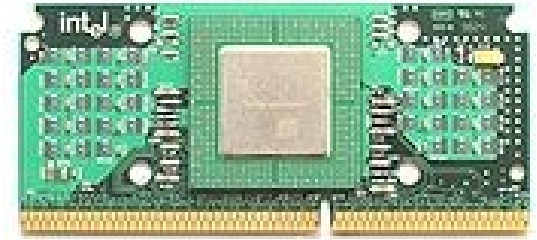
Intel Pentium II (P6)

- Pentium Pro com MMX
 - Lançado em maio de 1997
 - Frequência: 150 a 450 MHz
 - Encapsulamento SEC (Single Edge Contact)
 - Mesmas características do Pentium Pro
 - Instruções MMX
 - Cinco unidades internas
 - Execução fora de sequência
 - Execução especulativa



Intel Celeron (P6)

- Pentium II sem cache de nível 2
 - Lançado em abril de 1998
 - Péssimo desempenho
- Celeron A
 - Lançado em agosto de 1998
 - 128 KB de cache nível 2
 - Pentium II: 512KB ou 256 KB de cache nível 2
- O nome Celeron continua sendo usado para indicar um Pentium com pouca cache de nível 2 (Celeron III, Celeron 4, Dual Core Celeron)



Intel Xeon (P6)



- Pentium II Xeon lançado em 1998
- Projetado para servidores
- Possibilidade de Múltiplos processadores
 - Maior nível de cache nível 2 (1 a 2 MB)
- O nome Xeon continua sendo usado para indicar um Pentium orientado para servidores (Pentium II Xeon, Pentium III Xeon, Pentium 4 Xeon) ou mais recentemente, somente um processador para servidores

Intel Pentium III

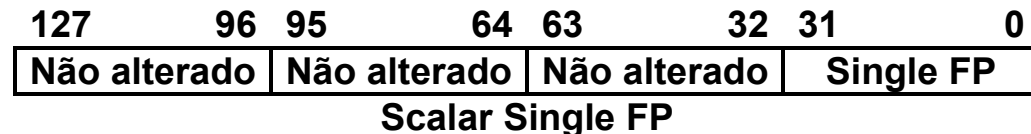
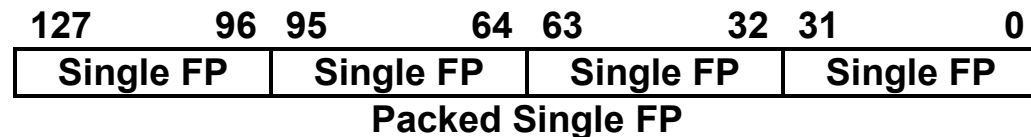


Katmai

- Lançado em 1999
- Frequência: 450 MHz a 1400 MHz
- Novo tipo de dado: “floating packed”
- 70 instr. extras (além das 167 básicas e 57 MMX)
- Instruções para processamento de vetores **inteiros** (MMX) ou de **ponto flutuante** (SSE)
- 8 novos registradores físicos (XMM0 a XMM7), de 128 bits, para as instruções SSE



Coppermine



Pentium III: instrução CPUID e número de série

Parâmetro	Valores após execução de CPUID
EAX=0	EAX: Maior valor aceito para EAX EBX:ECX:EDX: String de identificação
EAX=1	EAX: Identificador do processador (32 bits superiores do número de série) EBX:ECX: Indefinidos EDX: Feature Flags
EAX=2	EAX:EBX:ECX:EDX: valores de configuração do Processador
EAX=3	EDX:ECX: 64 bits inferiores do número de série
EAX>3	EAX:EBX:ECX:EDX: Indefinidos

Desabilitar o número de série

```
MOV ECX, 119H
```

```
RDMSR
```

```
;loads EDX:EAX
```

```
OR EAX, 0020 0000h
```

```
WRMSR
```

Intel Pentium 4



Northwood 478 pinos

- Lançado em novembro de 2000
- Frequência: 1,3 GHz a 3,8 GHz
- Pipeline de 20 estágios (“hyper pipeline”)
- Até 128 instruções em execução (3 vezes mais que no Pentium III)
- Algoritmo melhorado para previsão de desvios, com tabela de 4K (“enhanced branch prediction”)
- Novo sistema de cache de nível 1
 - Cache de execução de 12 K micro-operações (Execution Trace Cache)
 - Cache de dados de 8 KByte

Intel Pentium 4

- Instruções **SSE2** (Streaming SIMD Extensions 2) - 144 novas instruções
 - 67 instruções para vetores de pontos flutuante de precisão dupla (64 bits)
 - 69 novas instruções MMX, para vetores inteiros de 128 bits (utilizando os registradores XMM)
 - 8 instruções para controle de cache
- Barramento do sistema “Net Burst” de 400 MHz

Intel Pentium 4 HT

- Multi-threading
 - temporal multi-threading: somente instruções de uma thread podem executar em qualquer estágio do pipeline
 - SMT - simultaneous multi-threading: instruções de mais de uma thread podem estar executando em qualquer estágio do pipeline
- Tecnologia “Hyper Threading”
 - Capaz de executar duas threads simultaneamente
 - Aumento de até 25% na capacidade de processamento
 - Aparece como duas CPUs para o sistema operacional
- Barramento do sistema “Net Burst” de 400 MHz
- Instruções SSE3 (Streaming SIMD Extensions 3)
 - 13 novas instruções
 - 2 instruções para vetores de inteiros
 - 9 instruções para vetores de ponto flutuante
 - 2 instruções para sincronização de threads

Intel Pentium 4 EE

- "Extreme Edition"
 - Três níveis de cache (8KB+12KB, 512KB, 2MB)

Intel Pentium 4 M

- Tecnologia de economia de energia (Centrino)
 - Projetado originalmente para portáteis

Intel Pentium 4 D

- Tecnologia "Dual Core"
 - Dois microprocessadores em um único circuito integrado
 - Compartilham barramento de memória
 - Compartilham barramento de E/S

Intel IA-64

- Arquitetura de 64 bits
 - Desenvolvido em cooperação com HP
 - Itanium (Merced), introduzido em maio 2001
 - 733MHz / 800 MHz; 96KB Cache L2, 2 / 4 MB Cache L3
 - Itanium 2 (McKinley), introduzido em junho 2002
 - 900MHz / 1GHz; 256KB Cache L2, 1,5 / 3 MB Cache L3
 - Itanium 2 (Madison), introduzido em junho 2002
 - 1,4GHz/ 1,5GHz; 256KB Cache L2, 3 / 6 MB Cache L3
- Endereçamento de 16 TB (44 bits)
- Conjunto de instruções de 64 bits (novo)
- EPIC: Explicity Parallel Instruction Computing
 - até 20 instruções por ciclo
- VLIW: Very Long Instruction Words

Intel IA-64

- Compatibilidade com IA-32
- Compatibilidade com MMX (sem suporte a SSE)
- Destinado a servidores
- Não orientado a desktops
 - desempenho em 32 bits inferior ao Pentium 4
 - programas devem ser recompilados para 64 bits