

Memória principal

memória física

INF01112

2009

Memória

Classificação:

- RAM x ROM

- RAM

- Estática (SRAM)
- Dinâmica (DRAM) - “refresh”

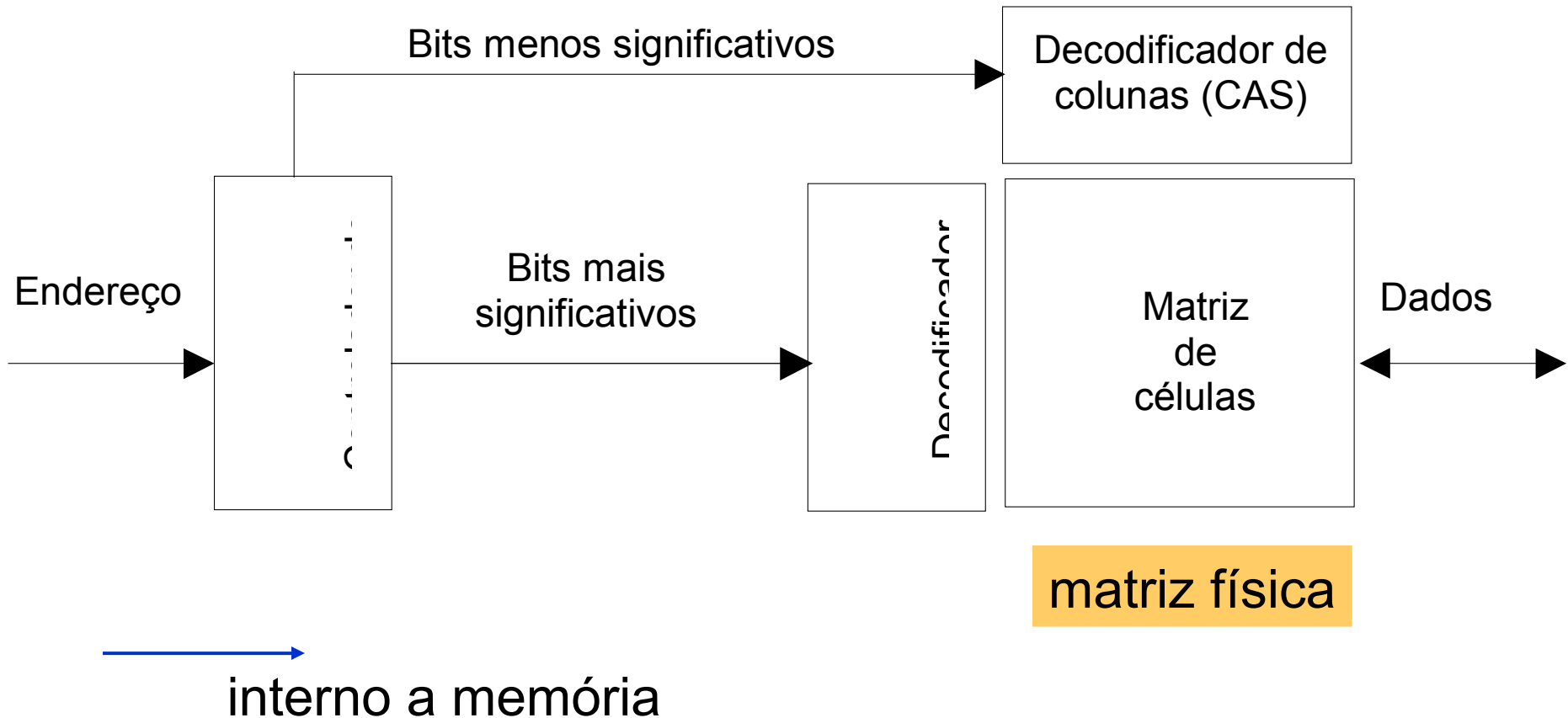
geralmente cache

mem. principal

- ROM

- Programável (PROM)
- Apagável (erasable) (EPROM)
- Eletricamente apagável (EEPROM)
- Flash ROM (Flash RAM)

Memória Dinâmica



Temporização de memória

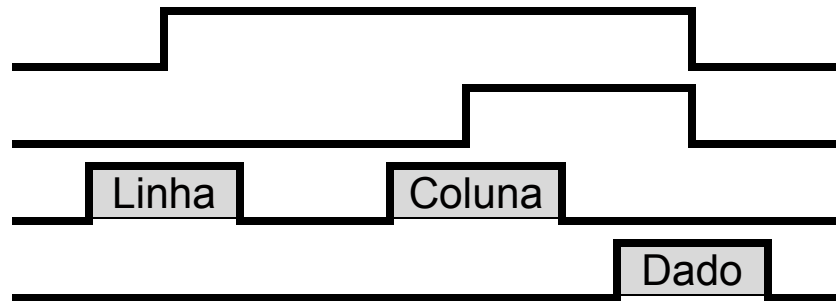
bits mais signif.
bits menos signif.

RAS

CAS

Endereço

Dados



Temporização de memória Fast-Page (FP)

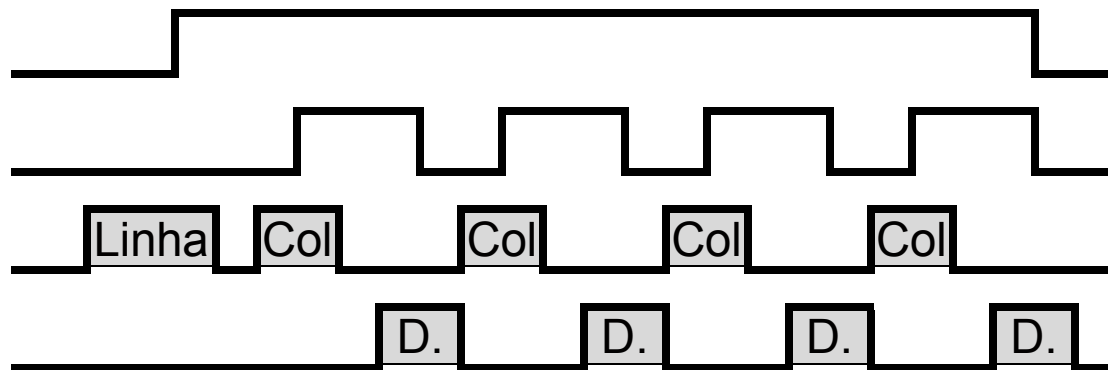
não existe mais

bits + sig RAS

bits - sig CAS

Endereço

Dados

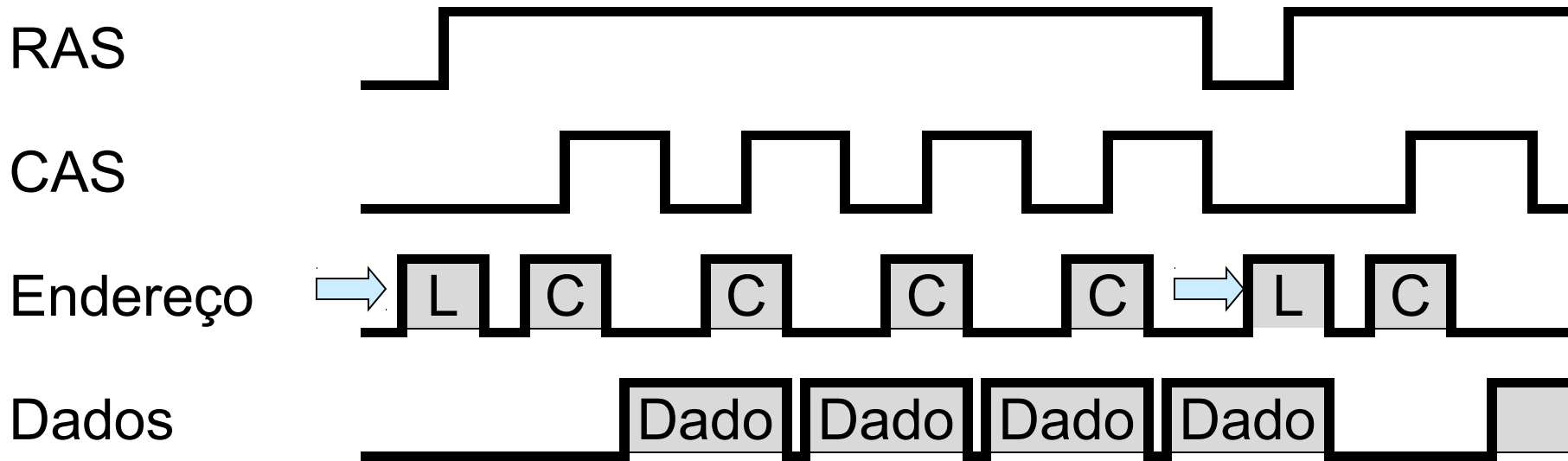


tempos típicos: 7-3-3-3 (70 ns) ou 6-3-3-3 (60ns)

rajada de 4 no 486

Temporização de memória EDO (Extended Data OUT)

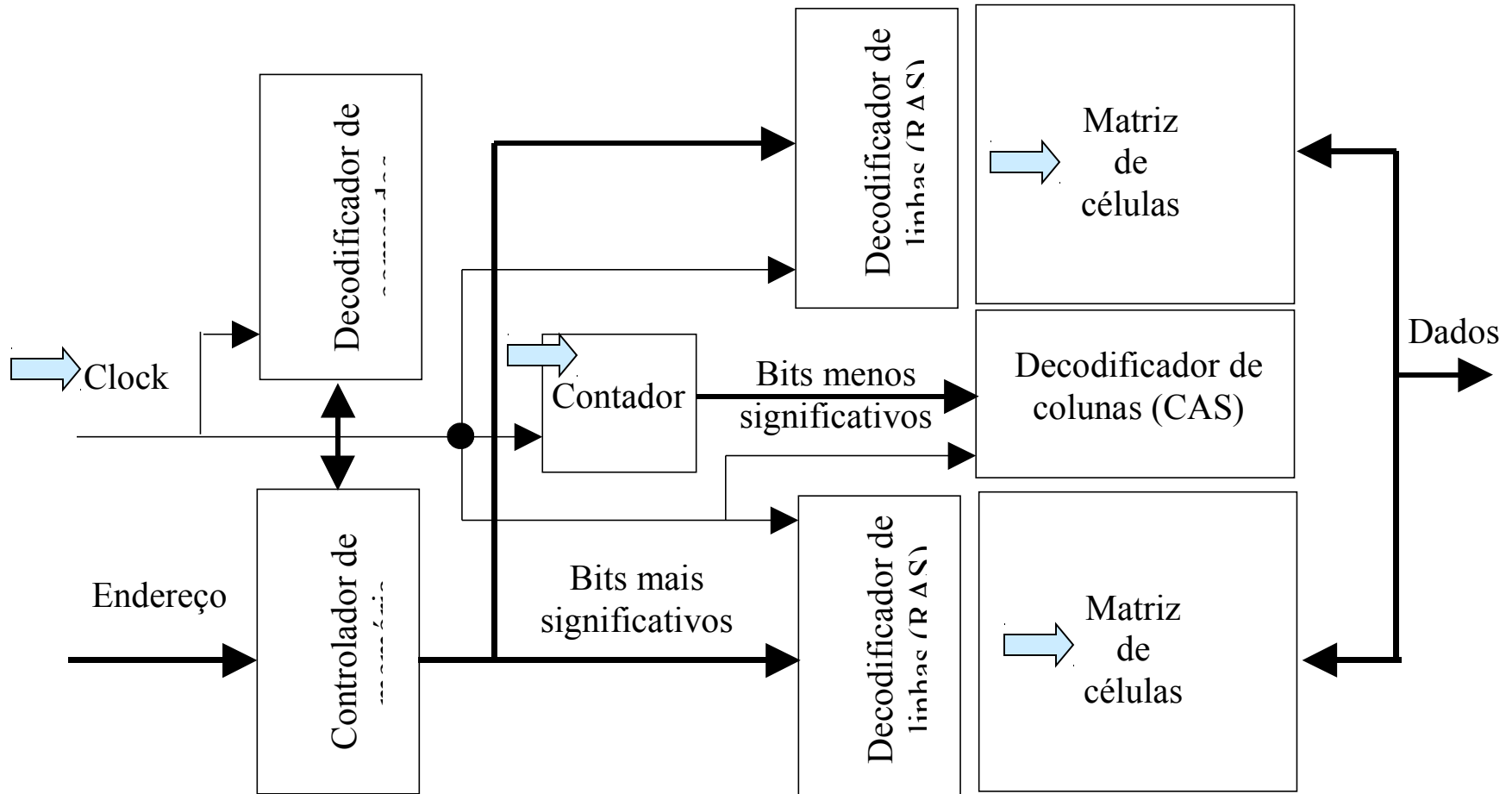
não existe mais



tempos típicos: 7-2-2-2 (70 ns) ou 6-2-2-2 (60 ns)

barramento de 16 MHz

Memória SDRAM (Synchronous DRAM)



tempos típicos: 5-1-1-1 (7,5 ns a 15 ns)

ela mesmo fornece os endereços em sequência - ver contador

Memória Síncrona

- SDRAM (wide channel - 64 bits)
 - 8 bytes x 100 MHz = 800 Mbyte/s
- DDR - SDRAM
 - Double Data Rate
 - Dois acessos a cada ciclo de relógio
 - 8 bytes x 2 x 100 MHz = 1.600 Mbyte/s
- RAMBUS (narrow channel - 16 bits)
 - Internamente 128 bits (16 bytes) a 100 MHz
 - Externamente 16 bits a 800 MHz
 - 2 bytes x 800 MHz = 1.600 Mbytes/s
 - 2 canais : 3.200 Mbytes/s

apesar da rajada ser de oito bytes, ainda aparece velocidade com 4 números

Memória Física

via = pinos do conector

módulos de memória

- SIMM de 30 vias (386, 486)
 - 8 bits
- SIMM de 72 vias (Pentium)
 - 32 bits
- DIMM de 168 vias
 - 64 bits (SDR)
- DIMM de 184 vias
 - 64 bits (DDR)
- RIMM de 184 vias
 - 64 bits (RAMBUS)
- DIMM de 240 vias
 - 64 bits (DDR2, DDR3)

usado aos pares ou 4 a 4

aos pares

DIMM e RIMM conectores diferentes

DDR, DDR2 e DDR3 tem conectores diferentes

Especificação de Memória

L-D-P-A-R

- **L:** CAS Latency (CAS, CL) (2 ou 3-SDRAM; 2, 2,5 ou 3-DDR)
 - Tempo entre a ativação de uma coluna e a disponibilidade do dado
- **D:** RAS to CAS Delay (tRCD) (2 ou 3)
 - Tempo mínimo entre a ativação da linha e a ativação da coluna
- **P:** RAS precharge (tRP) (2 ou 3)
 - Tempo de desativação da linha
- **A:** Active to Precharge Delay (tRAS) (3, 4, 5, 6, 7)
 - Número mínimo de ciclos entre a ativação e a desativação da linha
- **R:** Command Rate (1 ou 2)
 - Atraso entre a seleção do chip e o comando

Operação da Memória

- Selecionar o circuito integrado (**chip select**)
 - Esperar “Comand Rate”
- Selecionar a linha (**bits mais significativos do endereço**)
 - Esperar “RAS to CAS Delay” (tRCD)
- Selecionar a coluna (**bits menos significativos do endereço**)
 - Esperar “CAS Latency” (CAS ou CL)
- Dados disponíveis! (**em rajada**)
- Deselecionar a linha
 - Esperar “RAS Precharge” antes de selecionar outra linha
- “Active to Precharge Delay” (**tRAS**)
 - Depois de um banco de memória ter sido ativado, ele não poder ser desativado antes de tRAS ciclos de relógio

Especificação de Memória

- Exemplo: 2-3-3-7-1T
 - notação alternativa: 2-3-3-7CL 1CMD
- CAS Latency: 2 ciclos de relógio
- RAS to CAS Delay: 3 ciclos de relógio
- RAS Precharge: 3 ciclos de relógio
- Active to Precharge Delay: 7 ciclos de relógio
- Command Rate: 1 ciclo de relógio

Ciclo de memória

Clock (MHz)	Relógio (ns)	Transferência SDR (MB/s)	Transferência DDR (MB/s)
66	15	528	—
100	10	800	1.600
133	7,5	1.064	2.100
143	7	1.144	2.200
150	6,5	—	2.400
166	6	—	2.700
183	5,5	—	3.000
200	5	—	3.200

Tipos de Memória

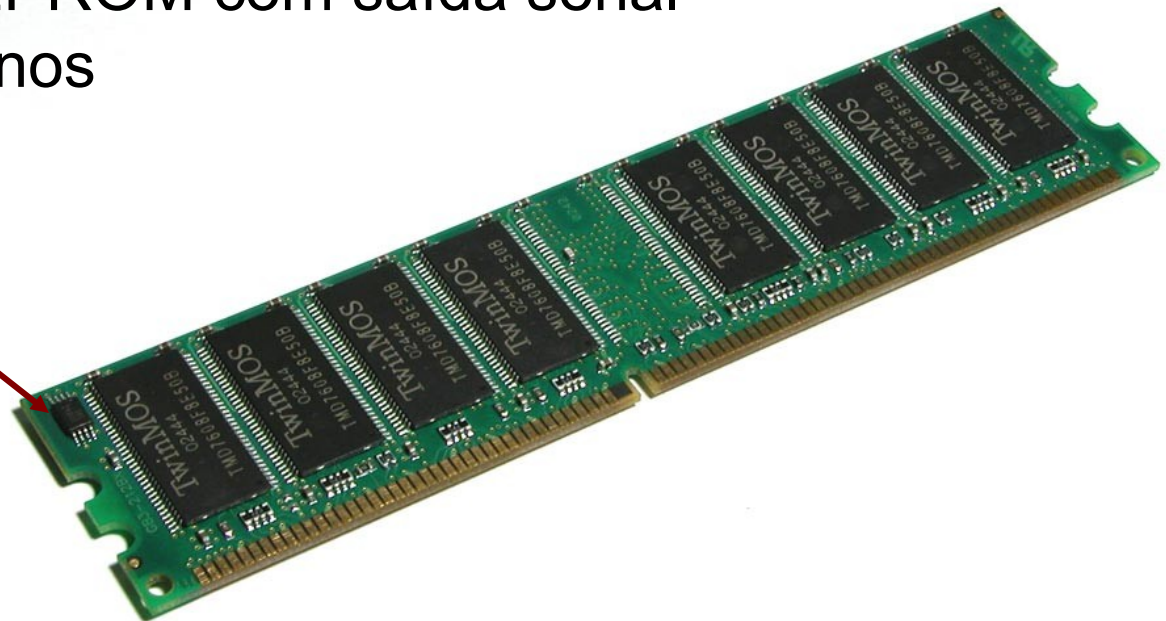
JEDEC

Joint Electronic Device Engineering Council

Especificação por SPD (Serial Presence Detect)

Memória EEPROM com saída serial

Chip de 8 pinos



Especificação SPD

Tipo de memória (SDR, DDR, etc)

Número de bancos

Comprimento dos dados (64 ou 72 bits)

Tensão de alimentação

Existência ou não de ECC (error correction code)

Latências de CAS suportadas

Tempo de RAS Precharge

Tempo de RAS to CAS delay

Tempo de ciclo da RAM

Densidade do banco de memória

Código JEDEC do fabricante

Memória SDRAM

Módulo	Chip	Clock (MHz)	Barramento (MTransf./s)	Transferência (MB/s)
PC66	15ns	66	66	533
PC66	10ns	100	66	533
PC100	8 ns	100	100	800
PC133	7,5 ns	133	133	1.066
PC133	7 ns	143	133	1.066

transferências de 8 bytes (64 bits)

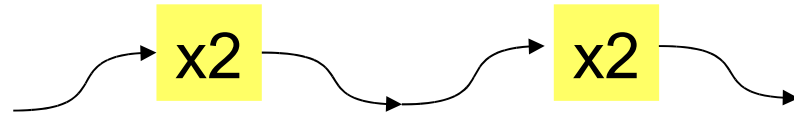
Memória DDR SDRAM

Módulo	Chip	Clock (MHz)	Barramento (MTransf./s)	Transferência (MB/s)
			x2	x8
PC1600	DDR200	100	200	1.600
PC2100	DDR266	133	266	2.133
PC2400	DDR300	150	300	2.400
PC2700	DDR333	166	333	2.667
PC3000	DDR366	183	366	2.933
PC3200	DDR400	200	400	3.200
PC3500	DDR433	216	433	3.466
PC3700	DDR466	233	466	3.733
PC4000	DDR500	250	500	4.000
PC4300	DDR533	266	533	4.266

Memória DDR - padrões JEDEC

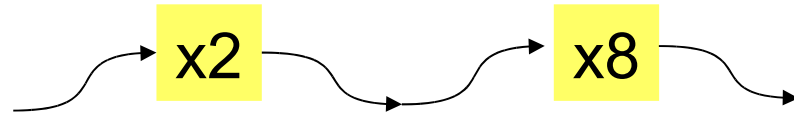
Nome padrão	Freq. Mem. MHz	Ciclo ns	Freq. Bus MHz	Transf. dados MT/s	Tensão Volts	Nome do Módulo	Transf. pico MB/s
DDR-200	100	10	100	200	2.5±0.2	PC-1600	1600
DDR-266	133	7.5	133	266	2.5±0.2	PC-2100	2100
DDR-333	166	6	166	333	2.5±0.2	PC-2700	2700
DDR-400	200	5	200	400	2.6±0.1	PC-3200	3200

Memória RDRAM (1 canal - 16bits)



Módulo	Chip	Clock (MHz)	Barramento (MT/s)	Transferência (MB/s)
RIMM1200	PC600	300	600	1.200
RIMM1400	PC700	350	700	1.400
RIMM1600	PC800	400	800	1.600
RIMM2100	PC1066	533	1.066	2.133
RIMM2400	PC1200	600	1.200	2.400

Memória DDR2 SDRAM



Módulo	Chip	Clock (MHz)	Barramento (MT/s)	Transferência (MB/s)
PC2-3200	DDR2-400	200	400	3.200
PC2-4300	DDR2-533	266	533	4.266
PC2-5400	DDR2-667	333	667	5.333
PC2-6400	DDR2-800	400	800	6.400

Memória DDR2 - padrões JEDEC

Nome padrão	Freq. Mem. MHz	Ciclo Ns	Freq. Bus MHz	Transf. dados MT/s	Nome do Módulo	Transf. pico MB/s
DDR2-400	100	10	200	400	PC2-3200	3200
DDR2-533	133	7.5	266	533	PC2-4200	4266
DDR2-667	166	6	333	667	PC2-5300	5333
DDR2-800	200	5	400	800	PC2-6400	6400
DDR2-1066	266	3,75	533	1066	PC2-8500	8533

Memória DDR3 - padrões JEDEC

Nome padrão	Freq. Mem. MHz	Ciclo ns	Freq. Bus MHz	Transf. dados MT/s	Nome do Módulo	Transf. pico MB/s
DDR3-800	100	10	400	800	PC3-6400	6400
DDR3-1066	133	7.5	533	1066	PC3-8500	8533
DDR3-1333	166	6	667	1333	PC3-10600	10667
DDR3-1600	200	5	800	1600	PC3-12800	12800

128 MB Memória DDR PC2100 ECC

