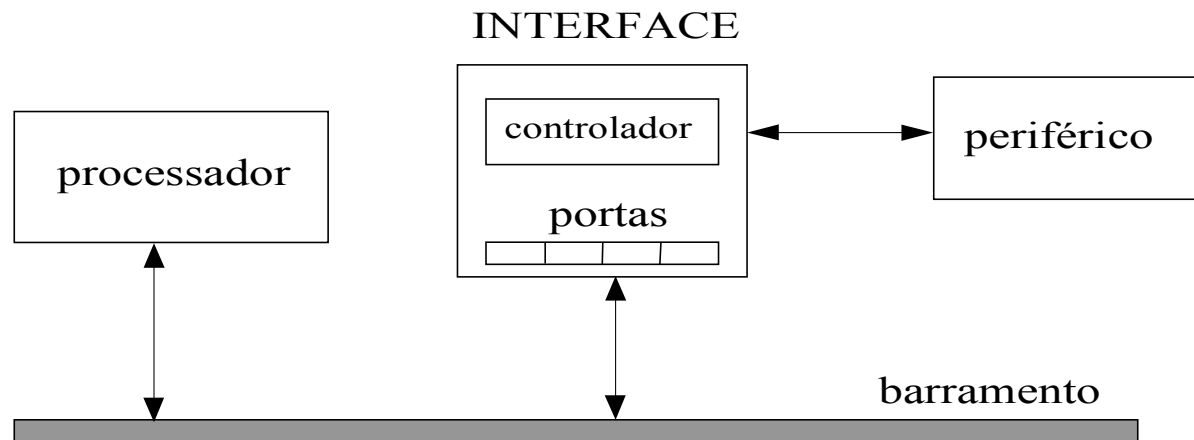


Sistema de Entrada e Saída barramentos e chipset

INF 01112

2010

Esquema de entrada e saída



Tipos de transferência de E/S

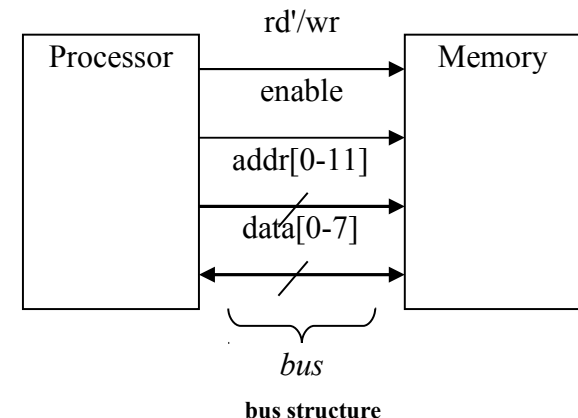
- Controle direto do processador
 - polling
 - interrupção
- Acesso direto a memória
 - DMA
- Os tipos não são mutuamente exclusivos

Barramentos

- Barramento
 - Meio de comunicação compartilhado entre vários componentes
 - Necessita estratégia para determinar quem coloca informação no barramento a cada momento (disciplina de acesso ao barramento)
 - Arbitragem de barramento quando a disciplina for do tipo “balanceada” (mais de um componente pode iniciar as transferências no barramento)

Barramento (cont.)

- Utilização do termo “barramento”
 - Designar conjunto de “linhas”(fios) com uma única função
 - ex: Barramento de dados, barramento de endereços
 - Designar conjunto completo do meio de comunicação compartilhado
 - Conjunto de linhas de endereços, dados e controles
 - Protocolo associado ao barramento (regras para realização das transferências de dados)

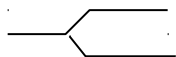


Diagramas de tempo

- Método que pode ser usado para expressar protocolo do barramento

- Passagem do tempo representada no eixo X
- Sinal de controle: ativo em “alto” ou “baixo”
 - Pode ser ativo em nível baixo (zero) (e.g., *go'*, */go*, or *go_L*)
 - Usa termos *assert* (ativo, ligar) and *deassert* (*desativar*)
 - Asserting *go_L* é equivalente a colocar *go_L*=0

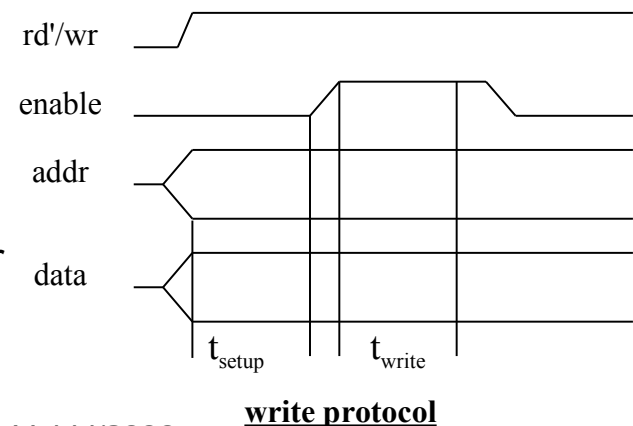
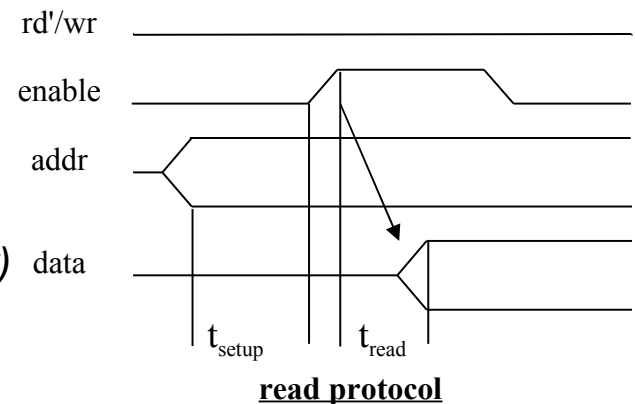
- Sinal de dados: representar sinal válido ou inválido



- Um protocolo especifica subprotocolos
 - Ciclos de barramentos (bus cycle), e.g., read and write
 - Cada ciclo pode durar vários ciclos de relógio

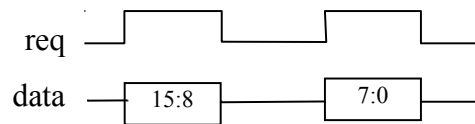
- Exemplo: ciclo de leitura

- rd'/wr* colocado em low, endereço colocado em *addr* por no mínimo t_{setup} time antes de ligar o sinal de *enable*, *enable* aciona a memória que coloca dados no *barramento* após o tempo t_{read}

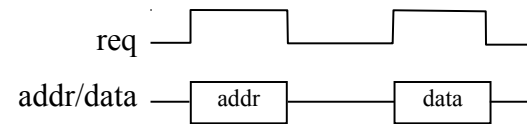


Protocolos de barramentos – conceitos básicos

- Mestre/Escravo
 - Mestre inicia a transferência (e normalmente determina os endereços). Escravo responde as requisições
 - Direção: Origem/destino. Quem inicia a transferência determina a direção dos dados
 - Multiplexação temporal
 - Minimiza o número de linhas
 - Ao longo do tempo a mesma linha muda o “tipo” de conteúdo



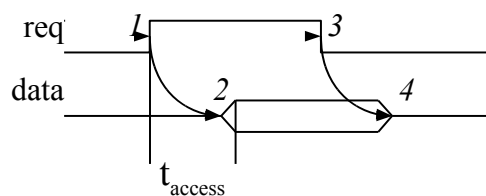
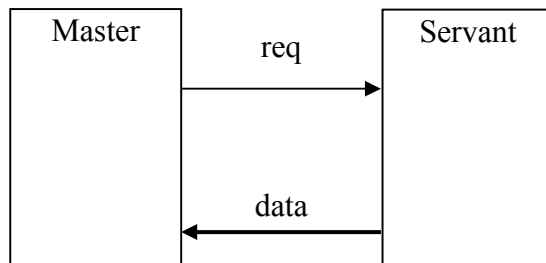
data serializing



address/data muxing

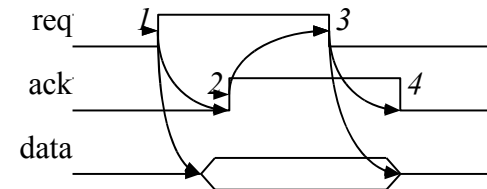
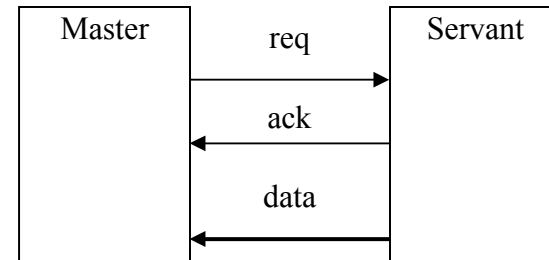
Protocolos de barramento – métodos de controle

- Síncrono vs. Assíncrono (ponto de vista de existência de relógio comum)
- Strobe vs. Handshake (eventos por contagem de tempo ou por sinalização específica)



1. Master asserts *req* to receive data
2. Servant puts data on bus **within time t_{access}**
3. Master receives data and deasserts *req*
4. Servant ready for next request

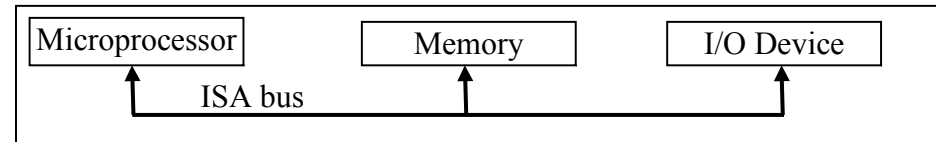
Strobe protocol



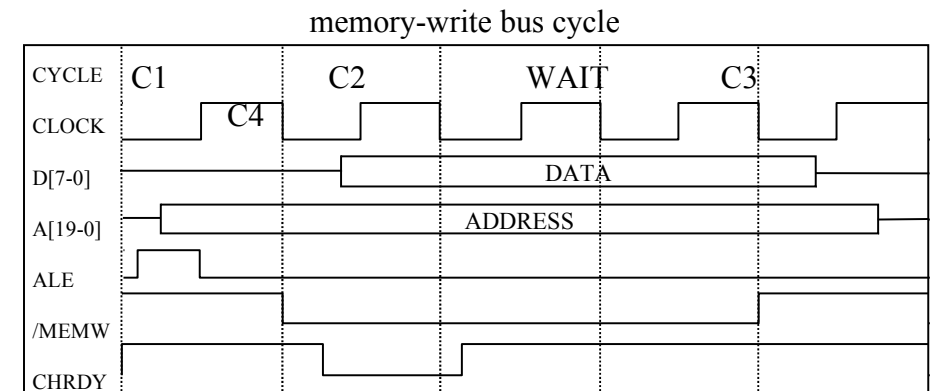
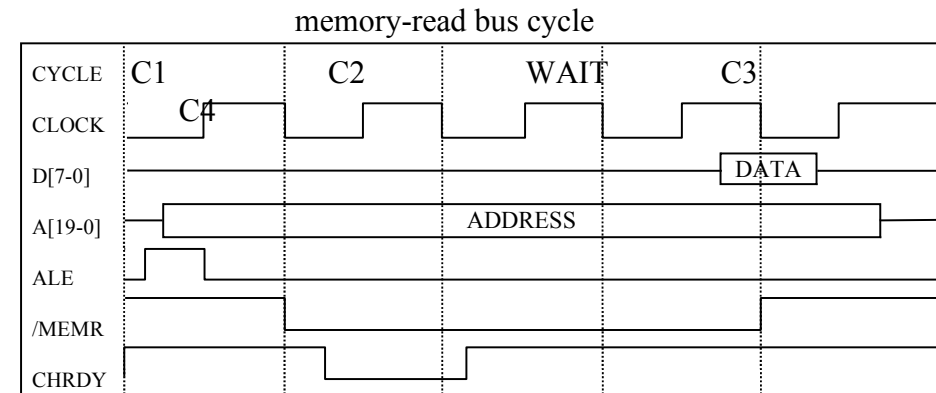
1. Master asserts *req* to receive data
2. Servant puts data on bus **and asserts *ack***
3. Master receives data and deasserts *req*
4. Servant ready for next request

Handshake protocol

Exemplo – Barramento ISA



- ISA: Industry Standard Architecture
- Características
 - 20-bits de endereçamento
 - strobe/handshake control
 - 4 ciclos é o default
 - CHRDY desativado – resulta em ciclos de wait adicionais(até 6)
- Frequência do barramento
 - Relativo a taxa de transferência de dados
 - Relativo ao relógio comum
- Protocolo do barramento determina a máxima taxa de transferência (largura de banda) para os dispositivos



Barramentos

- barra ou via
 - serial vs. paralelo
 - interno vs. externo
 - transferências de/para memória
 - transferências de/para E/S
 - lentos vs. rápidos
- quantos barramentos podem conviver em um sistema?

Barramentos

Nome	Data	Barramento	Frequência	Endereçamento
PC bus	1981	8 bits	4,77 MHz	1 MB
ISA	1984	16 bits	8,33 MHz	16 MB
Micro Channel (MCA)	1987	32 bits	10 MHz	16 MB
EISA	1988	32 bits	8,33 MHz	4 GB
VL Bus	1992	32/64 bits	50 MHz	4 GB
PCI	1992	32/64 bits	33 MHz	4 GB
PC Card	1990	16 bits	8 MHz	64 MB
CardBus	1994	32 bits	33 MHz	4 GB
AGP	1996	32/64 bits	66 MHz	4 GB
PCI express	2002	1 bit (serial)	2,5 GHz (*)	sem limite

(*) permite 250 MByte/s, nos dois sentidos

exemplos de barramentos comuns no IBM PC

Conectores



ISA 8 bits



ISA 16 bits



EISA



ISA con VLB



PCI

Barramentos originais

- de 1981 até 1992
 - válido para PC-bus, ISA, EISA, MCA

PCbus - 8 bits - 4,77 MHz - 81

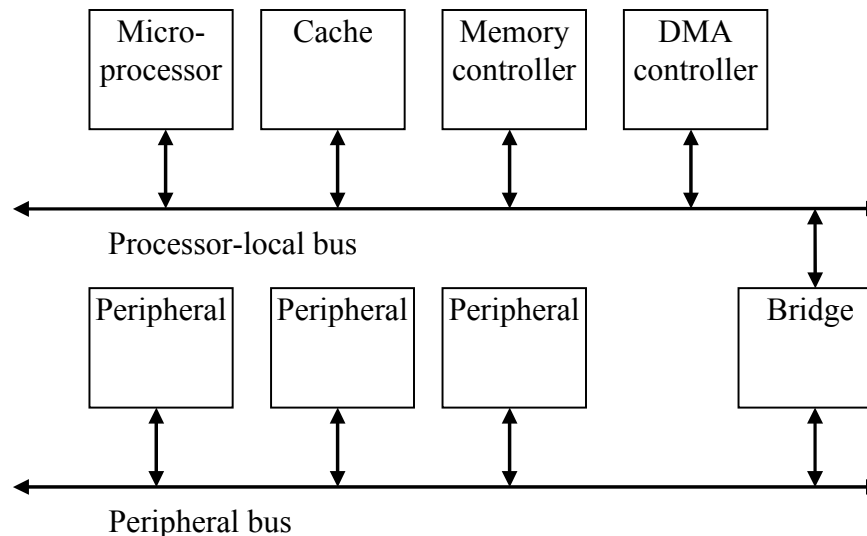
ISA - 16 bits - 8,33 MHz - 84

EISA - 32 bits - 8,33 MHz - 88

MCA - 32 bits - 10 MHz - 87

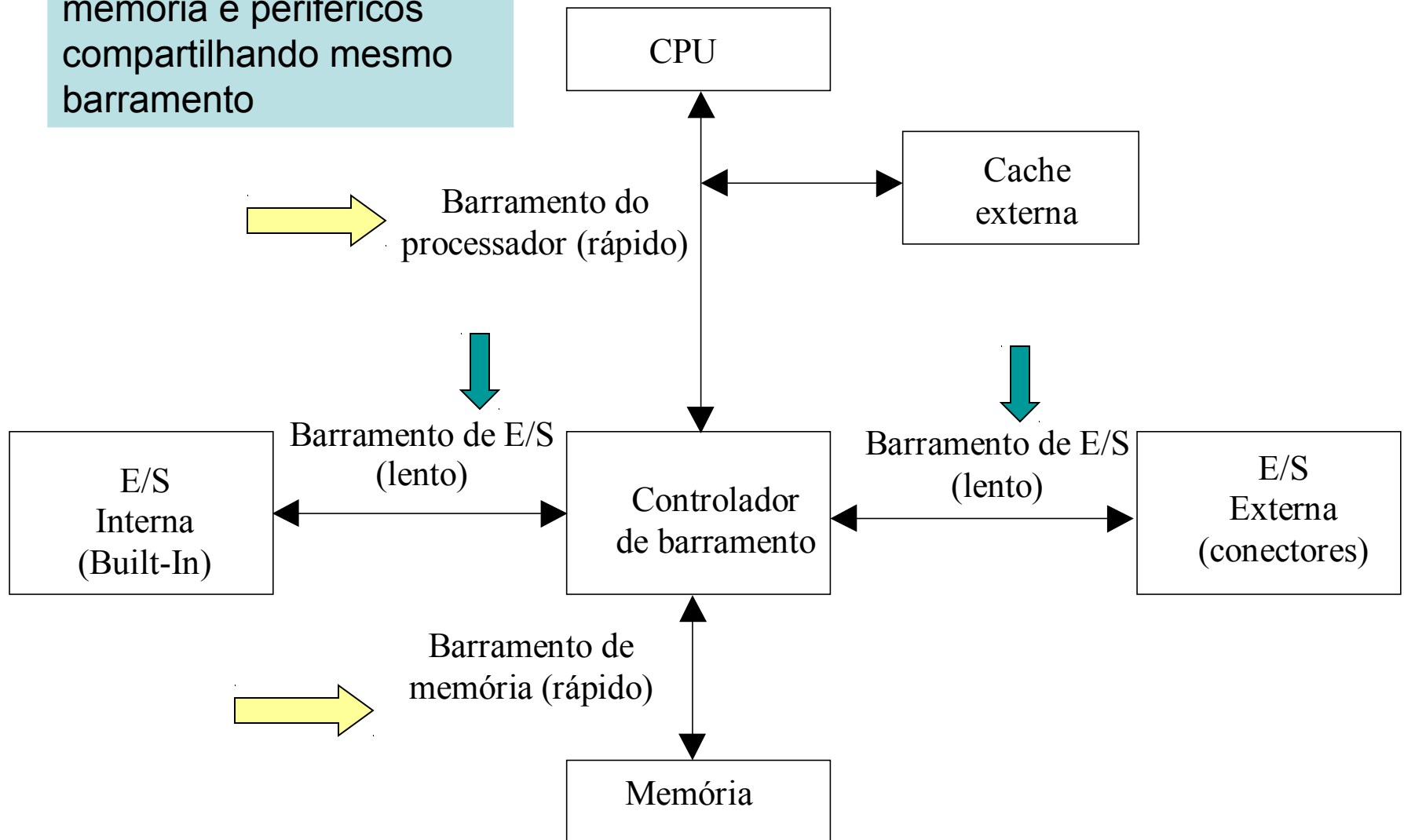
Hierarquia de barramentos

- Um único barramento para todas comunicações ?
 - Dispositivos necessitam interface de alta velocidade (e eventualmente características específicas de um processador)
 - Alto custo para interfaces simples (nro. de transistores/gates, consumo, espaço, etc...)
- Ponte (controlador de barramento)
 - Conecta barramentos de diferentes vazões
 - Atua como árbitro (no caso de haver mais de um mestre)
 - Atua como mestre no barramento onde o processador não está ligado diretamente

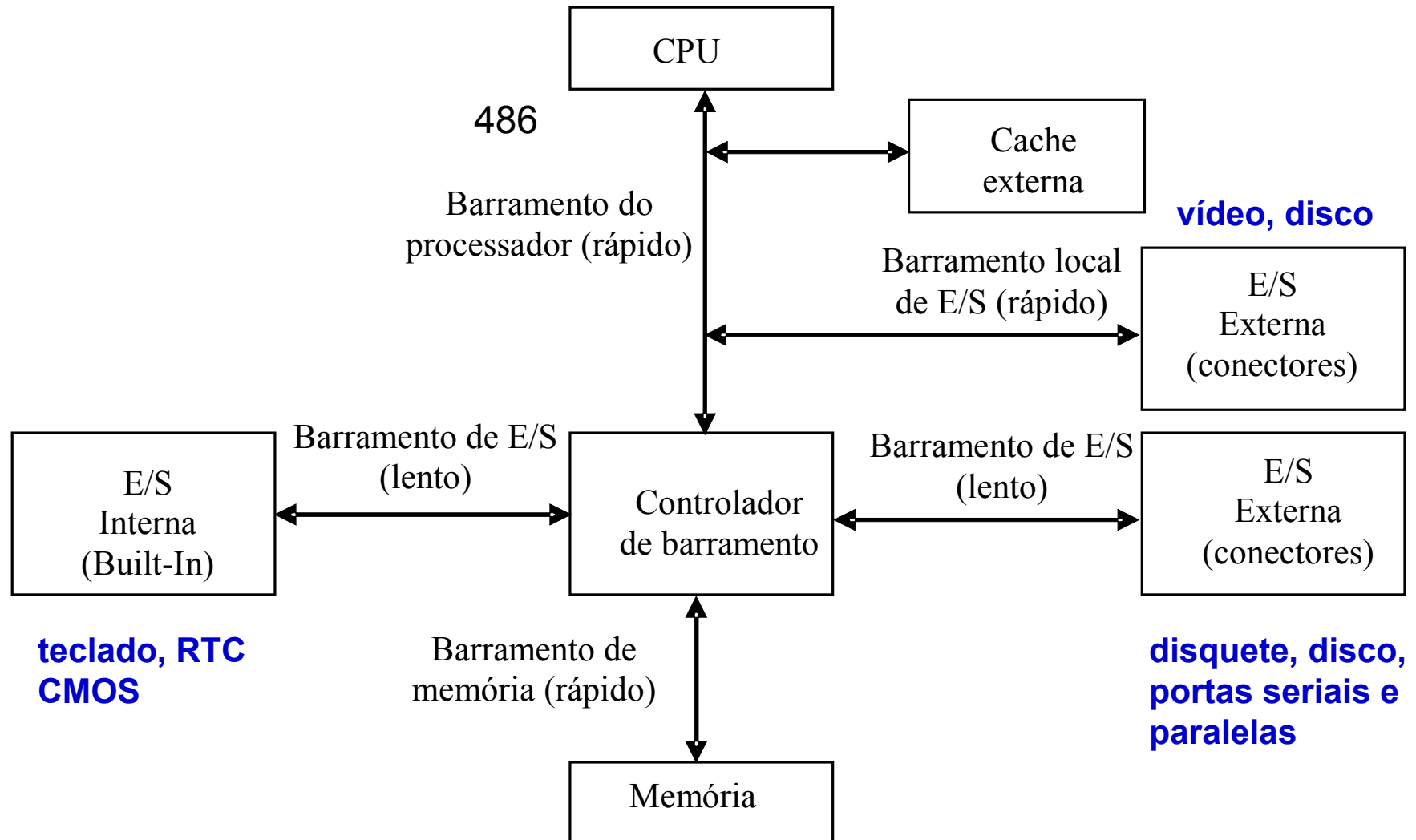


Esquema tradicional

memória e periféricos
compartilhando mesmo
barramento



Esquema com barramento local



Barramento local

- barramento do processador
 - VLB – 1992 (Vesa local bus)
 - definido para 486 (extensão da pinagem da CPU)
 - 486SX-25: 25 MHz
 - 486DX-33: 33 MHz
 - 486DX2-66: 33 MHz
 - 486DX4-100: 33 MHz
 - 486DX-40: 40 MHz
 - 486DX2-80: 40 MHz
 - 486DX4-120: 40 MHz
 - 486DX-50: 50 MHz

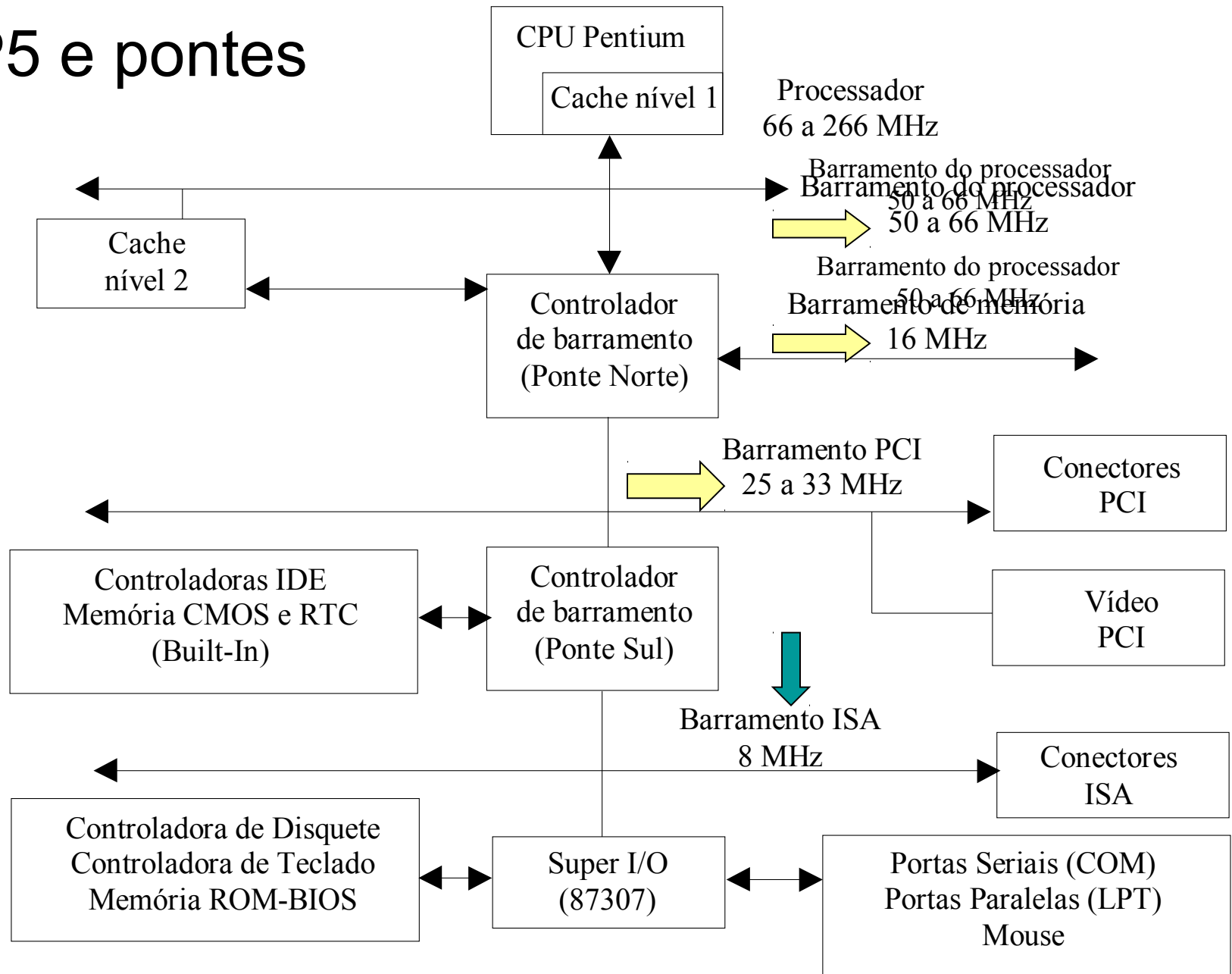
Barramento PCI

- Barramento PCI original
 - 32/64 bits - 33 MHz - 92
- Variações do PCI
 - PCI 2.2 - 66 MHz
 - PCI-X - 133 MHz, com mudanças no protocolo do barramento
 - PCI-X 2.0 - 266 MHz, com variante para 16 bits
 - Cardbus – PCI original (32 bits, 33 MHz) no formato PCMCIA para laptops
 - Mini PCI - PCI 2.2 para uso interno em laptops

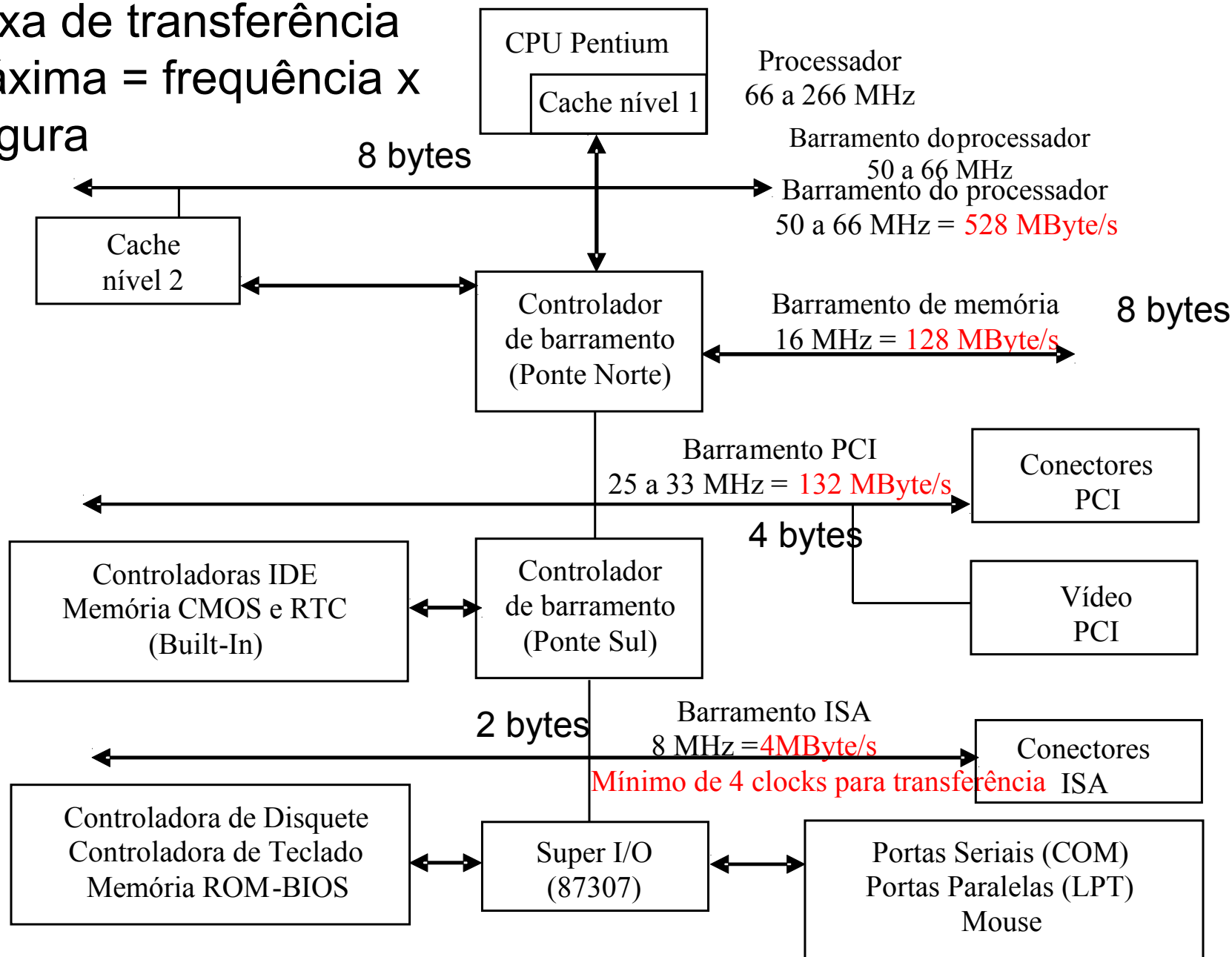
Pontes

- Pentium (P5 – primeira geração)
- barramento PCI
 - 32 /64 bits - 33 MHz - 92
- ponte norte
 - rápida (conexão ao PCI)
- ponte sul
 - lenta (conexão ISA)

P5 e pontes



Taxa de transferência
máxima = frequência x
largura



Barramento AGP

- Definição original

AGP - 32/64 bits - 66 MHz - 1996

- Variações

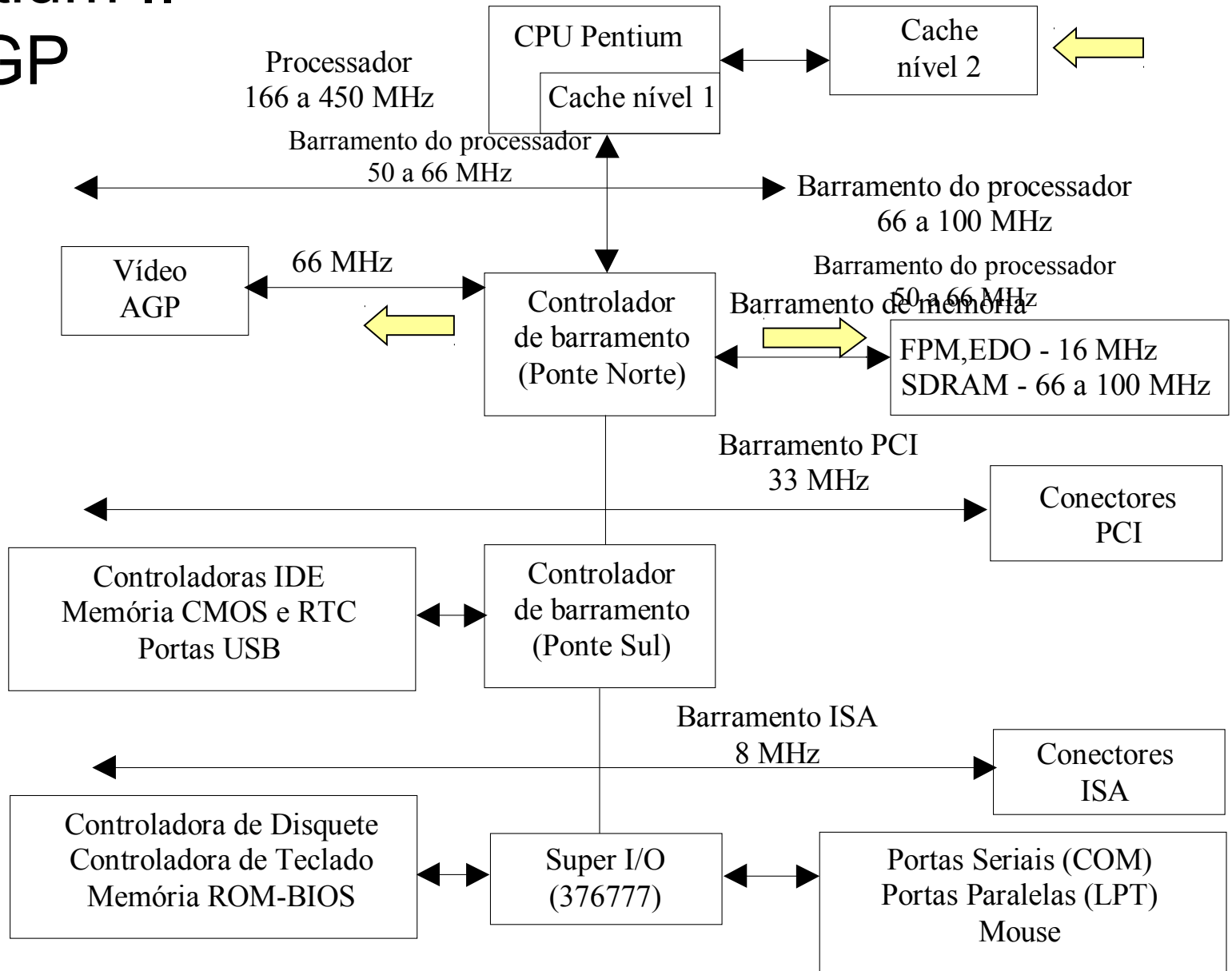
- **AGP 1x**, 32 bits, 66 MHz, 266 MB/s
- **AGP 2x**, 32 bits, 66 MHz, 533 MB/s
- **AGP 4x**, 32 bits, 66 MHz, 1066 MB/s (1 GB/s)
- **AGP 8x**, 32 bits, 66 MHz, 2133 MB/s (2 GB/s)
- **AGP Pro** – como AGP, mas para placas com maior poder de processamento e maior consumo
- **AGP 64 bit** – versão de 64 bits para placas profissionais

Pentium II e AGP

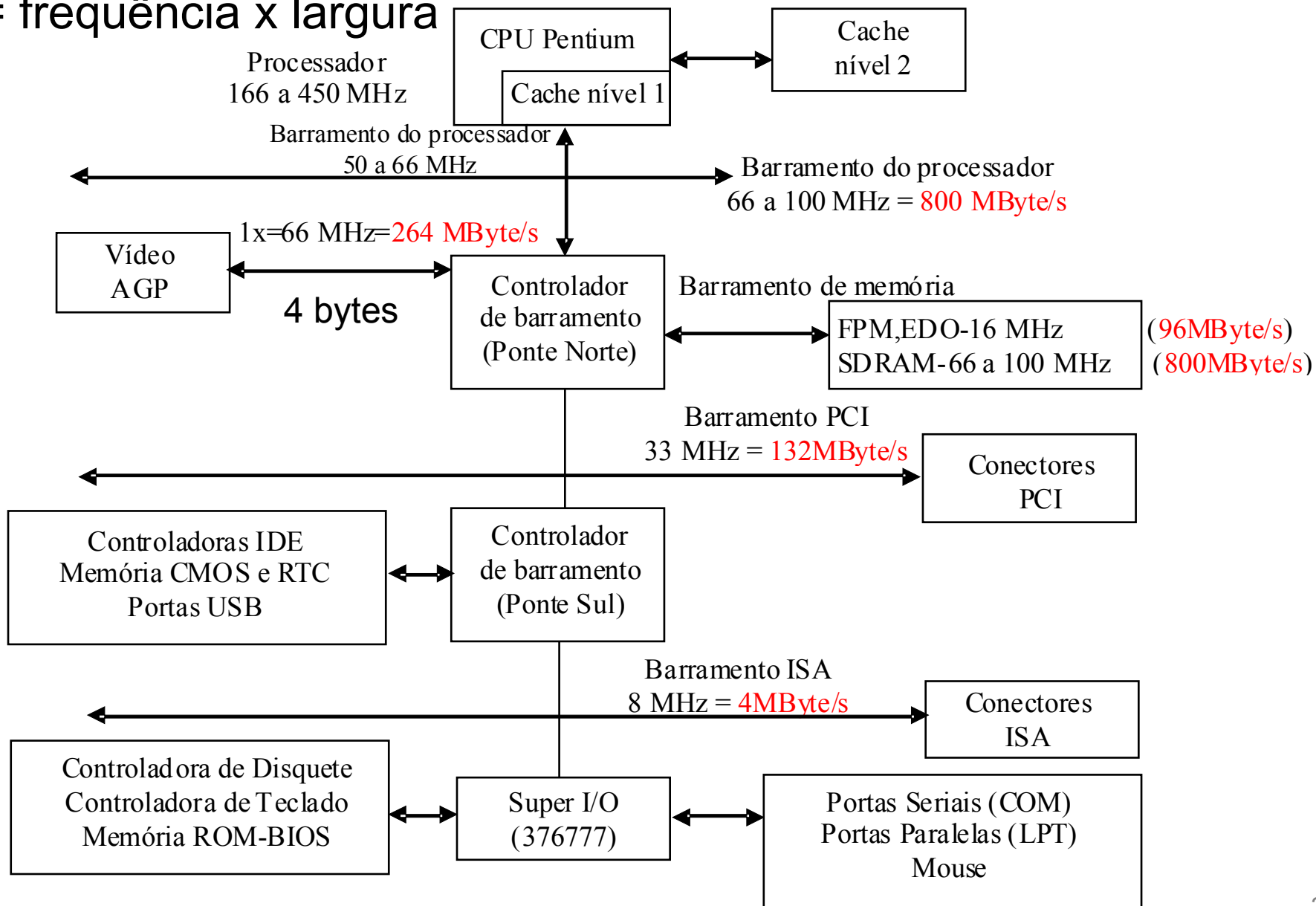
- Uso simultâneo de ISA, PCI e AGP
 - ISA - 16 bits - 8,33 MHz - 1984
 - PCI - 32/64 bits - 33 MHz - 1992
 - AGP - 32/64 bits - 66 MHz - 1996
- diversas taxas para barramento de memória
 - ciclos de 60 ns (16 MHz)
 - ciclos de 15 ns (66 MHz)
 - ciclos de 10 ns (100 MHz)

} SDRAM

Pentium II e AGP



Taxa de transferência = frequência x largura



Pentium III

- 1999 - Chipset 810 (Whitney)

e também últimos
Pentium II

- 3 circuitos (hubs)
 - controlador gráfico e de memória
 - controlador de E/S
 - firmware (BIOS)
- barramento AHA: entre 2 hubs (266 MHz)
- ISA opcional

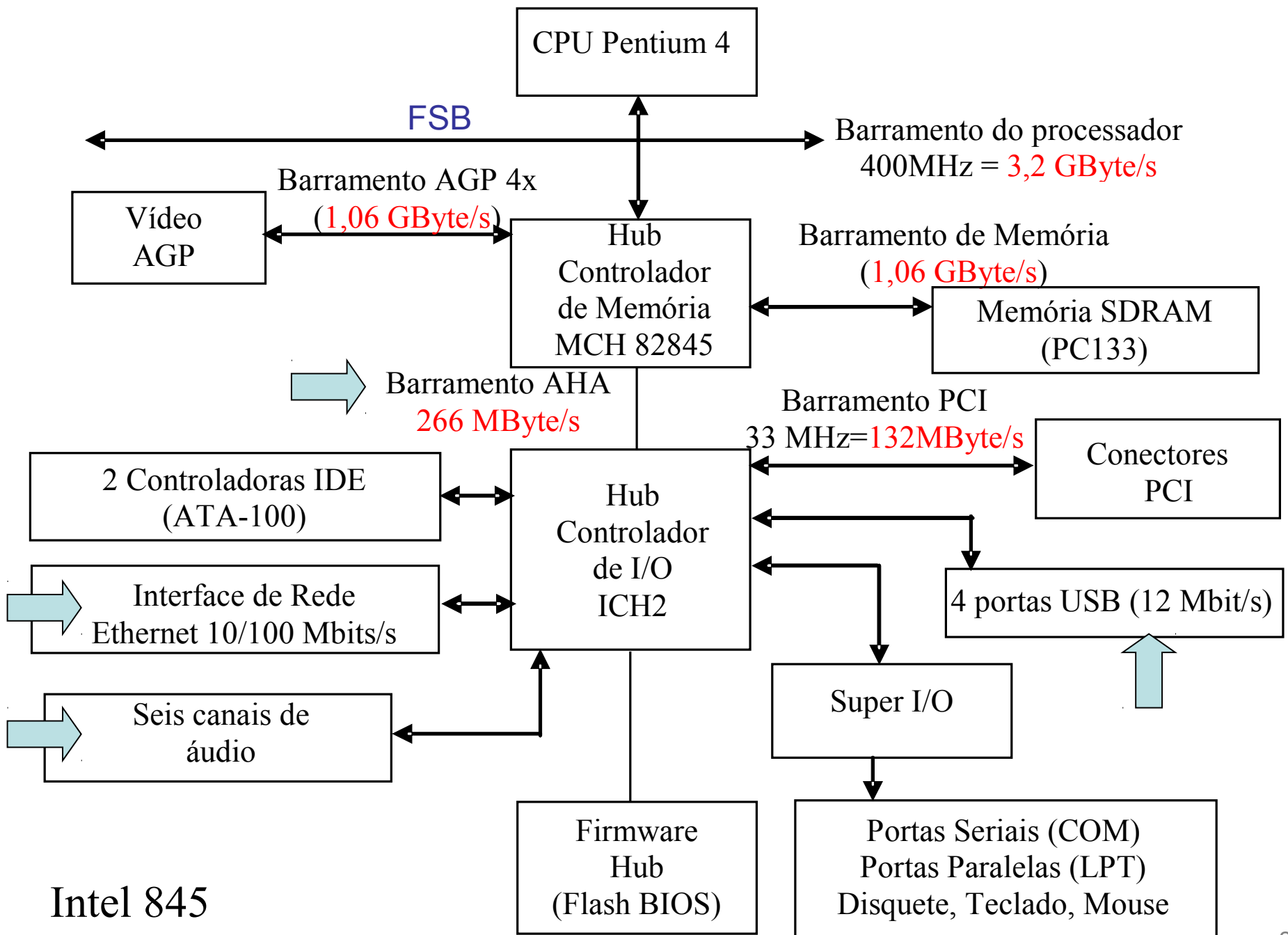
- Chipset 820 e 840

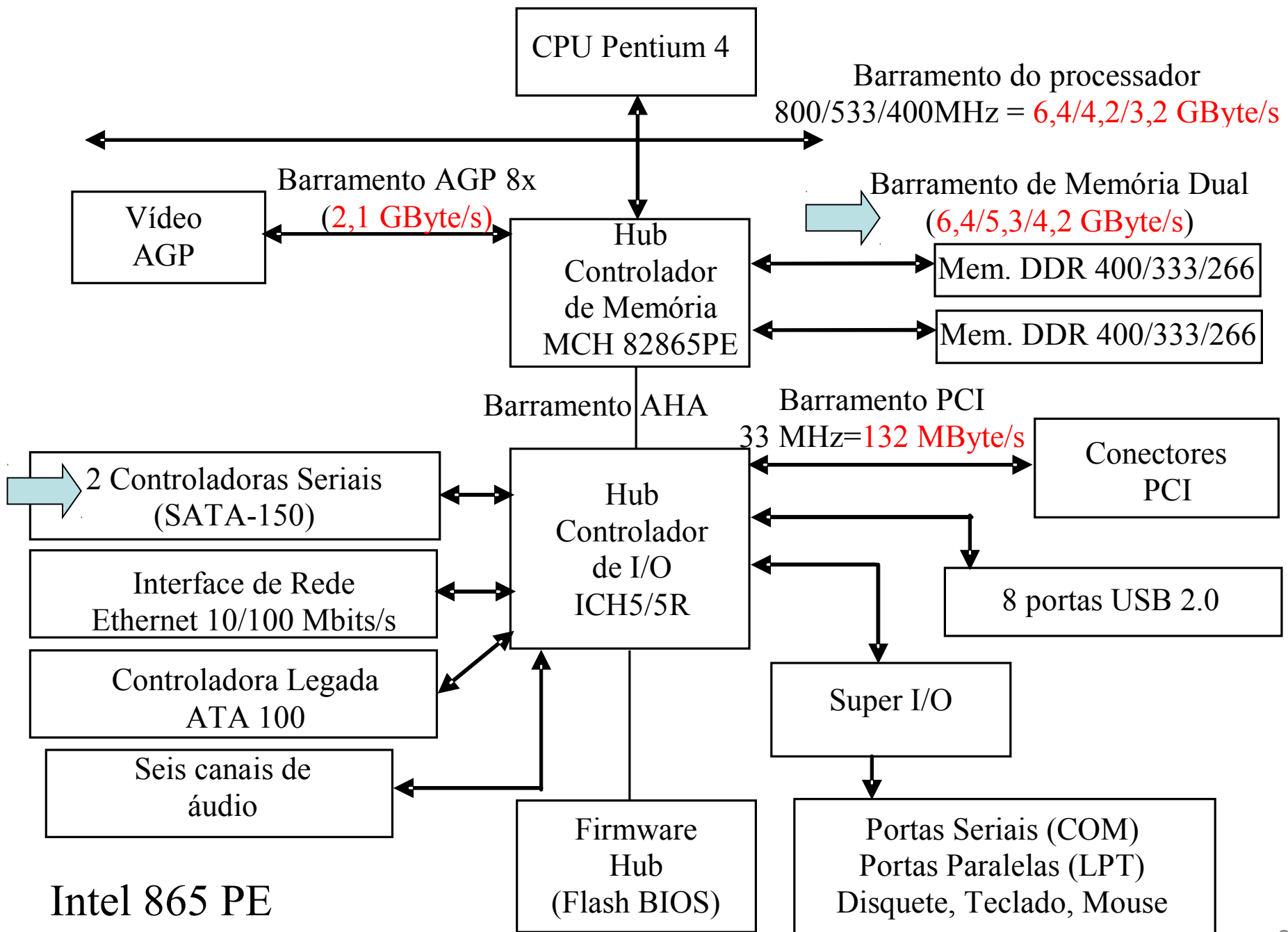
e também primeiros
Pentium 4

- mesmos 3 hubs
- barramento Rambus para memória

Pentium 4

- maior velocidade no barramento do processador
- exemplos de chipset
 - Intel 845
 - sem Rambus
 - com interface de rede, som e portas USB
 - Intel 865
 - com barramento de memória dual
 - com serial ATA (SATA)





PCI Express

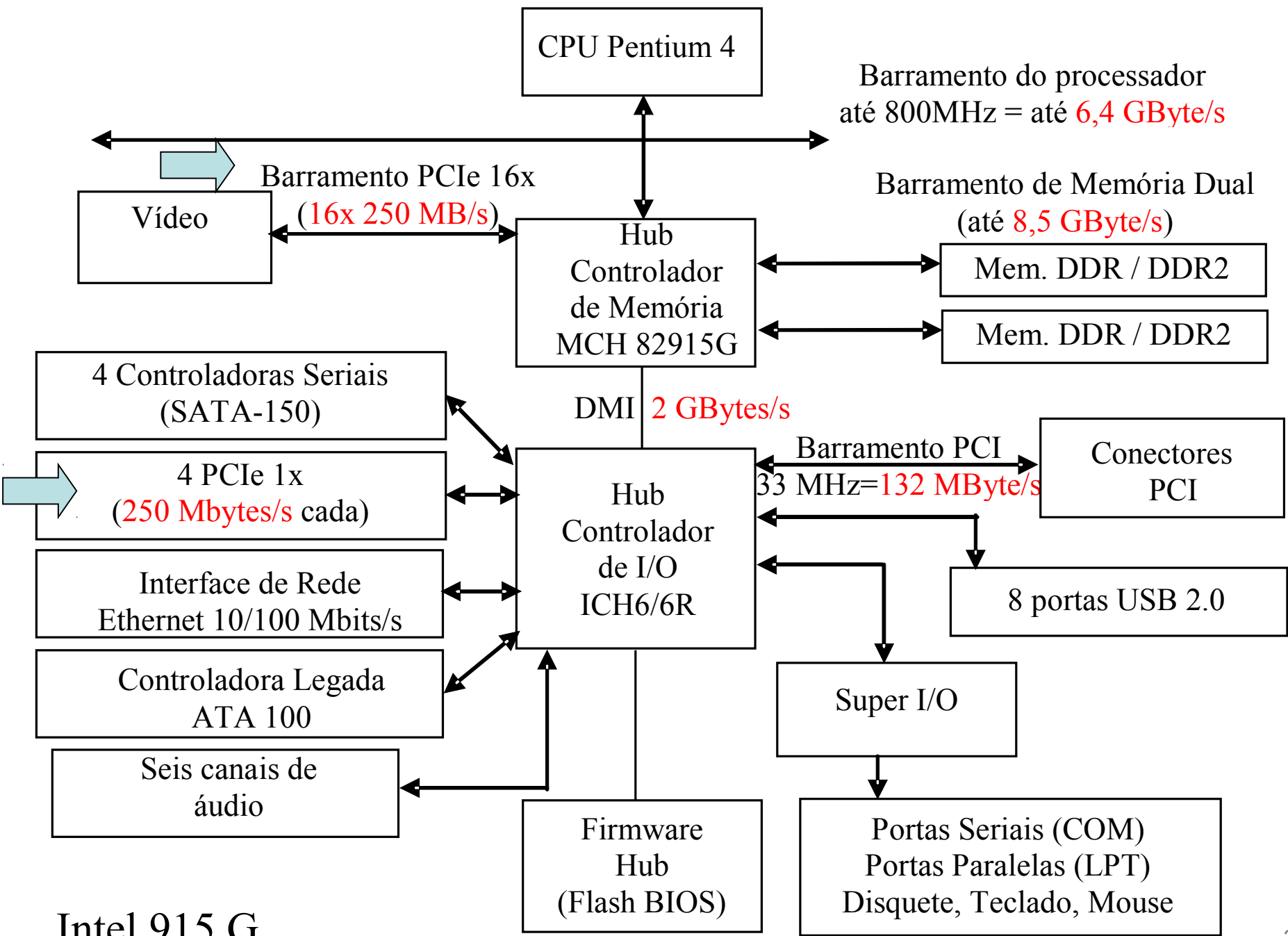
- comunicação serial
 - especificação – 2002
 - entrada no mercado – 2004
 - um barramento para todo tipo de periférico
 - conceito de uma rede ponto a ponto
 - transmissão de pacotes
 - camada física, camada de enlace de dados, camada de transações
- compatível em software com PCI
 - programas escritos para PCI não precisam ser reescritos para PCI Express

camada física

- cada via (*lane*):
 - 2 pares diferenciais unidirecionais
 - transmissão de 2,5 gigabauds
- conector pode ter 1, 2, 4, 8, 12, 16 ou 32 vias
- dados, controles e interrupções transitam pelas mesmas vias
- codificação: 8b/10b
 - para evitar seqüências longas de 1 ou 0s
 - extra bits consomem 20% da banda

outras camadas

- camada de enlace de dados
 - sequenciamento de pacotes
 - CRC de 32 bits
 - protocolo de reconhecimento (Acks e Naks)
 - timeout
 - Naks por perda de sequenciamento e timeouts provocam retransmissão do pacote
- camada de transações
 - exige buffers de tamanho adequado nos dispositivos
 - controle de fluxo baseado em créditos



Intel 915 G

Ponte Norte - Exemplos

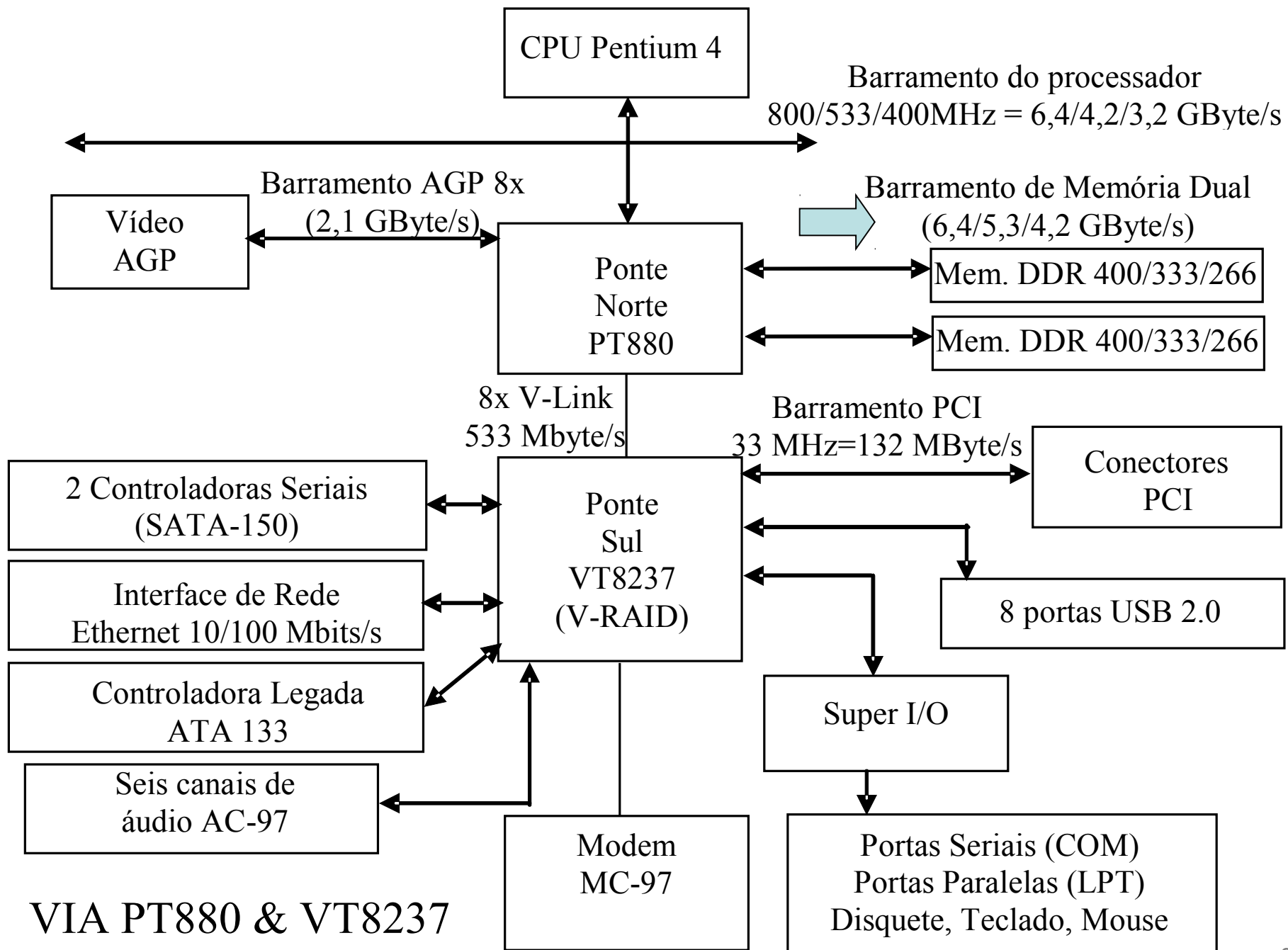
Host	925XE	925X	915G	915GV	865 G	845 G	850 E
System Bus	1066 800	800	800 533	800 533	800 533 400	533 400	533 400
Memory Module	Dual DIMM	Dual DIMM	Dual DIMM	Dual DIMM	Dual DIMM	DIMM SIMM	RIMM
Memory Type	DDR2 533 400	DDR2 533 400	DDR2 533 400 DDR 400 333	DDR2 533 400 DDR 400 333	DDR 400 333 266	DDR 266 200 SDRAM 133	RDRAM Pc1066 Pc800
Max Memory	4 GB	4 GB	4 GB	4 GB	4 GB	2 GB	2 GB
Error Correction	Non-ECC	ECC Non-ECC	Non-ECC	Non-ECC	Non-ECC	Non-ECC	ECC Non-ECC
Graphics	PCI Exp 16x	PCI Exp 16x	PCI Exp 16x	N/A	AGP 8x	AGP 8x	AGP 4x
Integrated Graphics	N/A	Intel Graphics Media Accelerator 900	N/A	Intel Graphics Media Accelerator 900	Intel Extreme Graphics 2	Intel Extreme Graphics 2	N/A
I/O Hub	ICH6 ICH6R	ICH6 ICH6R	ICH6 ICH6R	ICH6 ICH6R	ICH5 ICH5R	ICH4	ICH2

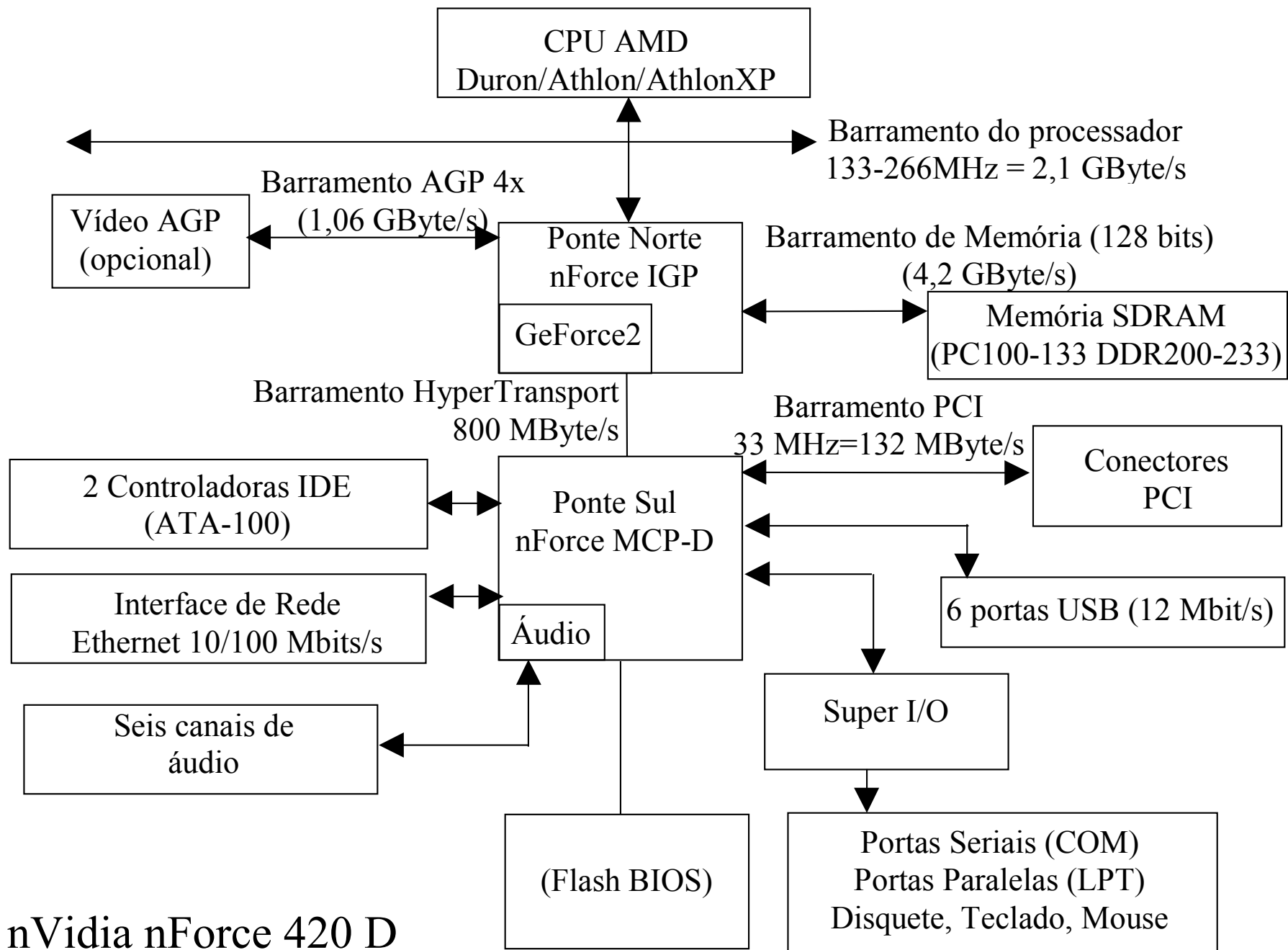
Ponte Sul - Intel

I/O Hub	ICH7R	ICH7	ICH6R	ICH6	ICH5R	ICH5	ICH4	ICH2
PCI	PCI Exp 1x (6)	PCI Exp. 1x (4)	PCI Exp 1x (4)	PCI Exp. 1x (4)	PCI 2.3	PCI 2.3	PCI 2.2	PCI 2.1
IDE	Ultra ATA100 (1)	Ultra ATA100 (1)	Ultra ATA100 (2)	Ultra ATA100	Ultra ATA100	Ultra ATA100	Ultra ATA100	Ultra ATA100
Serial ATA	300 (4)	300 (4)	150 (4)	150 (4)	150 (2)	150 (2)	N/A	N/A
RAID	Intel Matrix Storage Technology	N/A	Intel Matrix Storage Technology	N/A	0,1,0/1	N/A	N/A	N/A
USB	2.0, 8 portas	2.0, 8 portas	2.0, 8 portas	2.0, 8 portas	2.0, 8 portas	2.0, 8 portas	2.0, 6 portas	1.1, 4 portas
Integrated Network	Sim	Sim	Sim	Sim	Sim	Sim	Sim	Sim
Integrated Audio	Intel High definition Áudio, AC'97 (20 bits)	Intel High definition Áudio, AC'97 (20 bits)	Intel High definition Áudio, AC'97 (20 bits)	Intel High definition Áudio, AC'97 (20 bits)	AC'97 (20 bits)	AC'97 (20 bits)	AC'97 (20 bits)	AC'97 (20 bits)

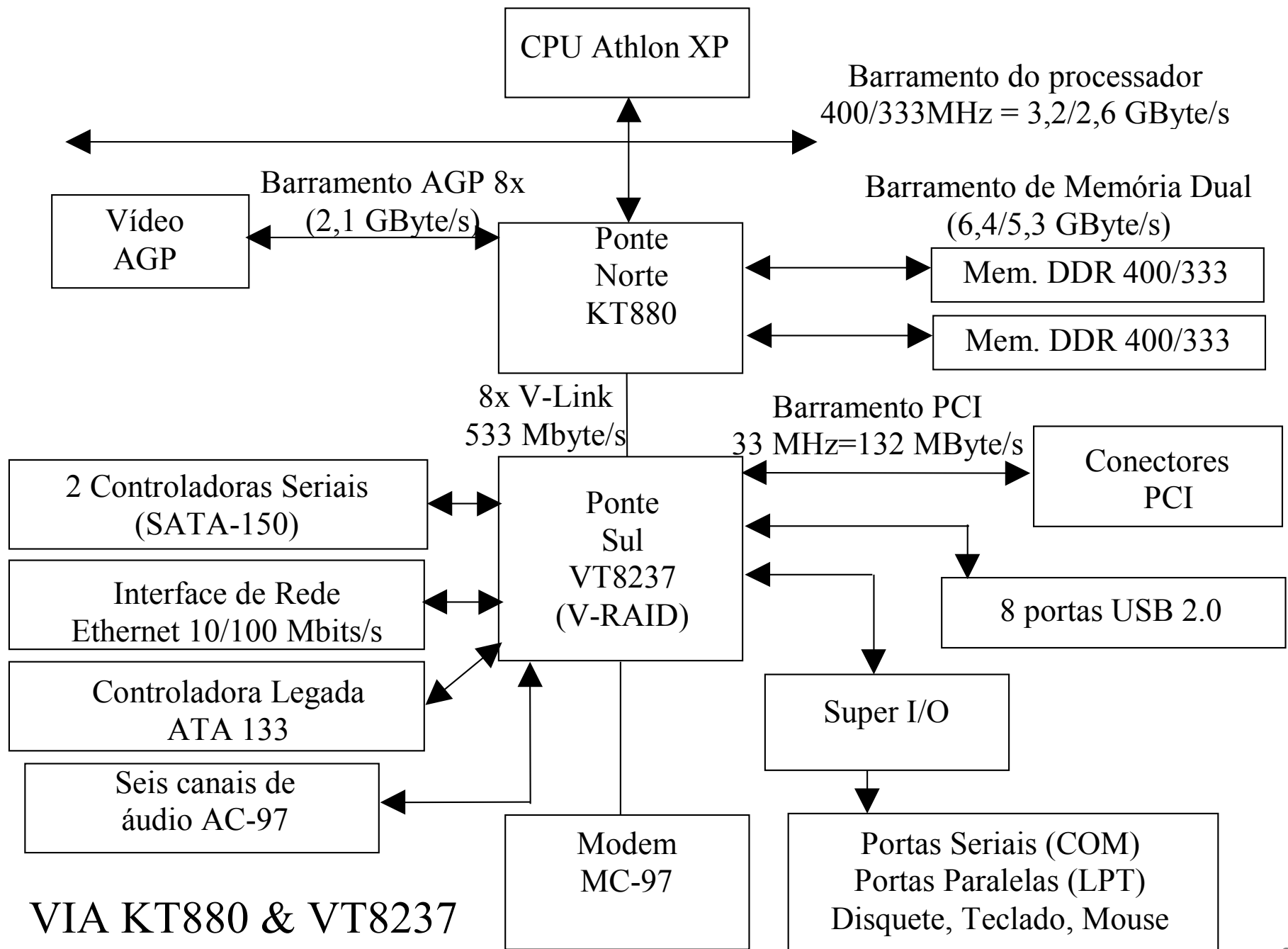
Outros fornecedores

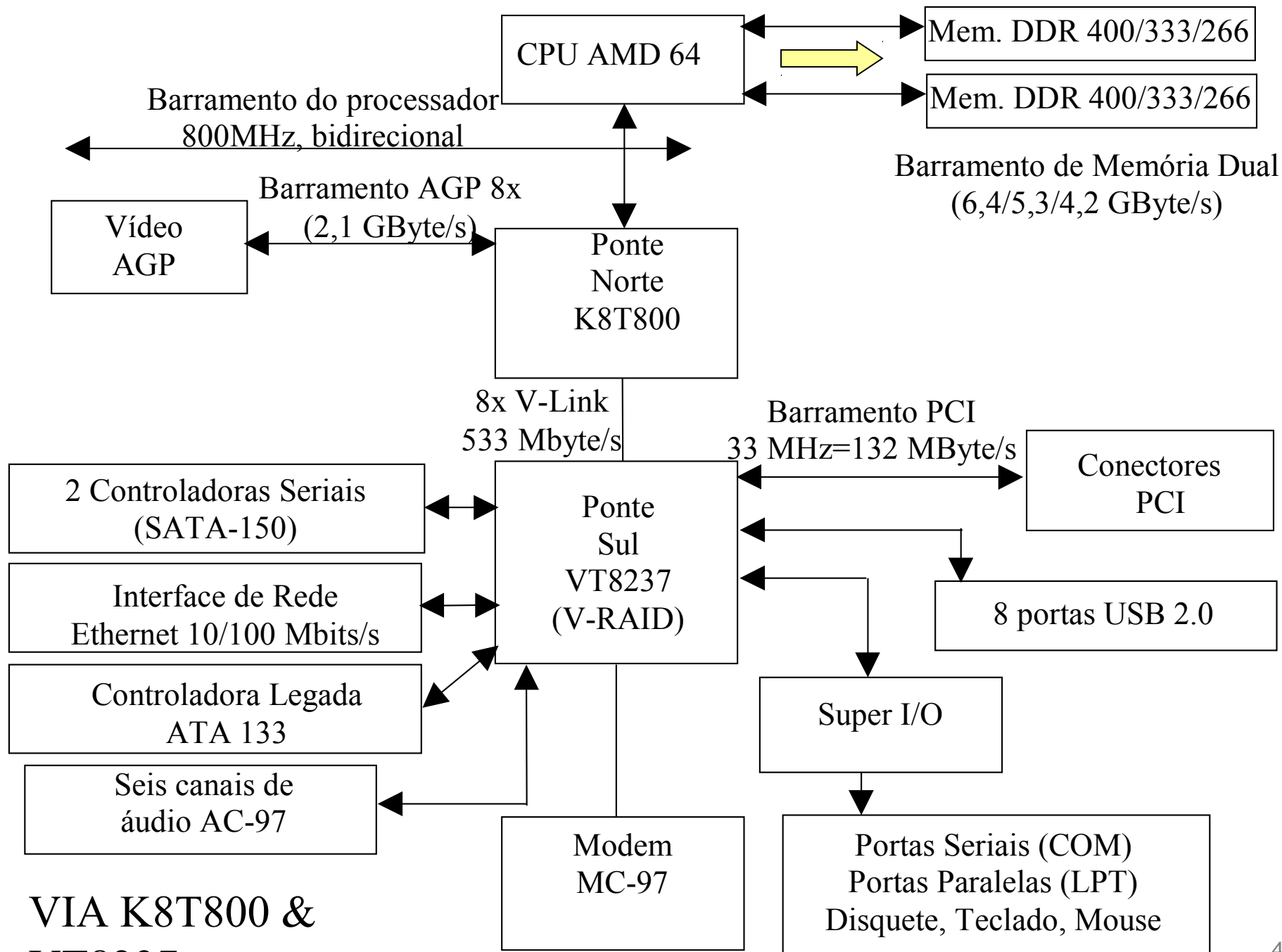
- Suportam tanto Intel como AMD
 - ALI (Acer Laboratories)
 - SiS
 - Via
 - nVidia
- Ponte Norte varia de acordo com processador
 - AMD: barramento Hyper Transport
- Ponte Sul equivalentes às da Intel

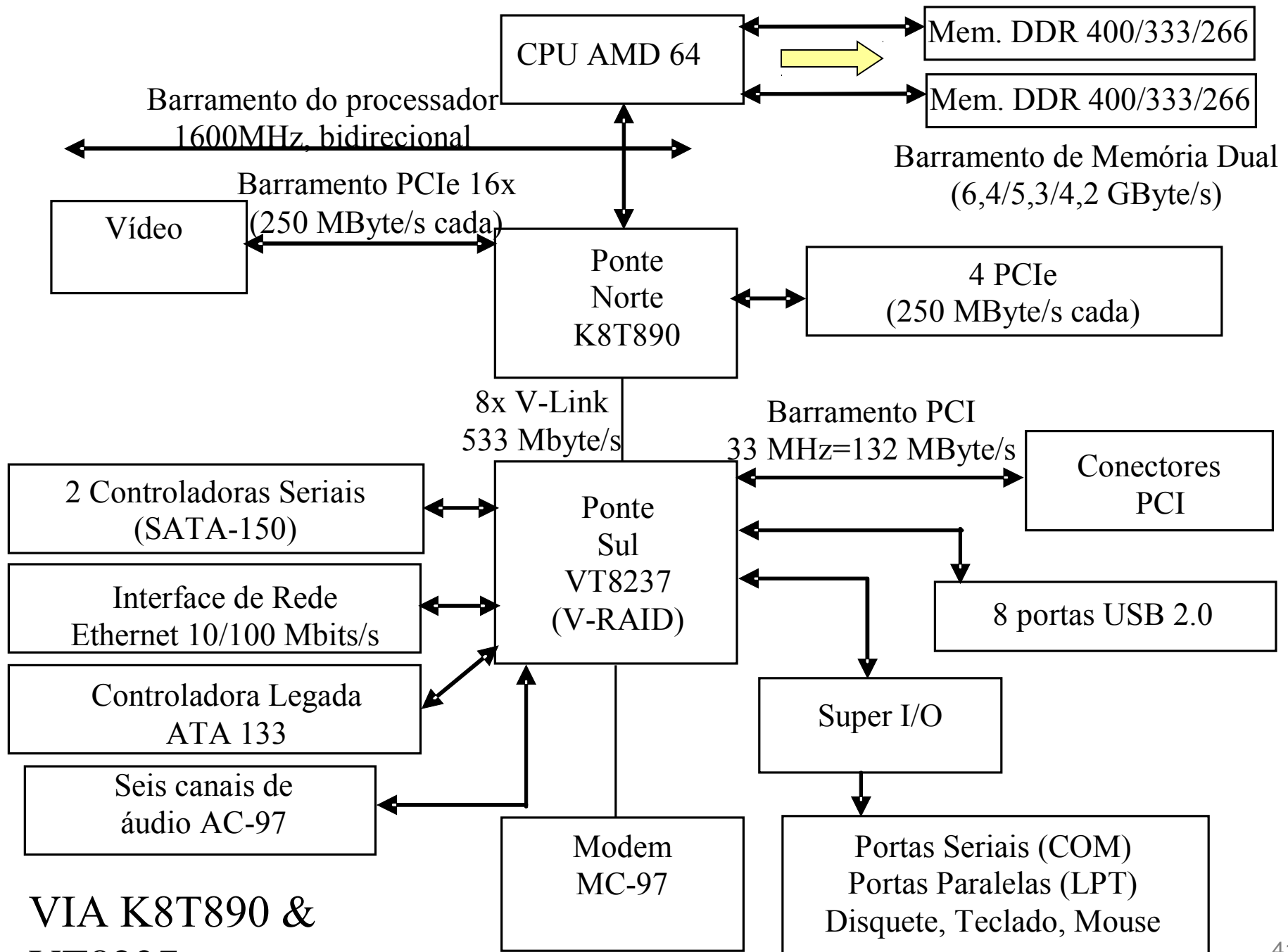




nVidia nForce 420 D







VIA K8T890 &
VT8237

Curiosidade

- http://en.wikipedia.org/wiki/List_of_device_bandwidths