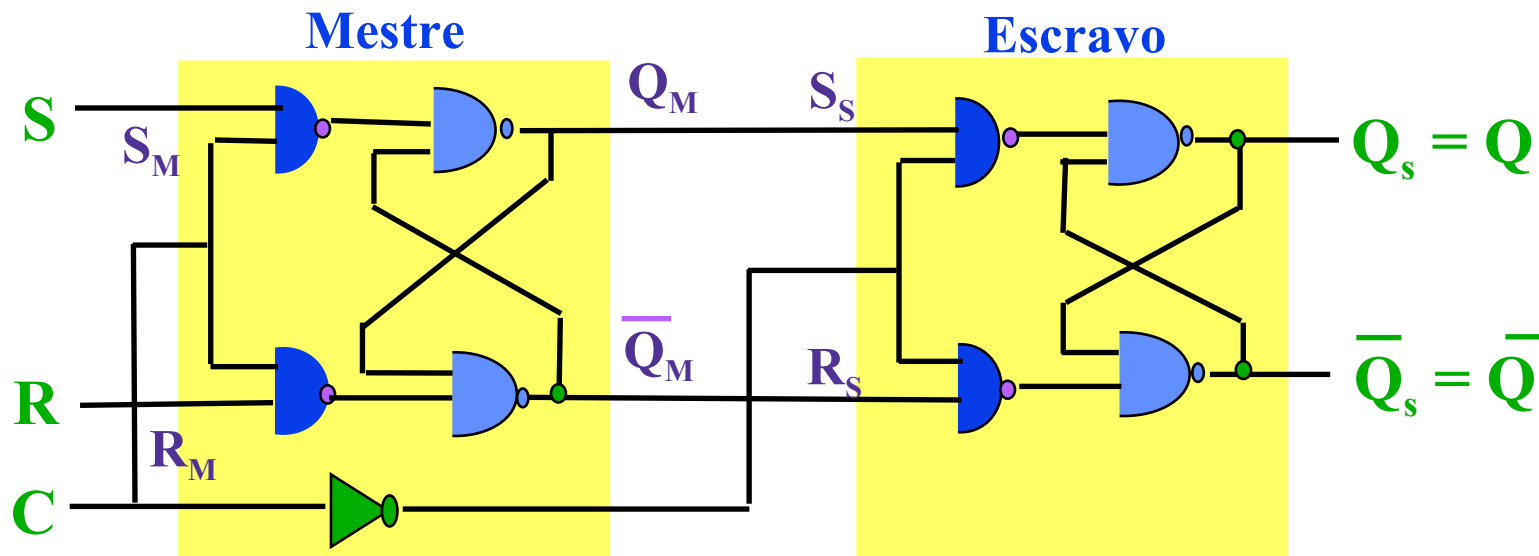


# INF01118 **Técnicas Digitais para Computação**

## **Flip-Flops**

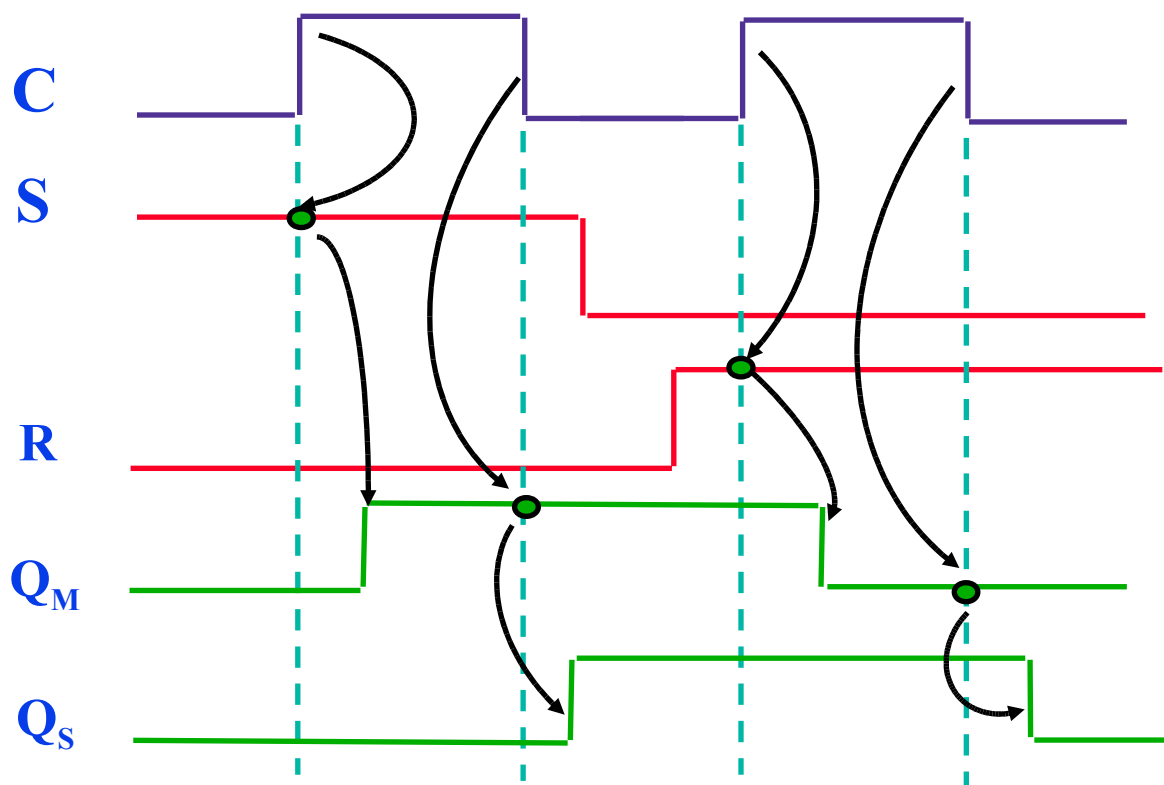
# 1. Flip-flop mestre-escravo tipo RS



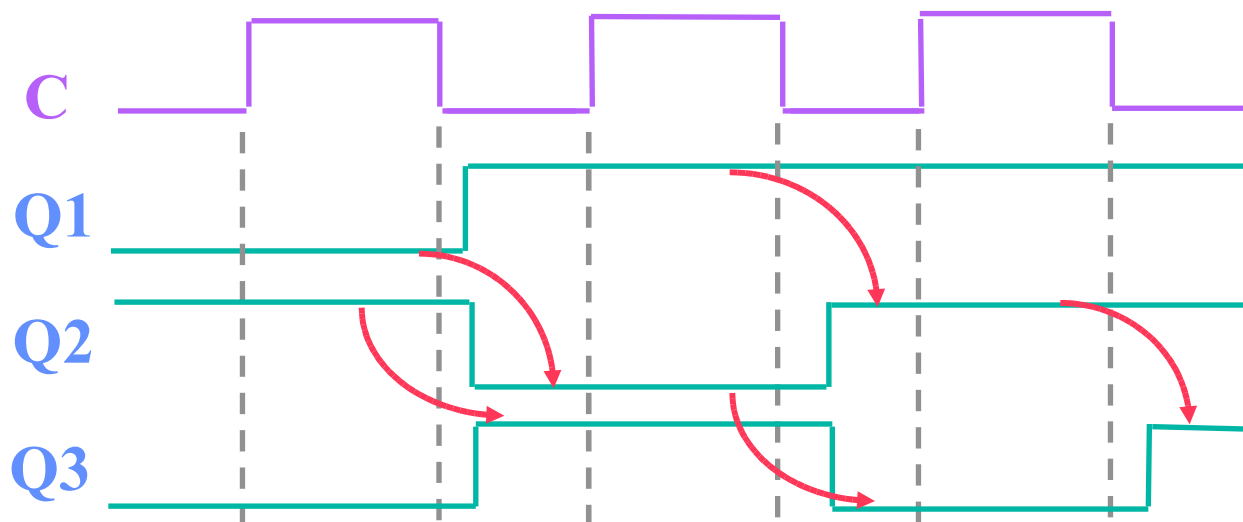
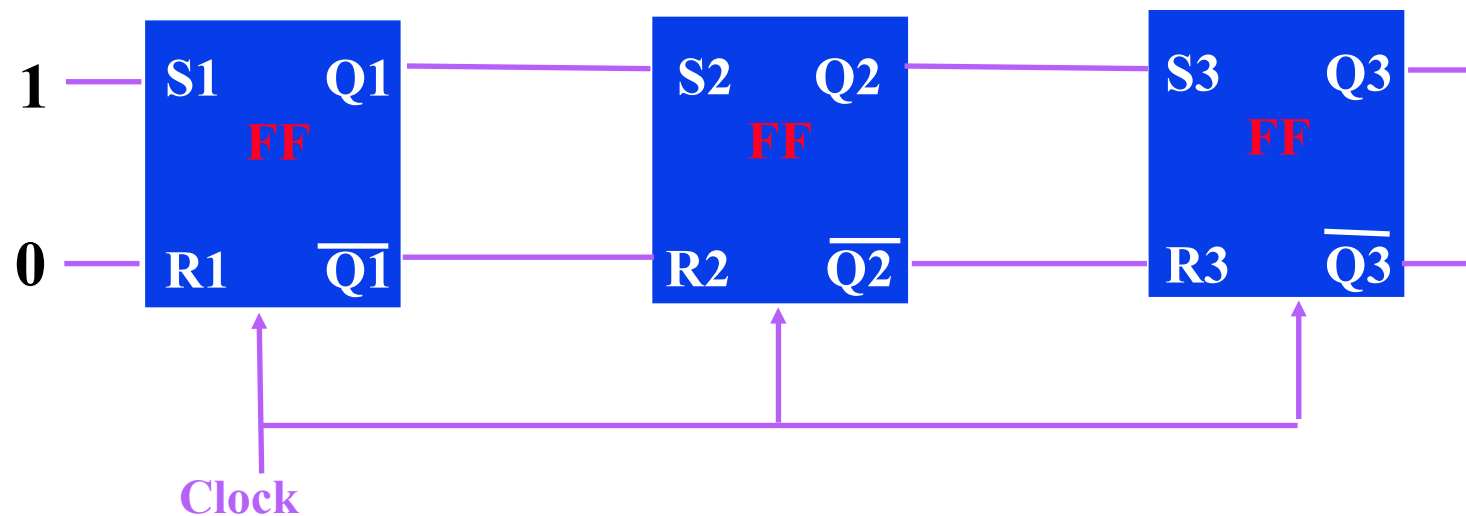
## Modo de operação

- C=1** → **Mestre habilitado** →  $Q_M$  segue  $S_M = S$  e  $R_M = R$   
**Escravo desabilitado** →  $Q_M$  e  $\bar{Q}_M$  podem variar à vontade sem causar efeito em  $Q = Q_s$
- C=0** → **Mestre desabilitado** →  $S_M$  e  $R_M$  podem variar à vontade sem causar efeito em  $Q_M$  →  $S_S$  →  $Q_s$   
**Escravo habilitado** →  $Q_s$  copia valor de  $Q_M$

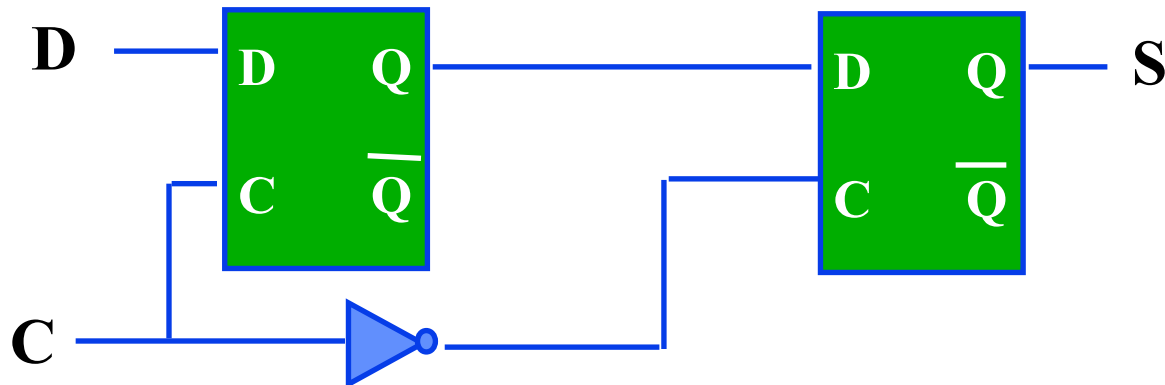
## Exemplo de sequência de eventos



## Cascadeando FF's mestre-escravo



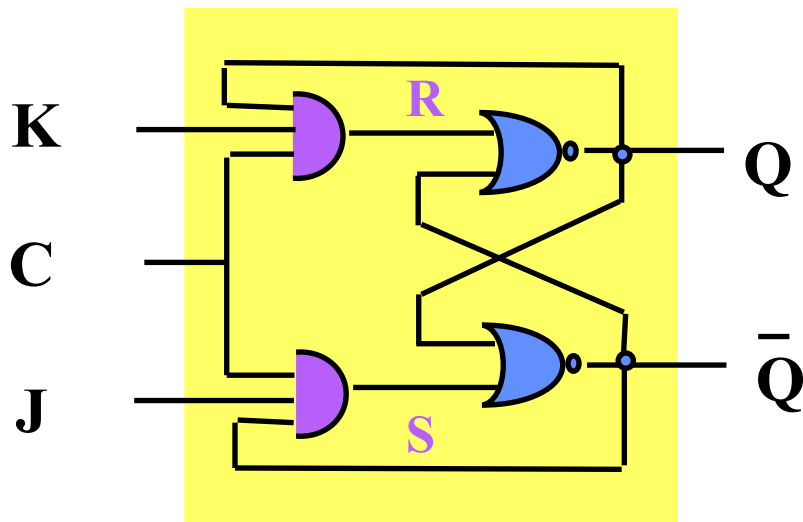
## 2. Flip-flop mestre-escravo tipo D



## 3. Flip-flop mestre-escravo tipo JK

- Problema com FF RS:  $R=1$  e  $S=1$  não pode ser usado
- Flip-Flop JK :  $R=1$  e  $S=1$  é usado para complementar o Flip-Flop

## LATCH JK = Latch RS + portas na entrada



### Operação FF JK

Se  $J = K = 1$

a) Se  $Q = 1$ , então

$\bar{Q} = 0$  e a entrada J fica desabilitada

$K = 1$  faz  $R = 1 \Rightarrow Q = 0$  complementa

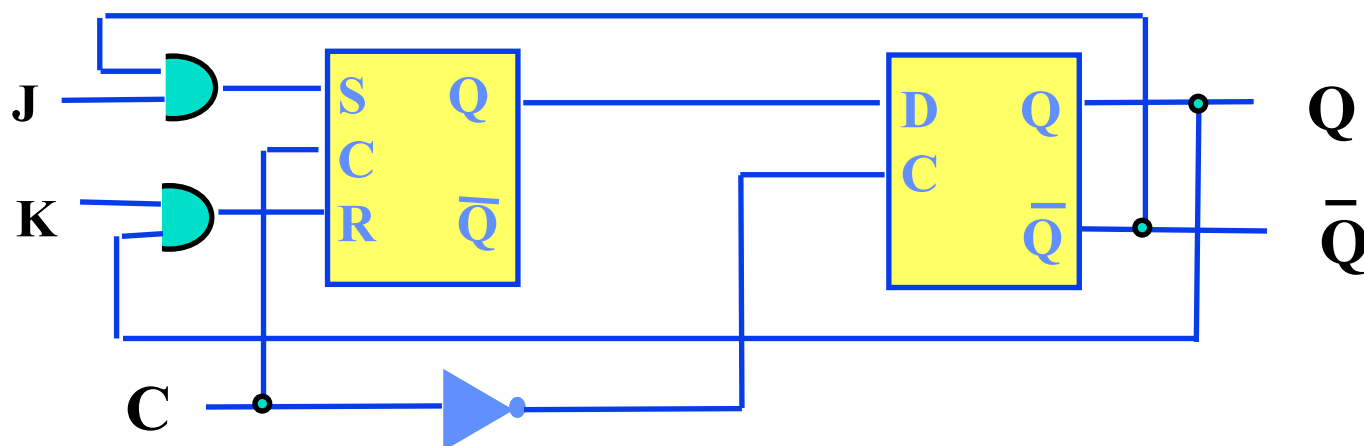
b) Se  $Q = 0$ , então

a entrada K fica desabilitada

$J = 1$  faz  $S = 1 \Rightarrow Q = 1$  complementa  
 $\bar{Q} = 0$

## Mestre-Escravo JK

supondo latch RS controlado, com NAND's



Se  $J = K = 1$

a) se  $Q = 1, \bar{Q} = 0$

b) se  $Q = 0, \bar{Q} = 1$



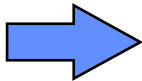
entrada J desabilitada

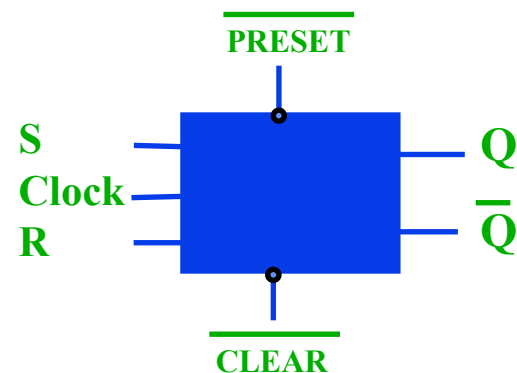
$K = 1$  faz  $R = 1 \Rightarrow Q = 0$  complementa

entrada K desabilitada

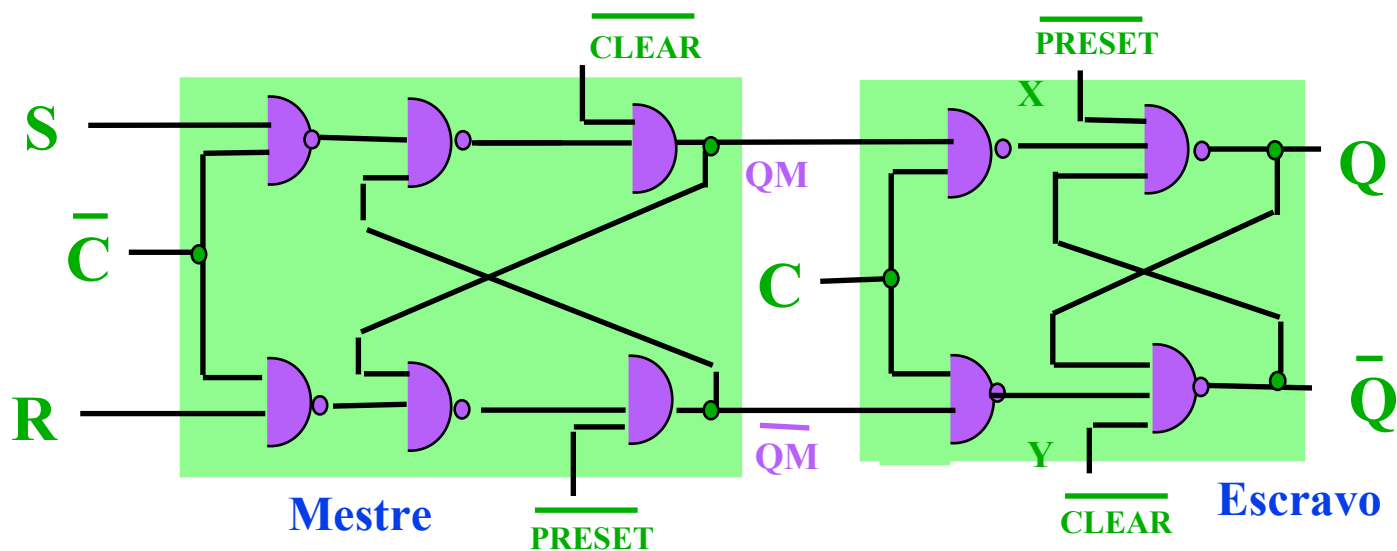
$J = 1$  faz  $S = 1 \Rightarrow Q = 1$  complementa

## 4. Entradas diretas (não controladas, assíncronas)

Preset (ou SET)  
Clear (ou RESET)  assíncronas com  
o relógio



Exemplo supondo mestre-escravo RS





## Operação

a) Se  $\overline{\text{CLEAR}} = 0$

$\overline{Q}$  é forçado para 1  
 $\underline{Q_M}$  é forçado para 0  $\Rightarrow X = 1$   
 $\text{PRESET} = 1$

$Q = 0$

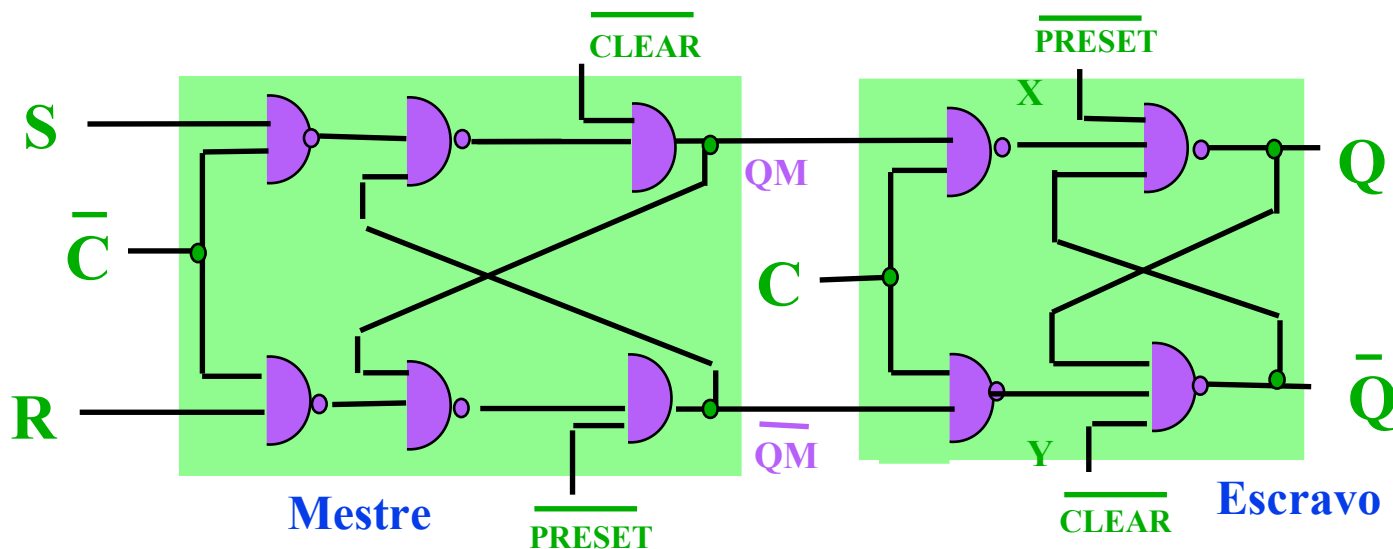
- C não tem efeito sobre X nem sobre  $\overline{Q}$
- R e S não têm efeito sobre  $Q_M$

b) Se  $\overline{\text{PRESET}} = 0$

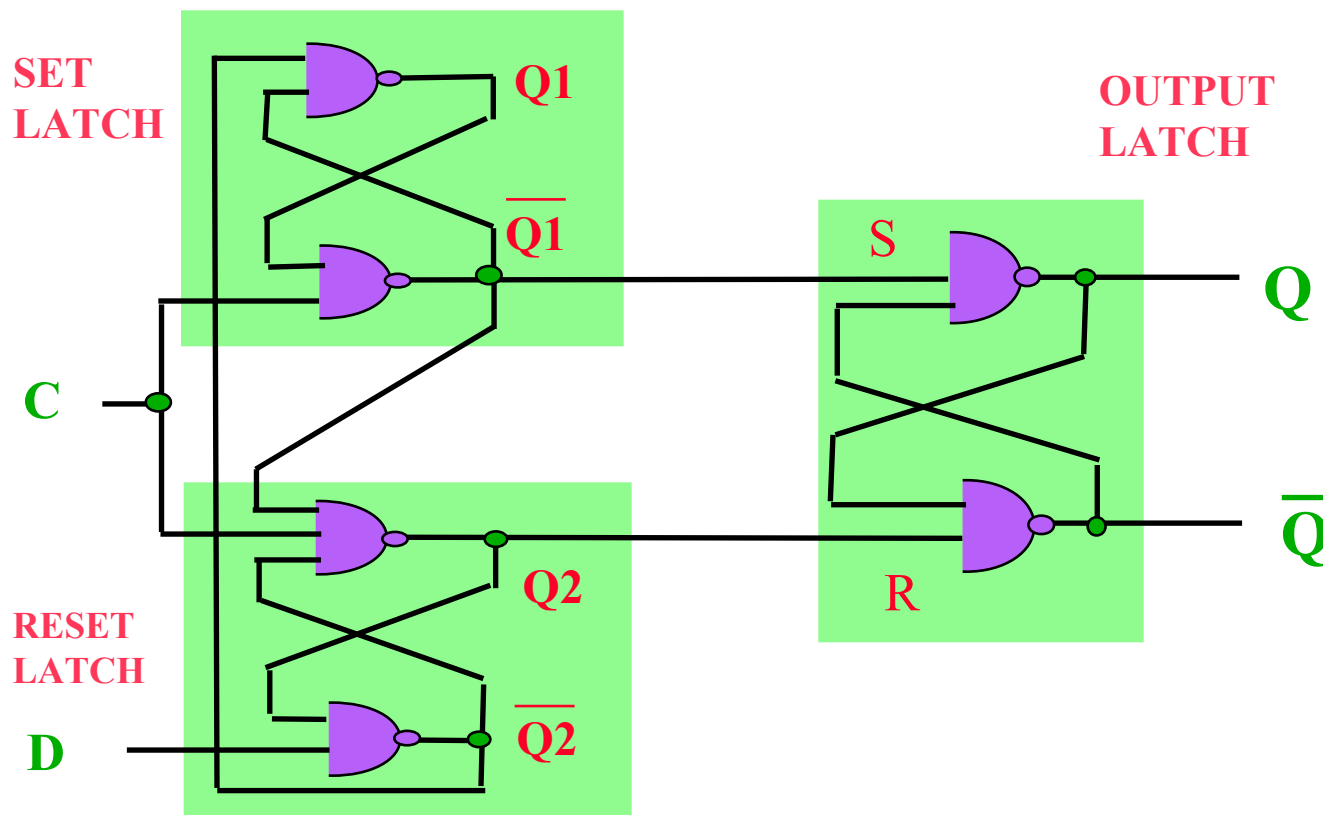
Q é forçado para 1  
 $\underline{Q_M}$  é forçado para 0  $\Rightarrow Y = 1$   
 $\text{CLEAR} = 1$

$\overline{Q} = 0$

- C, R, S não têm efeito



## 5. Flip-flop D sensível à borda (“edge-triggered”)



$C = 0 \Rightarrow S = 1, R = 1 \Rightarrow Q \text{ e } \overline{Q} \text{ mantêm estado atual}$

Supondo  $D = 0$  e  $C = 0$

$D = 0 \Rightarrow \overline{Q2} = 1$   
 $C = 0 \Rightarrow \overline{Q2} = 1$   
 $\overline{Q1} = 1$

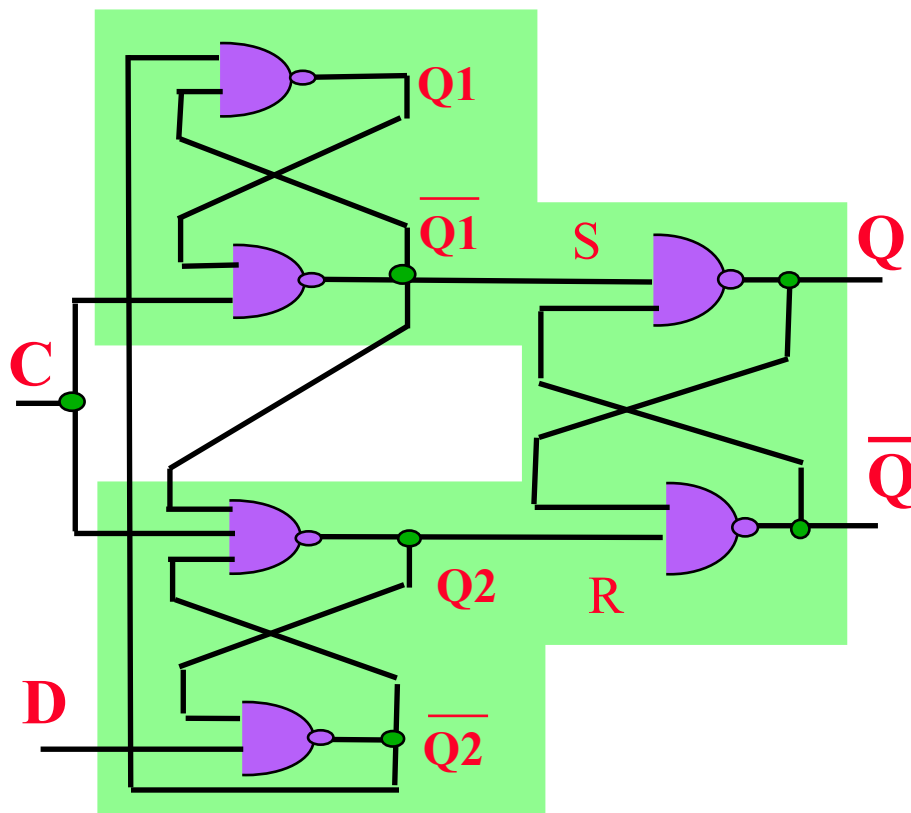
$\Rightarrow Q1 = 0$

**Q2 fica “armado”,  
esperando variação em C**

C tem uma transição  $0 \Rightarrow 1$

$C = 1 \Rightarrow Q2 = 0 (=R)$   
 $\Rightarrow \overline{Q} = 1, Q = 0$  (Q copiou D),

enquanto  $C = 1$ , qualquer alteração em D não afeta  $\overline{Q2}$ , pois  $Q2 = 0$ , e portanto não afeta R.



Supondo  $D = 1$  e  $C = 0$

$C = 0 \Rightarrow \underline{Q2} = 1$   
 $D = 1 \Rightarrow \underline{Q1} = 1$

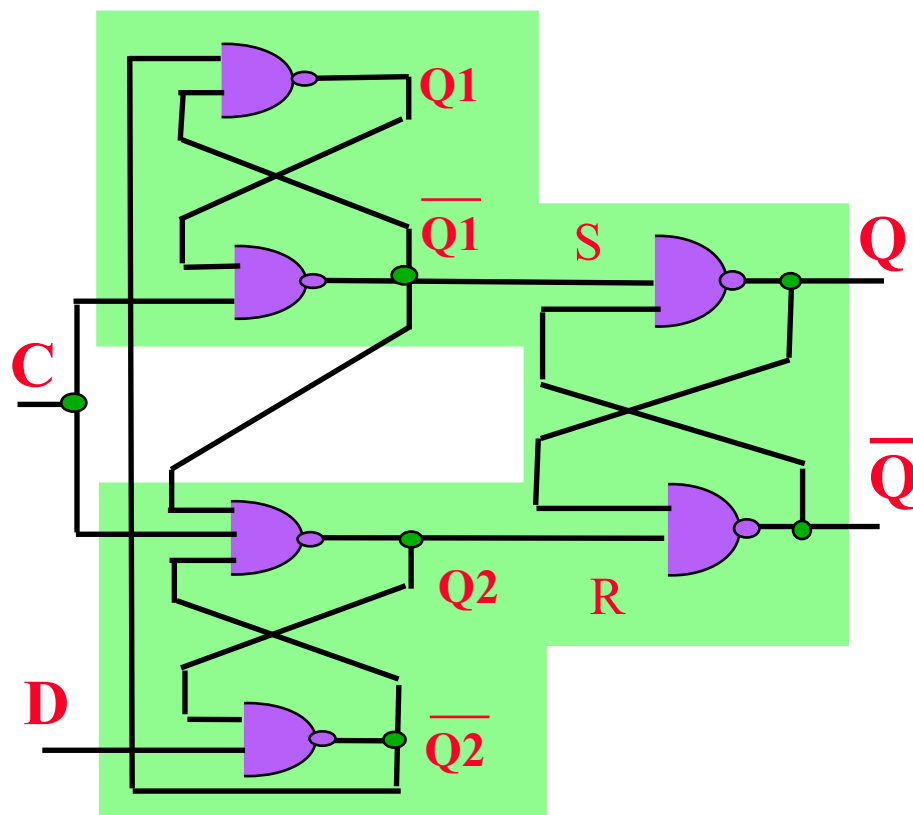
$\Rightarrow \overline{Q2} = 0 \Rightarrow Q1 = 1$

$\overline{Q1}$  fica “armado”,  
esperando variação em  $C$

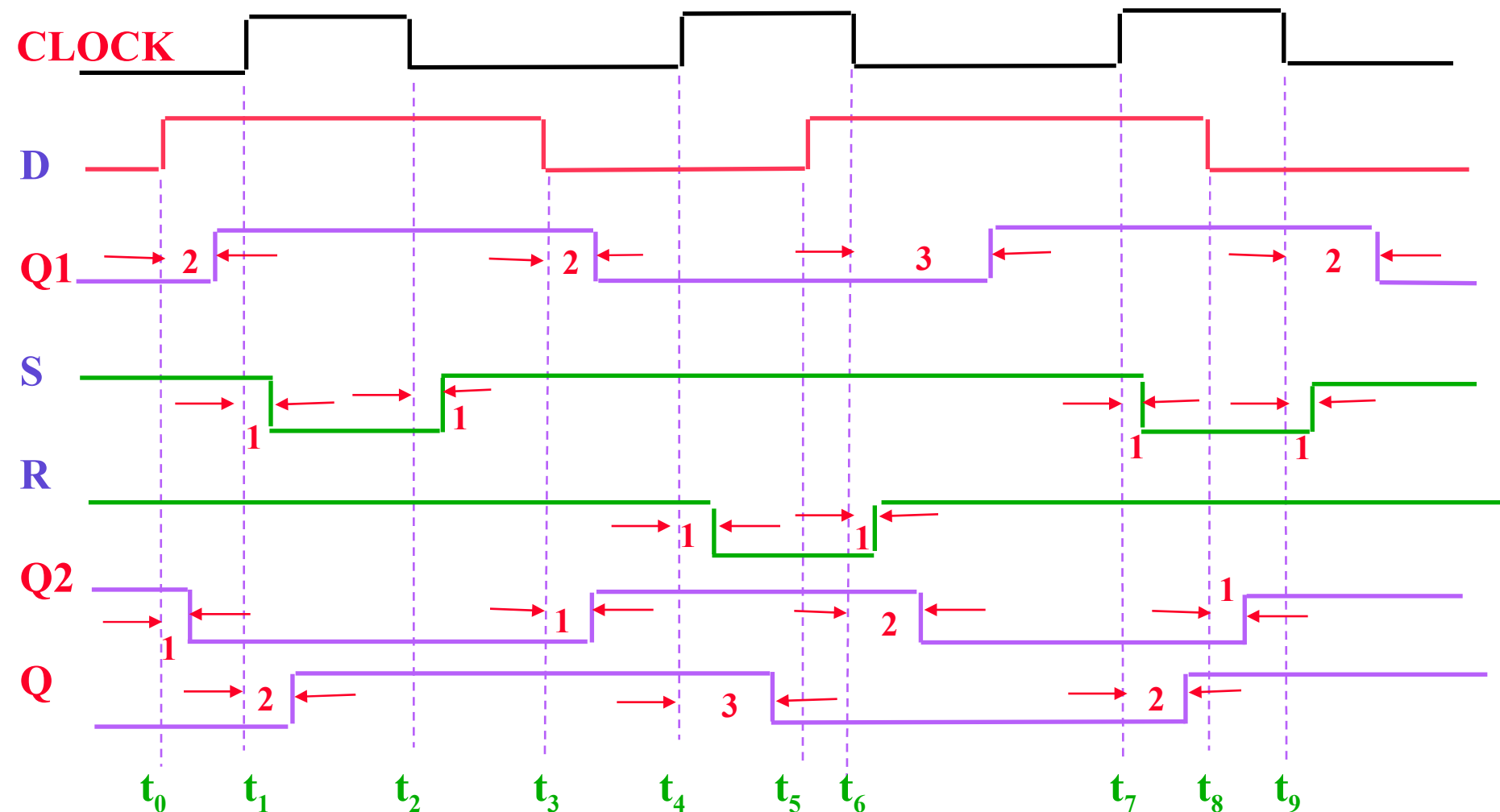
$C$  tem uma transição  $0 \Rightarrow 1$

$C = 1 \Rightarrow \overline{Q1} = 0 (=S)$   
 $\Rightarrow Q = 1, \overline{Q} = 0$  ( $Q$  copiou  $D$ ),

enquanto  $C = 1$ , qualquer alteração  
 em  $D$  pode afetar  $\underline{Q2}$ ,  
 mas não afeta  $Q1$ ,  
 e portanto não afeta  $\overline{Q1} (=S)$ .



## Diagrama de tempos: flip-flop sensível à borda



OBS: considerando como 1,0 ns o atraso de cada NAND

## 6. Classificação de FF's e latches

### Classificação segundo 2 critérios ortogonais

#### 1. Classificação segundo resposta ao pulso de relógio

- sensível ao nível (latch)
- sensível à borda
- mestre-escravo

#### 2. Classificação segundo funções das entradas de dados

RS (ou SR)

D

JK

T (TOGGLE) : JK com as 2 entradas ligadas juntas

$T = J = K = 0$  → nenhum efeito

$T = J = K = 1$  → complementa estado

## 7. Aspectos temporais

### 7.1 Tempos de SETUP e HOLD

Considerar FF D sensível à borda

Para que transição C: 0  $\rightarrow$  1 tenha efeito ( $Q \leftarrow D$ ), valor de  $\bar{Q}2$  (no caso de  $D = 0$ ) ou  $Q1$  (no caso de  $D = 1$ ) já deve estar estável em 1

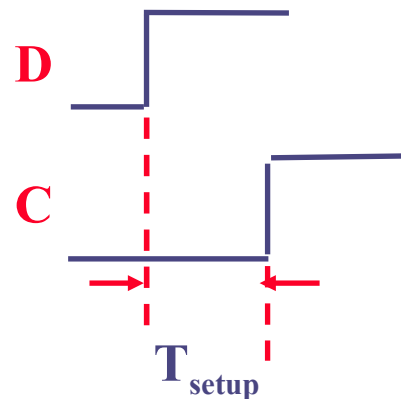
$D \rightarrow \bar{Q}2 = 1$  atraso de 1 porta

$D \rightarrow Q1 = 1$  atraso de 2 portas



Este atraso é chamado  
de tempo de SETUP

Após transição de C, D deve manter-se estável  
pelo tempo de HOLD



## 7.2 Ciclo de relógio

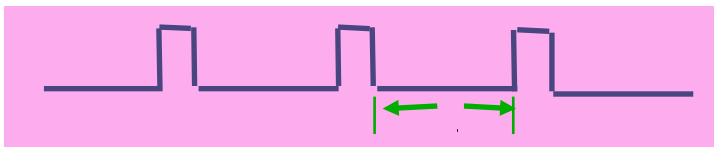
Considerando FF's mestre-escravo

Circuito seqüencial

Quando  $CK = 0$  ➡ saída recebe valor do mestre

Saídas dos diversos FF's devem se propagar através da lógica combinacional e retornar às entradas dos FF's com valores estáveis antes que  $CK = 1$

Usa-se pulso de relógio estreito ( mais tempo em 0 )



tempo para a lógica combinacional  
estabilizar