

LISTA DE EXERCÍCIOS 2

- Não há gabarito, nem respostas aos exercícios abaixo.
- Os exercícios são uma coletânea de questões de prova de INF01142 de 2000/01 a 2007/01. Como a disciplina evoluiu durante esse tempo, e teve inclusive mudança de enfoque em seus conteúdos programáticos, podem haver exercícios sobre assuntos não abordados atualmente na disciplina.
- Alguns exercícios foram retirados dos livros clássicos de sistemas operacionais de A. Tanenbaum e de A. Silberchatz. Há exercícios que foram adaptados desses livros.
- O principal objetivo é orientar o estudo para as provas de INF01142. Façam os exercícios em grupo, troquem idéias e resultados. O professor da disciplina não resolverá os exercícios para vocês, só discutirá dúvidas pensadas e não aquelas na forma "não sei fazer (...e nem tentei)". Pensem antes de discutir a possível solução com os professores da disciplina.

-
1. O que é memória virtual ? Qual a sua finalidade ?
 2. Analise quais as implicações em um sistema quando se decide utilizar uma política de gerência de memória do tipo **Alocação particionada dinâmica**. Apresente aspectos sob o ponto de vista programas de sistema (compiladores, ligadores, carregadores), fragmentação, sobrecusto (*overhead*) em caso de falta de memória física para carga de um programa, *swap*.
 3. Um sistema que emprega memória virtual utilizando paginação está executando um programa de tamanho de 8 Kbytes. A máquina possui uma memória física de 3 Kbytes e define quadros de 1 Kbytes. Na execução deste programa foi gerada a seguinte sequência de referências de páginas (*string de referência*) :

5 2 3 5 2 5 1 5 4 2 3 2 1 3 2 3

Supondo que a memória principal esteja inicialmente vazia indique quais páginas estarão residentes na memória principal após cada referência de página se a política de substituição for : (a) LRU e (b) FIFO. Qual a melhor política entre FIFO e LRU para estas referências ? Justifique sua resposta.

obs : indique com um «*» a página a ser substituída na próxima requisição em caso de ocorrer um *page fault*.

4. Um sistema operacional hipotético de um microcomputador baseado em um processador INTEL emprega como mecanismo de gerência de memória **paginação**. Este microcomputador possui uma memória RAM de 64 Mbytes e uma zona de *swap* de 128 Mbytes definida em uma área de um disco rígido. Sabe-se ainda que um processador da família INTEL, quando operando em modo *paginação*, emprega uma TLB (*Translation Lookaside Buffer* para traduzir o endereço lógico em físico.

Quando um processo está em execução ele possui uma cópia sua no espaço de *swap*. Assim sendo, suas páginas podem estar em qualquer combinação entre a memória física (RAM) e na área de *swap*. Todas as estruturas de dados utilizadas pelo sistema operacional relacionadas a este processo podem também estar entre a RAM e a área de *swap* (leia-se aqui tabelas de páginas).

Considerando-se o mecanismo de tradução oferecido pelos processadores INTEL quando operando em modo **paginação**, um endereço lógico é traduzido em endereço físico acessando-se inicialmente a TLB. Se ocorrer uma falta (*hit miss*) na TLB, duas tabelas distintas são acessadas : uma tabela de diretório de tabelas de páginas, e uma tabela de páginas. Estas tabelas podem estar armazenadas distintamente tanto na memória RAM (64 Mbytes) como no espaço de *swap* (disco rígido).

Em função desta organização existem 10 combinações diferentes para que um dado seja acessado na memória. Assumindo que a TLB possua um *hit ratio* de 0.9 e a memória principal (RAM) de «h», determine qual a probabilidade de ocorrer o melhor e o pior acesso à memória. DICA : pense no *hit ratio* da memória principal (RAM) como a probabilidade de que a página (dado) esteja na memória RAM e não no espaço de *swap*.

5. Em gerência de memória, alocação particionada dinâmica elimina a fragmentação interna, porém pode gerar uma fragmentação externa. Esta última, por sua vez, pode ser eliminada por um mecanismo compactação. Que relação esse procedimento tem com compiladores, ligadores e carregadores ?
6. Em gerência de memória, um esquema de alocação particionada estática pode ser empregada tanto considerando-se programas de código absoluto como de código relocável ? Sim ou não. EXPLIQUE.
7. Responda :
 - (A) O que é, e qual é a causa do fenômeno de *thrashing* ?
 - (B) Como o sistema operacional pode detectar que está ocorrendo *thrashing* ? Neste caso, qual a providência que o sistema operacional pode tomar para reduzir/eliminar este problema (em tempo de execução) ?
8. Justifique o porquê da existência de uma área em disco específica (partição) para o *swap* ? (Pense nas diferenças entre ler páginas de código dos sistemas de arquivos e de ler estas páginas a partir do espaço de *swap*).
9. Explique os seguintes algoritmos de alocação de memória : First-Fit, Best-Fit e Worst-Fit ? A que tipo de gerência de memória estes algoritmos estão associados ?
10. Em um determinado instante de tempo a memória de uma máquina apresenta as seguintes partições livres : 100K, 500K, 200K, 300K e 600K (nesta ordem). Quais partições ocuparão os processos de 212K, 417K, 112K e 426k (considerando que são submetidos a execução nesta ordem) para cada um dos três algoritmos de alocação de memória (First-Fit, Best-Fit e Worst-Fit) ? No seu ponto de vista qual, neste caso específico, é o melhor algoritmo ?
11. Um sistema operacional de um microcomputador baseado em um processador hipotético ALPHA emprega como mecanismo de gerência de memória **segmentação com paginação**. Este microcomputador possui uma memória RAM de 64 Mbytes e uma zona de *swap* de 128 Mbytes definida em uma área de um disco rígido. Sabe-se ainda que um processador da família ALPHA, quando operando em modo *segmentação com paginação*, emprega uma TLB (*Translation Lookaside Buffer* para traduzir o endereço lógico em físico. Quando um processo está em execução ele possui uma cópia sua no espaço de *swap*. Assim sendo, seus segmentos podem estar em qualquer combinação entre a memória física (RAM) e na área de *swap*. Todas as estruturas de dados utilizadas pelo sistema operacional relacionadas a este processo podem também estar entre a RAM e a área de *swap* (leia-se aqui tabelas de segmentos e de páginas). Considerando-se o mecanismo de tradução oferecido pelos processadores ALPHA quando operando em modo **segmentação com paginação**, um endereço lógico é traduzido em endereço físico acessando-se inicialmente a TLB. Se ocorrer uma falta (*hit miss*) na TLB, duas tabelas distintas são acessadas : uma tabela de segmentos, e uma tabela de páginas deste segmento. Estas tabelas podem estar armazenadas distintamente tanto na memória RAM (64 Mbytes) como no espaço de *swap* (128 Mbytes no disco rígido). Em função desta organização existem 10 combinações diferentes para que um dado seja acessado na memória. Assumindo que a TLB possua um *hit ratio* de 0.95 e a memória principal (RAM) de «h», determine o tempo médio de acesso de um dado na memória. Lembre-se, o tempo médio é calculado realizando-se a média aritmética simples entre o tempo de melhor acesso e o tempo pior acesso à memória. DICA : pense no *hit ratio* da memória principal (RAM) como a probabilidade de que a página (dado) esteja na memória RAM e não no espaço de *swap*.
12. Responda :
 - (A) O que é *working set* ?
 - (B) Determine o *working set* nos instantes t_1 e t_2 considerando uma janela de $\delta = 5$ para a seguinte sequência de acessos a páginas : 2 6 1 5 7 7 7 7 5 1 t_1 6 2 3 4 1 2 3 4 4 4 3 4 3 4 4 4 t_2 1 3 2 3 4
13. Como o conceito de *working set* é utilizado para evitar e/ou eliminar *thrashing* ?
14. Considerando o ciclo montador, ligador e carregador ; determine qual(ais) sequência(s) abaixo não é (são) válida(s). Justifique sua resposta.
 - (A) montador código absoluto, ligador absoluto, carregador absoluto
 - (B) montador código relocável, ligador absoluto, carregador absoluto
 - (C) montador código absoluto, ligador relocador, carregador relocador
 - (D) montador código relocável, ligador relocador, carregador relocador
15. Compare a solução de se ter uma partição exclusiva para *swap* contra a solução de implementar a área de *swap* via arquivo ? Quais são as vantagens e desvantagens de cada uma dessas soluções ?

16. Um sistema que utiliza paginação possui as seguintes características : espaço lógico de endereçamento em 32 bits, espaço físico de endereçamento também em 32 bits, tamanho do quadro (página) igual a 4 kbytes. Responda :

- (A) Qual é o tamanho máximo de um processo nesse sistema ?
- (B) Se uma referência a memória principal (RAM) leva 200 nanosegundos, quanto tempo é necessário para fazer um acesso a um byte na memória ? [Considerar que a tabela de páginas está inteiramente na memória e que não há uso de TLB].
- (C) Adicionando-se uma TLB nesse hardware com um *hit-ratio* igual a 0.90, determine o tempo médio de acesso a memória ? [Considerar que um acesso a TLB leva 10 nanosegundos e que cada entrada da TLB possui largura suficiente para armazenar todas as informações necessárias. Tempo de acesso a memória principal (RAM) é de 200 nanosegundos].
- (D) Se esse mesmo sistema utiliza-se um esquema de paginação em dois níveis isso modificaria em alguma coisa nas suas respostas dos itens "A" e "B" ? JUSTIFIQUE.

Nesse processador o barramento de dados para acesso a memória principal (RAM) é de 32 bits. A tabela de páginas, além dos bits de mapeamento de páginas em quadros, possui 4 bits de gerenciamento (bit modificação, bit de válido, bit de referência, bit de tranca).

17. A memória virtual pode ser implementada através de segmentação. O funcionamento é bastante similar ao da paginação. Entretanto, como um segmento possui tamanho variável algumas adaptações devem ser feitas nos algoritmos de substituição de páginas FIFO e LRU para que eles possam ser empregados como algoritmos de substituição de segmentos. Descreva essas adaptações. Considere estratégias para o caso em que os segmentos possam ser realocados em memória e para sistemas em que a relocação não é possível.
18. O processador Motorola 68030 (32 bits) suporta um esquema de paginação em 4 níveis. Considerando que cada nível é armazenado em uma tabela separada na memória, determine o tempo efetivo de acesso para um *hit ratio* de 0.98. Considere : tempo de acesso a memória RAM igual a 100 ns, tempo de acesso a TLB igual a 20 ns.
19. Um computador possui quatro quadros. O tempo de carga, do último acesso, e os bits de uso (U) e de modificação (M) para cada página são mostrados abaixo (os tempos estão em *clock ticks*) :

Página	Tempo carga	Últ. ref.	Bit U	Bit M
0	126	279	0	0
1	230	260	1	0
2	120	271	1	1
3	160	280	1	1

Qual página é substituída se o algoritmo de substituição for : FIFO, LRU, segunda chance, segunda chance melhorado.

20. Um processador possui um endereçamento lógico de 32 bits e realiza paginação em dois níveis. O endereço virtual é dividido em duas partes, uma de 9 bits (tabela de diretório de páginas), outra de 11 bits (tabela de páginas). Determine :
- (A) O tamanho máximo em bytes de um processo nesse sistema.
 - (B) O número máximo de páginas de um processo.
 - (C) O tamanho da página e do quadro.
 - (D) O fato de haver uma dupla indireção afeta ou não o processo de acesso (consulta) a TLB ? JUSTIFIQUE sua resposta.
21. Um processador possui um endereçamento lógico de 32 bits e realiza paginação em dois níveis. Considerando que as páginas nesse sistema possuem 4 Kbytes e que os bits não utilizados para o deslocamento dentro da página são igualmente divididos entre os dois níveis, determine :
- (A) O tamanho máximo em bytes de um processo nesse sistema.
 - (B) O número máximo de páginas de um processo.
 - (C) A quantidade de entradas existente no diretório de tabelas de páginas.
 - (D) O fato de haver uma dupla indireção afeta ou não o processo de acesso (consulta) a TLB ? JUSTIFIQUE sua resposta.

22. Em um sistema de memória virtual com paginação por demanda, em um período T de tempo, toda a tabela de páginas de um processo está na TLB, porém nem todas as páginas do processo podem estar carregadas na memória. Esse sistema leva 8 ms para atender uma falta de página (*page-fault*) SE existir um quadro disponível na memória RAM para receber a página “faltante”, ou se a página a ser substituída (página “vítima”) não tiver sido modificada. SE a página a ser substituída (página “vítima”) foi modificada, o tempo de atendimento de uma falta de página sobe para 20 ms. A probabilidade de uma página a ser substituída ter sido modificada é de 70%. Considerando que o tempo de acesso a memória RAM é de 100 ns, determine a taxa máxima aceitável de falta de páginas para que se obtenha um tempo de acesso efetivo não superior a 200 ns.
23. Responda :
- (A) Montadores, compiladores e carregadores podem trabalhar tanto de forma absoluta como com relocação. Determine **todas** as combinações válidas para essas três ferramentas.
 - (B) Em que condições é possível ter um código executável absoluto e esse código ser carregado em qualquer posição de memória.
24. Para que serve o algoritmo *buddy* ? Como funciona ? Qual o seu objetivo ?
25. O sistema operacional um microcomputador baseado em um processador hipotético NEO emprega como mecanismo de gerência de memória **segmentação com paginação**. Este microcomputador possui uma memória RAM de 256 Mbytes e uma zona de *swap* de 512 Mbytes definida em uma área de um disco rígido. Sabe-se ainda os processadores da família NEO empregam uma TLB (*Translation Lookaside Buffer* para traduzir o endereço lógico em físico.
- Quando um processo está em execução ele possui uma cópia sua no espaço de *swap*. Assim sendo, suas páginas podem estar em qualquer combinação entre a memória física (RAM) e na área de *swap*. Todas as estruturas de dados utilizadas pelo sistema operacional relacionadas a este processo podem também estar entre a RAM e a área de *swap* (leia-se aqui tabelas de segmentos e páginas).
- Considerando-se o mecanismo de tradução oferecido pelos processadores NEO quando operando em modo **segmentação com paginação**, um endereço lógico é traduzido em endereço físico acessando-se inicialmente a TLB. Se ocorrer uma falta (*hit miss*) na TLB, duas tabelas distintas são acessadas : uma tabela de segmentos e uma tabela de páginas. Estas tabelas podem estar armazenadas distintamente tanto na memória RAM (256 Mbytes) como no espaço de *swap* (disco rígido).
- Assumindo que a TLB possua um *hit ratio* de 0.98 e a memória principal (RAM) um *hit ratio* h , determine qual a probabilidade de ocorrer o melhor e o pior acesso à memória. JUSTIQUE SUA RESPOSTA.
- DICA : pense no *hit ratio* da memória principal (RAM) como a probabilidade de que a página (dado) esteja na memória RAM e não no espaço de *swap*.
26. Assumindo que a memória física de um sistema possui apenas 4 quadros, forneça a quantidade de *page faults* que o string de referência *abgadeabadegde* para cada uma das políticas abaixo. (Na inicialização do sistema todos os quadros estão livres.)
- (A) FIFO
 - (B) LRU
 - (C) Algoritmo da segunda chance melhorado, considerando que todos os acessos a página b são de escrita.
 - (D) Working set com $\tau = 2$
27. Um processador hipotético TRIX oferece suporte a memória virtual através de segmentação com paginação. Cada acesso a um endereço virtual (s, p, d) exige portanto três acessos a memória : um para tabela de segmentos, outro para a tabela de páginas e finalmente acesso ao dado. Para melhorar o desempenho desse sistema o projetista de hardware incluiu na MMU do processador TRIX uma TLB. Se cada acesso a memória leva m ns e o acesso a TLB é feito em $m/10$ ns, determine o *hit ratio* necessário para reduzir o tempo médio de acesso (tempo efetivo) em 50% ?
28. Considerando a afirmação : "Em gerência de memória, o esquema de alocação particionada estática pode ser empregada tanto para a alocação de programas de código absoluto como para programas de código relocável". Responda : A afirmação é correta ? Justifique sua resposta.
29. Um sistema que utiliza segmentação com paginação possui as seguintes características : espaço lógico de endereçamento em 32 bits, espaço físico de endereçamento também em 32 bits, tamanho da página igual a 256 bytes, tamanho máximo de um segmento igual a 1 MByte (2^{20} bytes). O processador utilizado nesse sistema acessa a memória em palavras de 32 bits. Responda :

- (A) O tamanho do maior processo.
- (B) A quantidade máxima de segmentos de um processo e o número máximo de páginas que cada segmento possui.
- (C) Qual o tempo médio de acesso a memória se a MMU do processador possuir uma TLB com um *hit-ratio* igual a 0.95 ? Considere que a entrada da TLB tem largura em bits suficiente para realizar o processo de tradução de endereço lógico para físico. (Tempo de acesso a memória igual a 100 ns ; tempo de acesso a TLB igual a 10 ns)
- (D) Se o tamanho da página fosse modificado para 512 bytes, o que isso afetaria nas respostas dos itens a, b e c ? (O tamanho máximo do segmento se mantém em 1 MByte)
30. Um processador hipotético D-IX oferece suporte a memória virtual através de paginação a dois níveis. Cada acesso a um endereço virtual (d,p,d) exige portanto três acessos a memória : um para o diretório de tabelas de páginas, outro para a tabela de páginas e finalmente acesso ao dado. Para melhorar o desempenho desse sistema o projetista de hardware incluiu na MMU do processador D-IX uma TLB. Se cada acesso a memória leva m ns e o acesso a TLB é feito em $m/10$ ns, determine o *hit ratio* necessário para reduzir o tempo médio de acesso (tempo efetivo) para $1.3m$?
31. Desconsiderando memória virtual, responda :
- (A) Qual a vantagem da paginação sobre múltiplas partições de tamanho fixo e idêntico ?
- (B) Qual a vantagem da segmentação sobre múltiplas partições de tamanho variável ?
32. Responda :
- (A) Explique o que é amarração (binding) dinâmica ? Qual o seu impacto nos mecanismos de gerência de memória estudados (paginação, segmentação, múltiplas partições de tamanho fixo e variável).
- (B) Que tipos de problemas você vê em um sistema operacional que efetua a relocação no momento da carga ? Que soluções você daria para esses problemas ?
33. Um processador possui um endereço lógico de 32 bits e páginas de 1 Kbyte. O projetista do sistema operacional que emprega esse processador deseja que a tabela de páginas caiba em uma página, para tanto decidiu implementar paginação multinível. Considerando que cada entrada na tabela de páginas ocupa 4 bytes, quantos níveis devem ser empregados ? Qual a quantidade de bits necessária para endereçar as tabelas nos diferentes níveis ?
34. Um sistema com paginação utiliza uma TLB e mantém a tabela de páginas integralmente em memória, ou seja, ela **NÃO** fica parcialmente no disco. O tempo de acesso a uma posição de memória realizada através de uma entrada da tabela de páginas que está na TLB (*hit*) é de 100 ns, caso contrário, isto é, para acessos feitos através de uma entrada da tabela de páginas que está em memória, o tempo de acesso é 180 ns. Pergunta-se : qual o *hit ratio* (h) necessário para se ter um tempo de acesso efetivo (médio) de 125 ns ?
35. Assumindo que a quantidade de memória em um sistema é inversamente proporcional a taxa de *page faults*, cada vez que a quantidade de memória no sistema for dobrada, a taxa de *page faults* é reduzida para a metade. Em um sistema que no momento está com 32 Mbytes de memória, o acesso a uma posição de memória quando ocorre uma *page fault* é de $1001\mu s$ (1.001 ms) e de $1\mu s$ no caso contrário. Nessa configuração, o tempo efetivo de acesso é de $301\mu s$. Pergunta-se : quanto de memória deve ser colocada nesse sistema para que o tempo de acesso efetivo seja de pelo menos $101\mu s$? (considere que a expansão de memória nesse sistema progride sempre em potências de 2).
36. Um computador possui quatro quadros. O tempo de carga, do último acesso, e os bits sujo (S) e de referência (R) para cada página são mostrados abaixo (os tempos estão em *clock ticks*) :

Página	Tempo carga	Últ. ref.	Bit Sujo	Bit Referência
0	227	327	1	0
1	345	367	1	1
2	101	331	1	1
3	234	382	0	1

Qual página é substituída se o algoritmo de substituição for : FIFO, LRU, segunda chance.

37. Responda :
- (A) Montadores, ligadores e carregadores podem gerar tanto código absoluto como relocável. Determine todas as combinações possíveis entre essas três ferramentas. Assinale também qual dessas combinações podem ser usadas com uma MMU que faz amarração dinâmica.

(B) É possível implementar memória virtual em sistemas que utilizam múltiplas partições (fixas ou dinâmicas)? JUSTIFIQUE sua resposta e explicita, se houver, quais fatores são limitantes. (DICA : pense quais são as motivações para se implementar memória virtual)

38. Responda :

- (A) Em um sistema existem 80 páginas numeradas de P_0 a P_{79} . O ponteiro "próxima vítima" aponta para a página P_{40} . Ao ser executado, um algoritmo global de segunda chance encontra todas as páginas com o bit de referência igual a 1. Qual página será substituída? Explique o que ocorre nessa situação?
- (B) Considerando a seguinte sequência de acessos a páginas de um processo : 0,9,0,1,8,1,8,7,3,7,1,2,8,2,7,8,2,3,8,3. Qual é o working set $W(\Delta, t)$ para $\Delta = 6$ e t igual a um tempo entre o décimo quinto e o décimo sexto acesso?

39. Um processador possui um endereço lógico de 32 bits e páginas de 1 Kbyte. Cada entrada na tabela de páginas ocupa 4 bytes. O projetista do sistema operacional que emprega esse processador deseja que a tabela de páginas caiba em uma página, para tanto decidiu implementar paginação multinível. A solução nesse caso exige uma paginação em 3 níveis, sendo que dois dos níveis necessitam 8 bits de endereçamento e o outro deles 6 bits. Determine a ordem em que esses campos devem aparecer no endereço virtual (6, 8, 8 ou 8, 8, 6 ou 8, 6, 8)? Ou essa ordem é indiferente? JUSTIFIQUE sua resposta.

40. Um sistema cujo mapa de alocação de memória é fornecido na figura abaixo recebe requisições para alocação de blocos de 20 K, 10K e 5 K (nesta ordem). Blocos marcado com U estão ocupados e blocos marcados com L são blocos livres. Determine o **endereço inicial** que cada requisição será alocada se a política de alocação for : *first-fit*, *best-fit* ou *worst-fit*.

U	L	U	L	U	L	U	L	U	L	U	L
10K	10K	20K	30K	10K	5K	30K	20K	10K	15K	20K	20K

End. menos significativo

End. mais significativo

41. Explique por quê o tamanho de páginas é sempre uma potência de 2. Conceitualmente essa característica é obrigatória?
42. Em um sistema que usa segmentação paginada o endereço virtual é composto por 16 segmentos de até 64 Kbytes de tamanho. Cada segmento é dividido em páginas de 512 bytes. Determine quantos bits do endereço virtual especificam :
- (A) Número do segmento
- (B) Número de página
- (C) Deslocamento dentro da página
- (D) O tamanho total e a ordem em que os campos dos itens (A),(B) e (C) aparecem no endereço virtual.
43. Em um sistema que emprega paginação por demanda, um acesso a um endereço que está mapeado em memória leva 200 ns. Se o endereço não estiver mapeado em memória é preciso carregar essa página em memória. Nesse caso o tempo de acesso a esse endereço é de 7 ms se houver um quadro livre ou se a página que sofrerá o *page-out* não tiver sido modificada. Se a página a ser substituída é uma página modificada o tempo de acesso sobe para 15 ms. Considerando que apenas 5% dos acessos provocam falta de páginas (*page faults*) e o algoritmo de substituição de páginas seleciona em 60% dos casos páginas modificadas para serem substituídas, determine o tempo efetivo de acesso do sistema nessas condições?
44. Um processador gera endereços lógicos de 32 bits e emprega páginas de 2048 bytes (2 Kbytes). Cada entrada na tabela de páginas ocupa 4 bytes. Deseja-se empregar as próprias páginas para armazenar as tabelas de páginas, ou seja, uma tabela deve caber em uma página. Projete o esquema de endereçamento lógico indicando quantos bits e quantos níveis são empregados para endereçar as entradas da(s) tabela(s) de páginas e quantos bits são empregados para o deslocamento.
45. Em um sistema que usa segmentação com paginação, o endereço lógico é composto por até oito segmentos de até 2^{29} bytes de tamanho. Cada segmento é dividido em páginas de 256 bytes. Quantos bits especificam o número do segmento, o número da página, o deslocamento dentro da página e o endereço lógico completo.
46. O que diferencia paginação pura de um mecanismo de alocação particionada estática com partições de um mesmo tamanho? E o que diferencia segmentação pura de alocação particionada dinâmica?

47. Responda :

- (A) Que relação existe entre o procedimento de *swapping* e o tipo do código executável (absoluto ou relocável)? Isso representa algum problema? Caso afirmativo, qual(ais) problema(s) e que solução(ões) podem ser adotadas?
- (B) Que relação existe entre o procedimento de *pagging* e a realização de E/S por parte dos processos? Isso representa algum problema? Caso afirmativo, qual(ais) problema(s) e que solução(ões) podem ser adotadas?

48. Em um sistema que usa segmentação com paginação, o endereço lógico é composto por até dezesseis segmentos de até 2^{28} bytes de tamanho. Cada segmento é dividido em páginas de 128 bytes. Quantos bits especificam o número do segmento, o número da página, o deslocamento dentro da página e o endereço lógico completo.

49. Em um sistema que utiliza paginação pura, o tamanho médio de um processo é de s bytes e sua tabela de páginas é armazenada de forma paginada. Cada entrada na tabela de página ocupa e bytes. Determine, em bytes, em função de s e de e , o tamanho da página (p) que minimize o espaço desperdiçado devido a fragmentação interna.

DICA 1 : O tamanho da página afeta o grau de fragmentação interna e a quantidade de entradas necessária em uma tabela de páginas. Ambos representam custos (desperdício) em um sistema de paginação.

DICA 2 : A derivada de u em relação a u é uma constante. A derivada de $1/u$ em relação a u é $-1/u^2$.

50. Um sistema que utiliza paginação em dois níveis possui as seguintes características : espaço lógico de endereçamento em 32 bits, espaço físico de endereçamento também em 32 bits, tamanho do quadro (página) igual a 4 kbytes. O processador utilizado nesse sistema acessa a memória em palavras de 32 bits. Cada entrada na tabela de página possui 4 bytes. Responda :

- (A) Quantas páginas, considerando as que armazenam as diferentes tabelas e as ocupadas pelo processo em si, o maior processo utiliza? E o menor?
- (B) A quantidade de diretórios de tabelas de páginas e o número entradas máximo por diretório.
- (C) A quantidade máxima de tabelas de páginas e o número de entradas máximo de cada tabela.
- (D) Se uma referência a memória leva 100 ns, qual o tempo médio necessário para realizar um acesso a um dado (byte) na memória se a MMU apresentar uma TLB com *hit-ratio* igual a 0.95? (Considere que um acesso a TLB leva 10 ns e que cada entrada da TLB é larga o suficiente para armazenar uma entrada completa da tabela da tabela de página. Todas as páginas do processo estão carregadas em memória.)

51. Responda :

- (A) O que vem a ser o problema do *thrashing*? Ele pode ocorrer tanto com algoritmos de substituição de classe global (FIFO, LRU, segunda chance) como local (*working set* e FFP) ou não? O que pode ser feito para combater o *thrashing*?
- (B) Em um sistema que emprega paginação por demanda, se a página estiver em memória, um acesso é realizado em 120 ns. Se a página não estiver em memória, o acesso é feito em média em 5 ms (considera o tempo gasto para tratar a falta de página e, posteriormente, o acesso a posição). Qual deve ser a taxa de falta de páginas para o tempo efetivo de acesso do sistema ficar seja igual a $1 \mu s$?

52. Responda :

- (A) O que é memória virtual? Qual a sua finalidade? Qual o interesse de se implementar memória virtual em um sistema operacional? O emprego de paginação e de segmentação implica necessariamente no uso de memória virtual?
- (B) Explique o funcionamento da paginação abordando aspectos como endereço lógico, tradução de endereços lógico em físico, proteção, compartilhamento, implementação da tabela de páginas. Qual a razão de se empregar paginação multinível?

53. O carregador de um sistema operacional hipotético é absoluto. Considerando isso, determine quais tipos de código (absoluto ou relocável) devem ser gerados durante as etapas de compilação e ligação. Forneça **todas** as combinações coerentes e possíveis para essa situação. EXPLIQUE ainda que tipo de amarração (*binding*), e o porquê, deve ser usado em conjunto com esse carregador.

54. O que diferencia a segmentação pura de um mecanismo de alocação particionada dinâmica? Qual o impacto que uma ou outra opção provoca globalmente no comportamento do sistema em relação ao grau de multiprogramação, desempenho e desperdício de memória.

55. Um processador possui um espaço de endereçamento lógico de 4 Gbytes e realiza paginação em dois níveis. As páginas são de 4096 bytes e o diretório de tabela de páginas possui 1024 entradas de 4 bytes. Cada entrada da tabela de páginas também ocupa 4 bytes. Determine :
- (A) O formato do endereço lógico, ou seja, em bits, quais são as larguras dos campos de endereçamento do nível 1, do nível 2 e do deslocamento. Qual a largura total ?
 - (B) A quantidade de páginas de memória que o menor processo possível ocupa (considerar a memória gasta pelas estruturas de dados do sistema operacional, isto é, pelas tabelas de páginas e de diretórios de tabelas de páginas).
 - (C) A quantidade de páginas de memória que o maior processo possível ocupa (considerar a memória gasta pelas estruturas de dados do sistema operacional, isto é, pelas tabelas de páginas e de diretórios de tabelas de páginas).
56. Um computador possui quatro quadros em sua memória física. Durante a execução de um processo, as páginas 3,5,9,7 foram carregadas na memória. O tempo de carga, do último acesso, e os bits de uso (U) e de modificação (M) para cada página são mostrados abaixo (os tempos estão em *clock ticks*) :

Página	Tempo carga	Últ. ref.	Bit U	Bit M
3	126	279	0	0
5	230	260	1	0
9	120	271	1	1
7	160	280	1	1

- Considerando que os dois próximos acessos são para as páginas 2 e 3, nessa ordem, quais páginas serão substituídas se o algoritmo de substituição for : FIFO, LRU, segunda chance, segunda chance melhorado ?
57. No mecanismo FFP (Frequência de Falta de Páginas), no seu ponto de vista, os valores de taxa máxima e mínima devem ser fixos ou dinâmicos ? Que relação custo/benefício estão envolvidos em uma ou outra solução ? Novamente, pense sobre os aspectos de grau de multiprogramação, desempenho e desperdício de memória.
58. Responda :
- (A) Suponha que alguém peça para você implementar paginação em um processador que tenha hardware de segmentação mas nenhum suporte de hardware para paginação. Você só pode usar técnicas de software. Isso é possível ? EXPLIQUE sua resposta.
 - (B) Suponha que alguém peça para você implementar segmentação em um processador que tenha hardware de paginação mas nenhum suporte de hardware para segmentação. Você só pode usar técnicas de software. Isso é possível ? EXPLIQUE sua resposta.
59. Responda :
- (A) Explique a diferença entre fragmentação interna e externa. Em que tipo(s) de mecanismo(s) de gerência de memória ocorre fragmentação interna ? Em que tipo(s) de mecanismo(s) de gerência de memória ocorre fragmentação externa ?
 - (B) Descreva duas técnicas usadas para reduzir a fragmentação que ocorre em sistemas com multiprogramação que usam alocação particionada dinâmica. Qual (quais) condição(ões) é (são) necessária(s) para a aplicação dessas técnicas ?
60. Um sistema operacional trabalha com um espaço de endereçamento para processos em 32 bits e páginas de 1024 bytes. Nesse sistema, uma entrada da tabela de páginas possui 4 bytes. O projetista resolve usar paginação multinível e cada tabela deve caber dentro de uma página. Quantos níveis são necessários ? JUSTIFIQUE.
61. Em um sistema que emprega segmentação com paginação, o endereço virtual consiste em até 3 segmentos que podem possuir um tamanho máximo de 2^{29} bytes. Cada segmento é formado por páginas de 256 bytes. Nesse sistema, a TLB apresenta um *hit ratio* de h . Sabendo que o tempo de acesso a TLB é de 20ns e que o tempo de acesso a memória é de 100ns, determine o melhor e o pior tempo de acesso desse sistema. A entrada na tabela de segmentos é 4 bytes e o processador acessa a memória em palavras de 32 bits.
62. Em um sistema operacional hipotético, o sistema de gerência de memória virtual é construído sobre um processador que oferece suporte **apenas** para paginação multinível (2 níveis). Durante a execução de uma instrução, as páginas referenciadas (instrução e dados) podem estar na memória RAM, na área de swap ou no arquivo executável. Sabendo que o processador possui uma TLB para auxiliar no mapeamento entre endereço lógico para endereço físico, determine quantos acessos ao disco são necessários para a execução da instrução MOV AX, DADO (copia o conteúdo da posição de memória DADO para o registrador de máquina AX) considerando :

- (A) O melhor caso. Descreva esse caso e JUSTIFIQUE cada acesso.
- (B) O pior caso. Descreva esse caso e JUSTIFIQUE cada acesso.
63. Um endereço lógico de 32 bits é "quebrado" em 4 campos : a , b , c e d . Os três primeiros campos (a , b , c) são usados em um sistema de paginação multinível. O quarto campo, d , é o deslocamento. Responda :
- O número de páginas do sistema depende do tamanho individual de todos esses 4 campos ? Se não, quais são importantes, quais não são ?
 - Considere que o campo d é fixado em 12 bits. Nesse caso, os campos a , b e c possuem tamanhos diferentes (em bits). Qual é a melhor divisão dos 20 bits restantes para esses campos ? JUSTIFIQUE sua resposta.
64. Um processador com uma capacidade de endereçamento de 32 bits usa um sistema de paginação em dois níveis. O primeiro nível possui 9 bits e o segundo nível possui 11 bits, os bits restantes são empregados como deslocamento. Responda :
- (A) Qual o tamanho (em bytes) das estruturas de diretório de tabela de páginas, tabela de páginas e das próprias páginas ? A resposta pode ser dada em potências de dois. Considere que cada entrada das tabelas ocupe 4 bytes.
- (B) Supondo que todas as estruturas de controle da paginação são armazenadas na memória RAM, qual o tamanho (em bytes) do menor e do maior processo neste sistema ? A resposta pode ser dada em potências de dois com as somas e subtrações apenas indicadas. Cada entrada nas tabelas ocupam 4 bytes.