

AP05 - Turma B – Entrega: 13/09/2010
Gabriel Barufi Veras (180664)
João Luiz Grave Gross (180171)

Introdução

Na aula prática do dia 06/09/2010, realizamos mais simulações de circuitos utilizando os software Spice e o visualizador Grafer. Os circuitos elétricos especificados na descrição Spice foram as portas lógicas inversora, nor de 4 entradas e xnor de 2 entradas. As simulações foram realizadas com todas as combinações possíveis de entrada, em cada uma das portas lógicas e posteriormente foi inserido na saída desses circuitos um capacitor de 50fF. Realizamos novamente as simulações e medimos desta vez os tempos t_{d_hl} , t_{d_lh} , t_f e t_r nos os três circuitos.

Circuitos simulados

1 Circuito Inversor

1.1 Inversor em termos de transistores

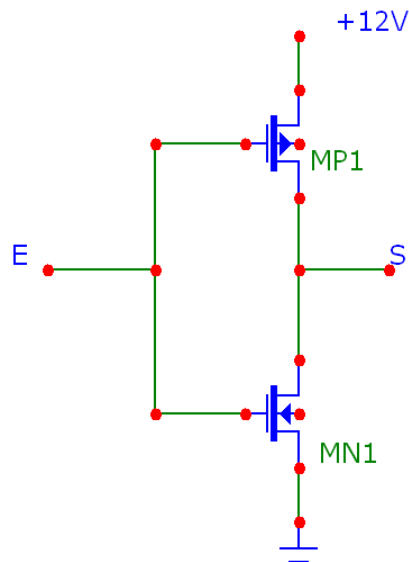


Figura 1: Porta lógica inversora em termos de transistores CMOS

1.2 Descrição Spice da porta inversora

Titulo: Circuito Inversor c/ transistor MOS
.include cmos7tm.mod

```
vcc 1 0 12  
v10p 10 0 1.2  
v90p 90 0 10.8
```

```

vin 2 0 pulse(0 12 0 0 0 15n 30n)

.subckt inv in out vcc
mp1 vcc in out vcc modp
mn1 out in 0 0 modn
.ends inv

x1 2 3 1 inv
c1 3 0 50f

.tran 0.001n 50n
.print tran v(2) v(3) v(10) v(90)
.end

```

1.3 Gráfico de funcionamento para de todas as combinações da porta inversora

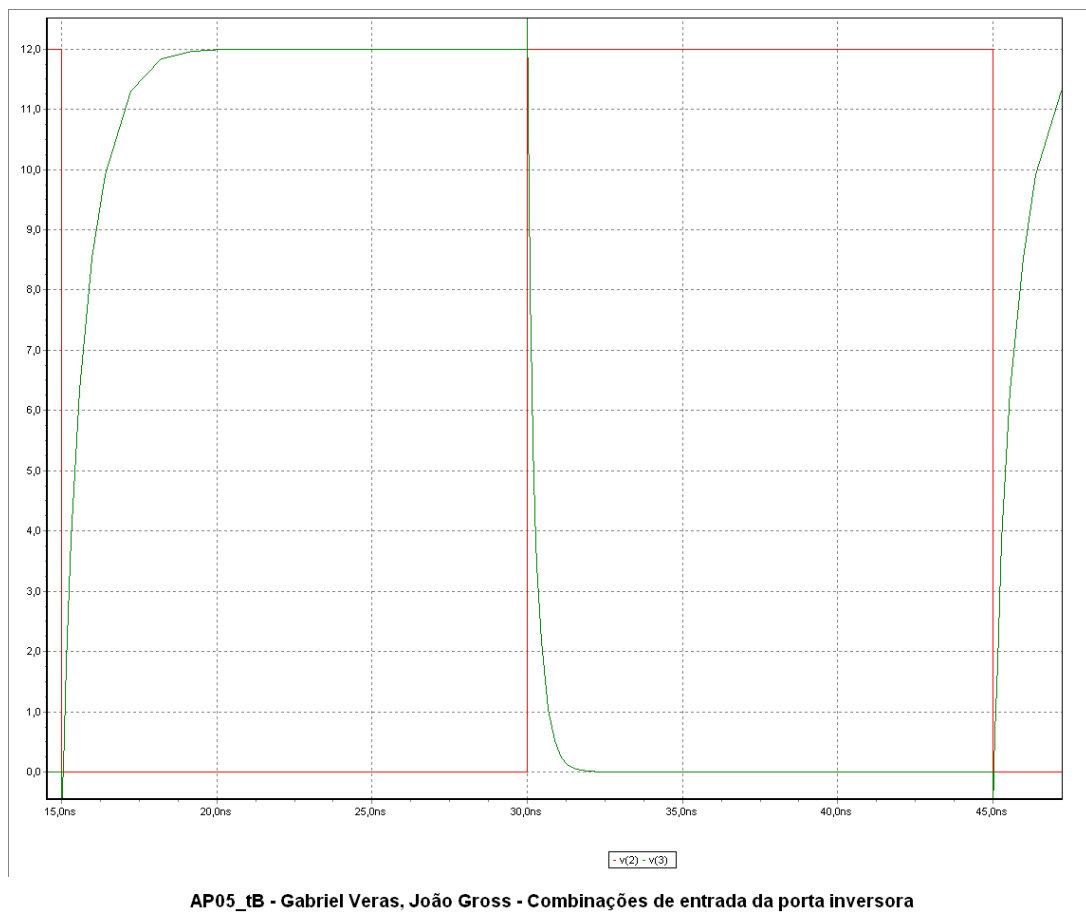
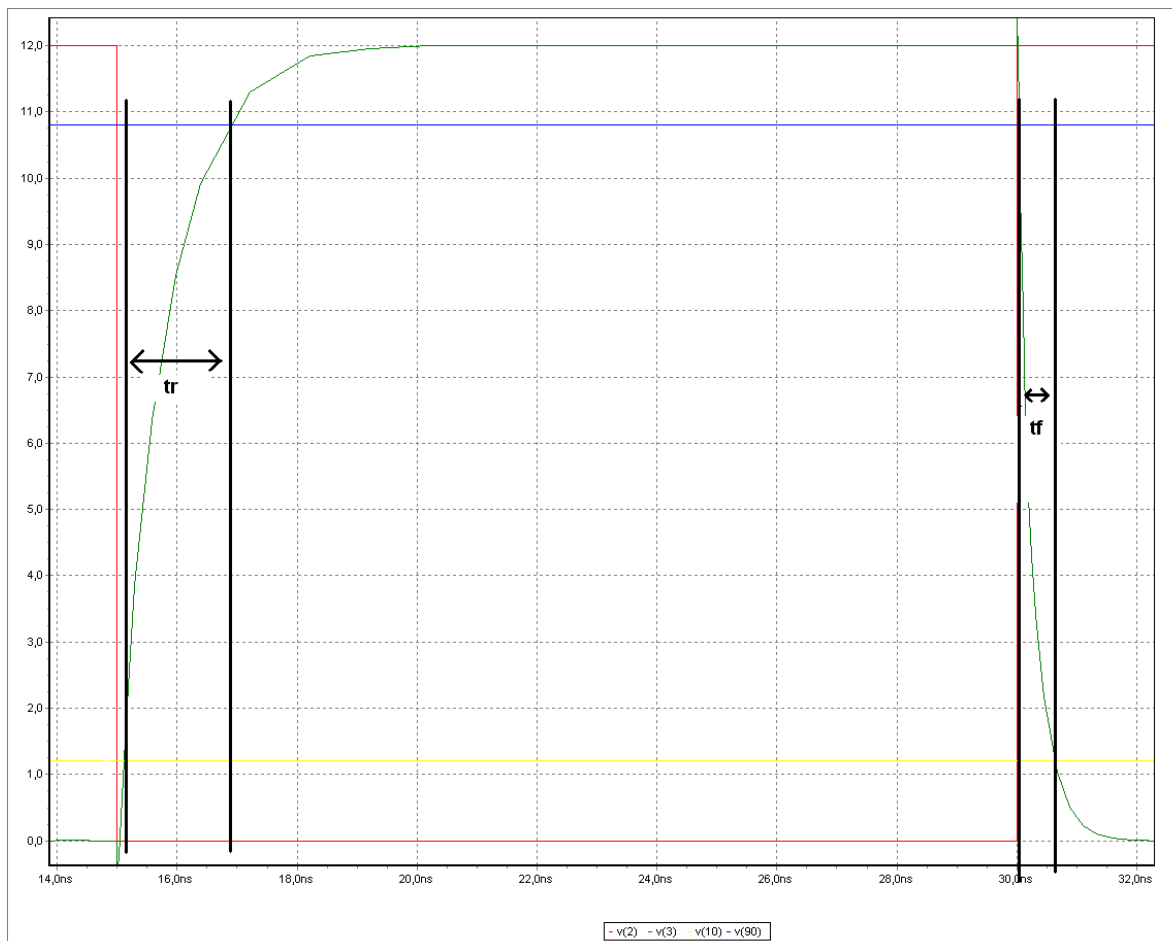


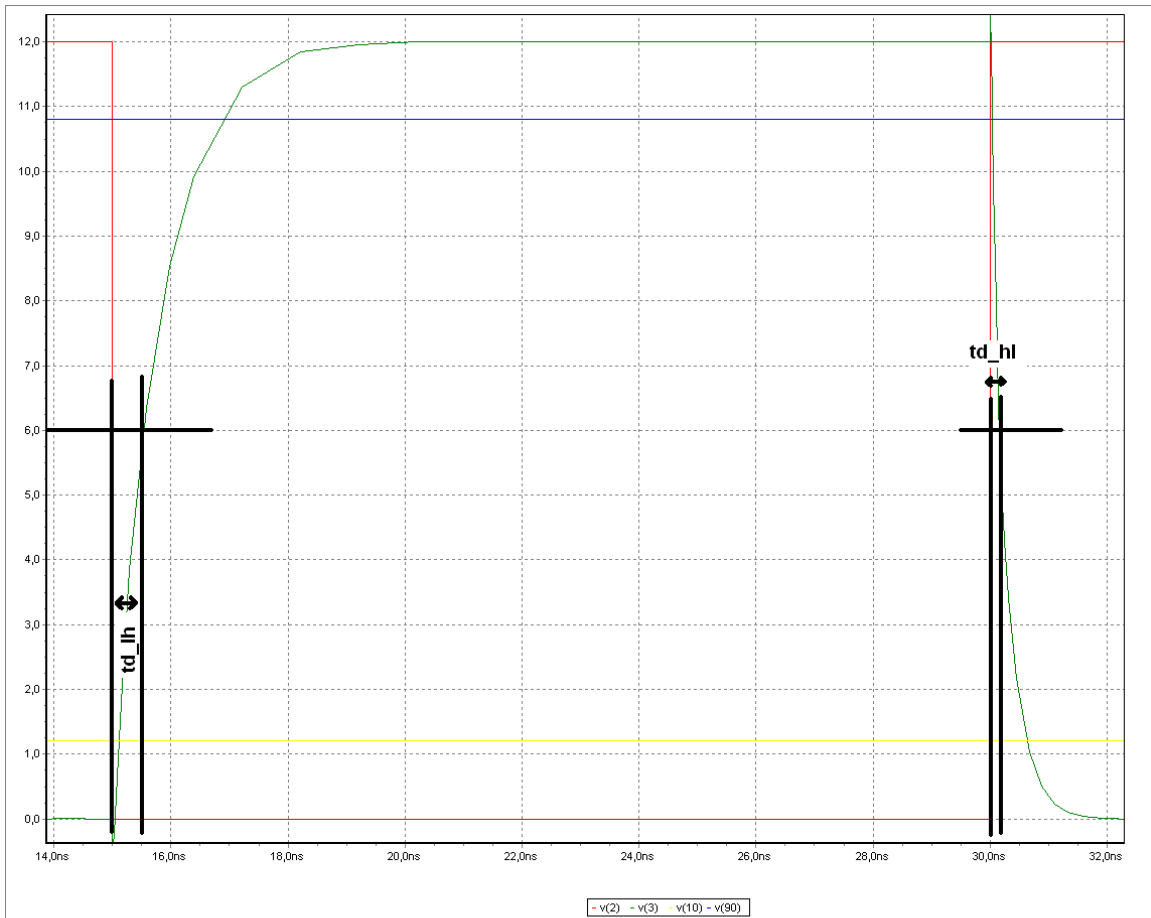
Figura 2: Todas as combinações de entrada para a porta lógica inversora

1.4 Gráfico com as medidas temporais da porta inversora



AP05_tB - Gabriel Barufi, João Gross - Medidas dos tempos $t_{d_{lh}}$ e $t_{d_{hl}}$ na porta inversora

Figura 3: Medidas dos tempos t_r e t_f na porta inversora



AP05_tB - Gabriel Barufi, João Gross - Medidas dos tempos t_r e t_f na porta lógica inversora

Figura 4: Medidas dos tempos td_{lh} e td_{hl} na porta inversora

2 Circuito NOR de 4 entradas

2.1 NOR4 em termos de transistores

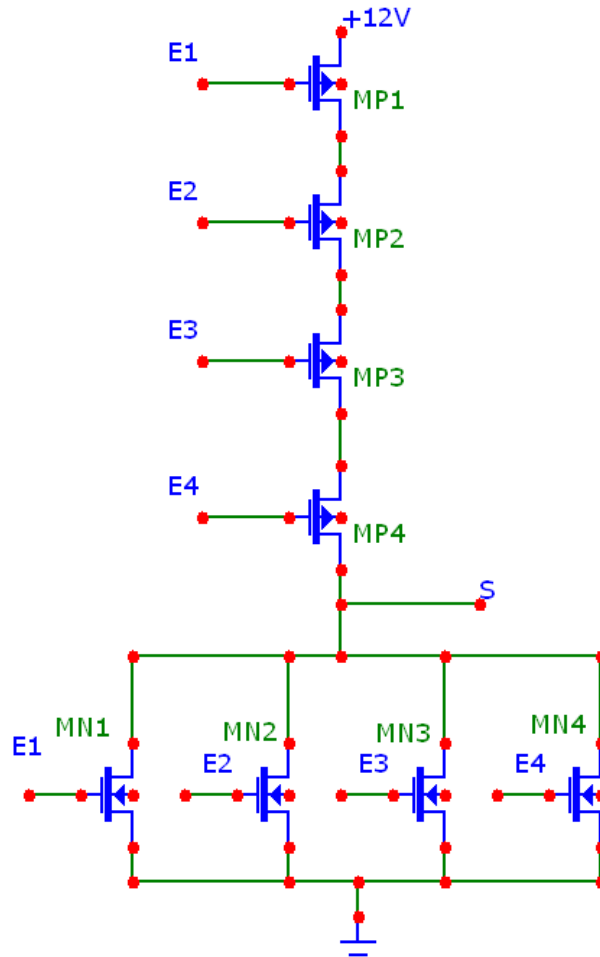


Figura 5: Porta lógica NOR4 em termos de transistores CMOS

2.2 Descrição Spice da porta NOR4

Titulo: Circuito NOR4 c/ transistor MOS
 .include cmos7tm.mod

```
vcc 1 0 12
v10p 10 0 1.2
v90p 90 0 10.8
v1 2 0 pulse(0 12.3 0 0 0 15n 30n)
v2 3 0 pulse(0 12.1 0 0 0 30n 60n)
v3 4 0 pulse(0 11.9 0 0 0 60n 120n)
v4 5 0 pulse(0 11.7 0 0 0 120n 240n)

.subckt nor4 in1 in2 in3 in4 out1 out2 out3 out vcc
mp1 vcc in1 out1 vcc modp
mp2 out1 in2 out2 vcc modp
mp3 out2 in3 out3 vcc modp
mp4 out3 in4 out vcc modp
mn1 out in1 0 0 modn
```

```

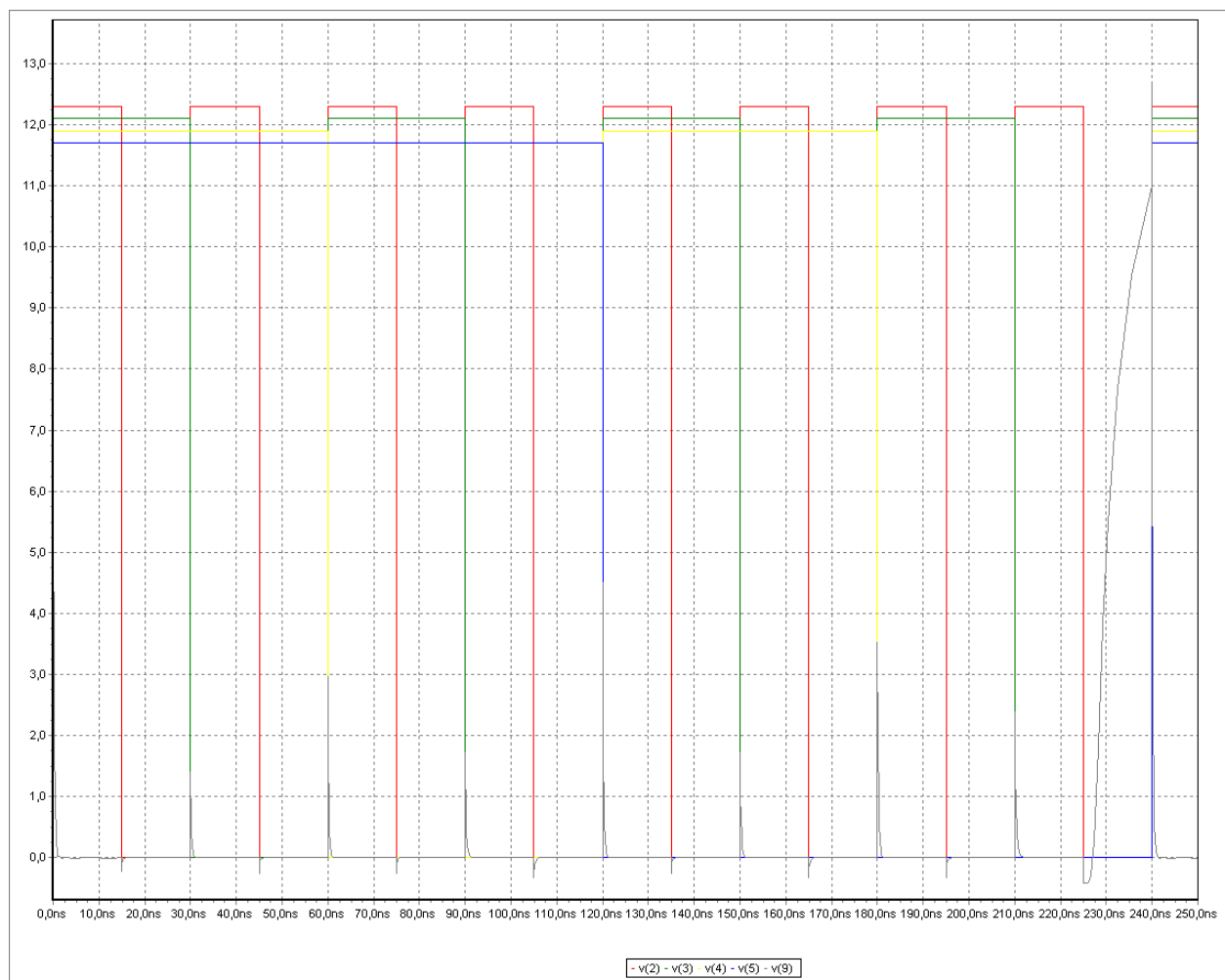
mn2 out in2 0 0 modn
mn3 out in3 0 0 modn
mn4 out in4 0 0 modn
.ends nor4

x1 2 3 4 5 6 7 8 9 1 nor4
c1 9 0 50f

.tran 0.001n 250n
.print tran v(2) v(3) v(4) v(5) v(9) v(10) v(90)
.end

```

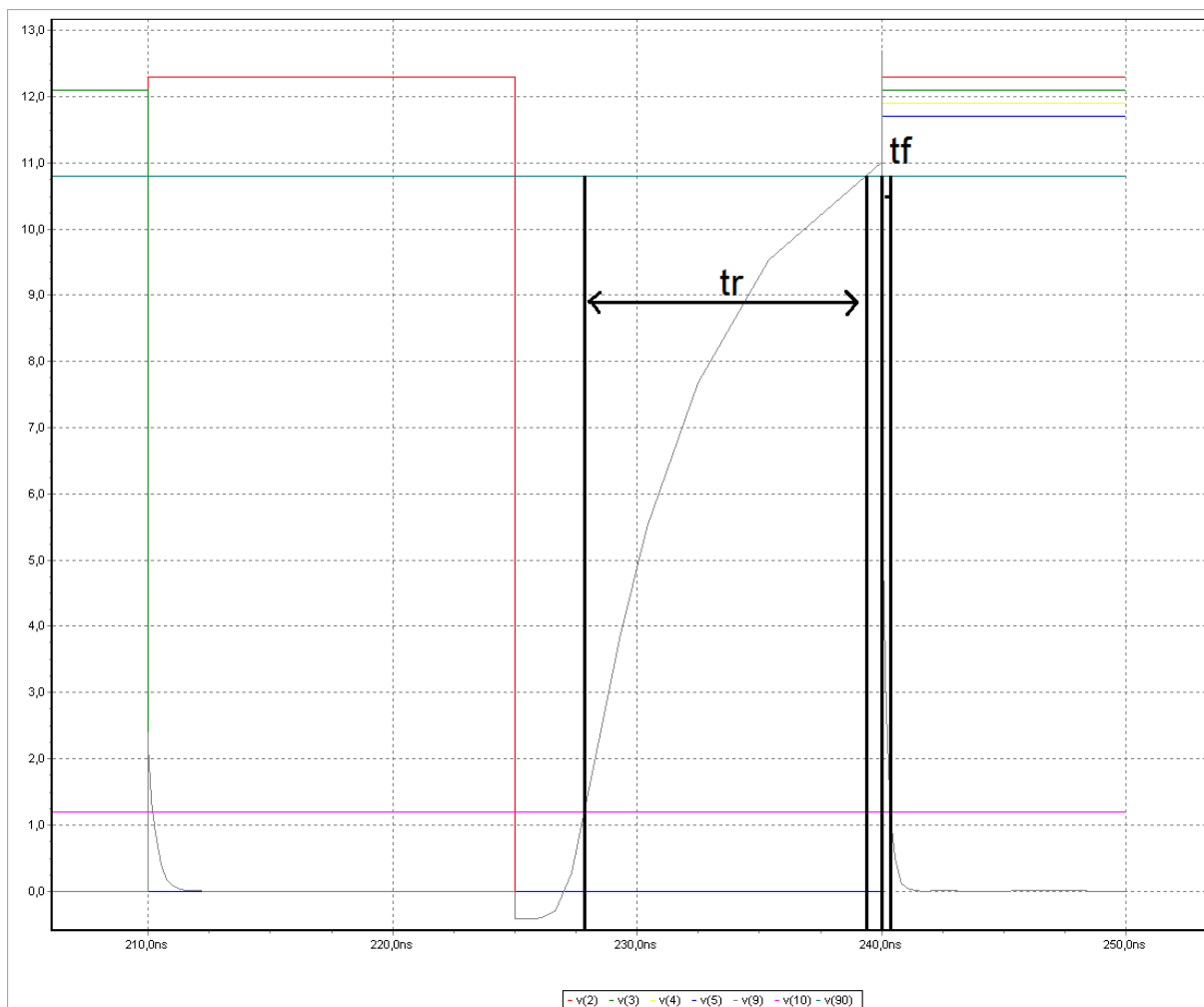
2.3 Gráfico de funcionamento para de todas as combinações da porta NOR4



AP05_tB - Gabriel Barufi, João Gross - Combinações de entrada para a porta NOR4

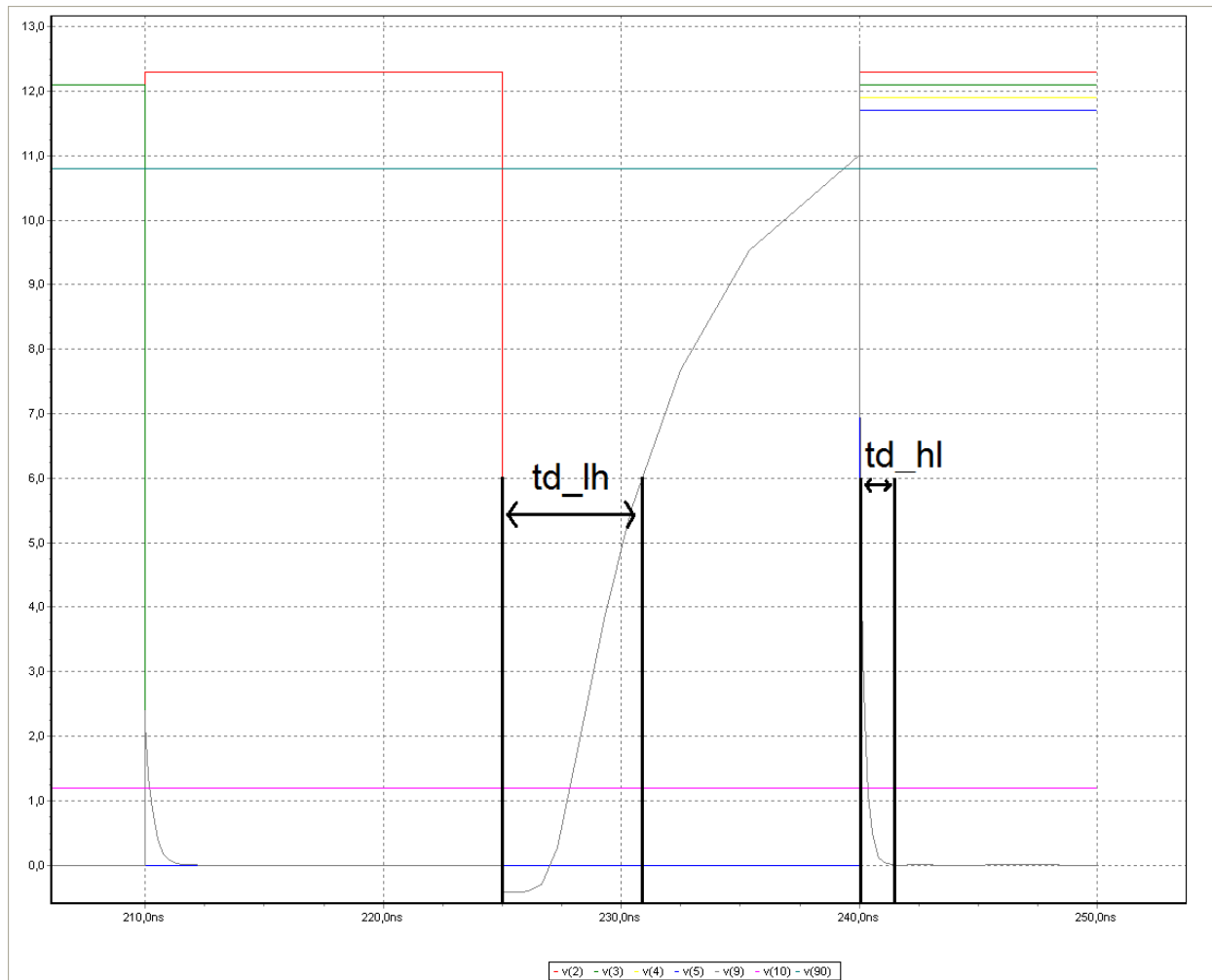
Figura 6: Todas as combinações de entrada para a porta lógica NOR4

2.4 Gráfico com as medidas temporais da porta NOR4



AP05_tB Gabriel Barufi e João Gross - Medidas dos tempos de tr e tf na porta lógica NOR4

Figura 7: Medidas dos tempos tr e tf na porta NOR4



AP05_tB Gabriel Barufi e João Gross - saída (em cinza) da NOR4 com capacitor

Figura 8: Medidas dos tempos td_{lh} e td_{hl} na porta NOR4

3. Circuito XNOR de 2 entradas

3.1 XNOR2 em termos de transistores

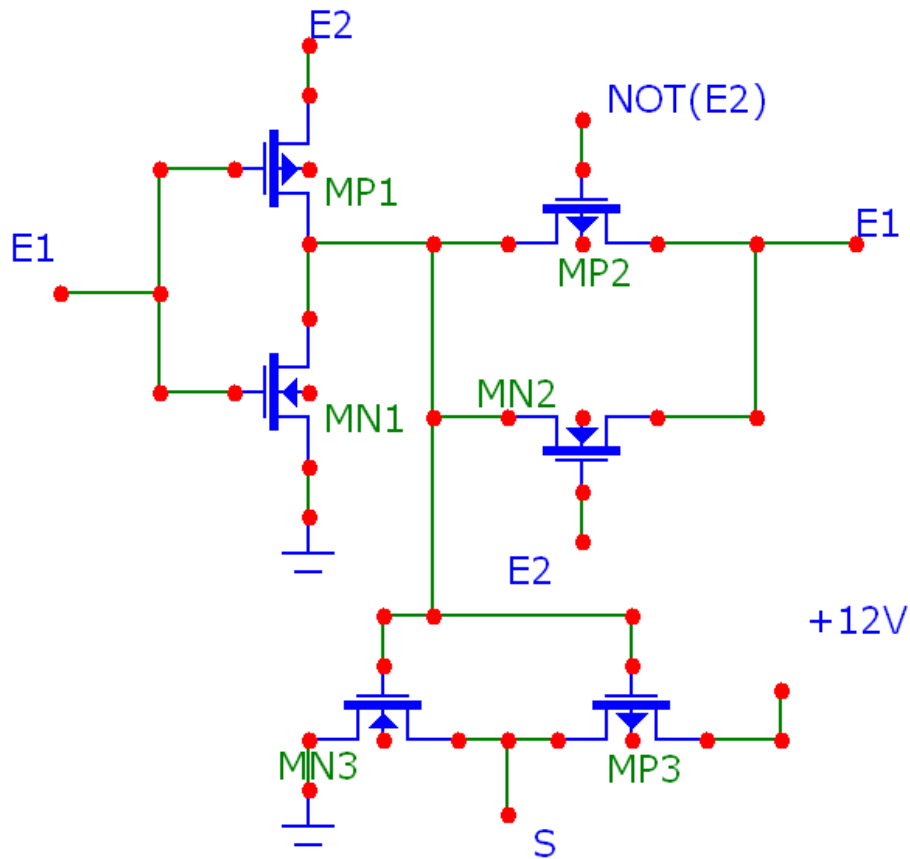


Figura 9: Porta lógica XNOR2 em termos de transistores CMOS

3.2 Descrição Spice da porta XNOR2

Titulo: Circuito XNOR2 c/ transistor MOS

```
.include cmos7tm.mod
```

```
vcc 1 0 12
```

```
v10p 10 0 1.2
```

```
v90p 90 0 10.8
```

```
v1 2 0 pulse(0 12.1 0 0 0 15n 30n)
```

```
v2 3 0 pulse(0 11.9 0 0 0 30n 60n)
```

```
.subckt xnor2 A B Bn out outn vcc
```

```
mp1 B A out vcc modp
```

```
mp2 out B A vcc modp
```

```
mn1 out A Bn 0 modn
```

```
mn2 A Bn out 0 modn
```

```
mp3 vcc out outn vcc modp *inversor
```

```
mn3 outn out 0 0 modn *inversor
```

```
.ends xnor2
```

```
.subckt inv in out vcc
```

```
mp1 vcc in out vcc modp
```

```

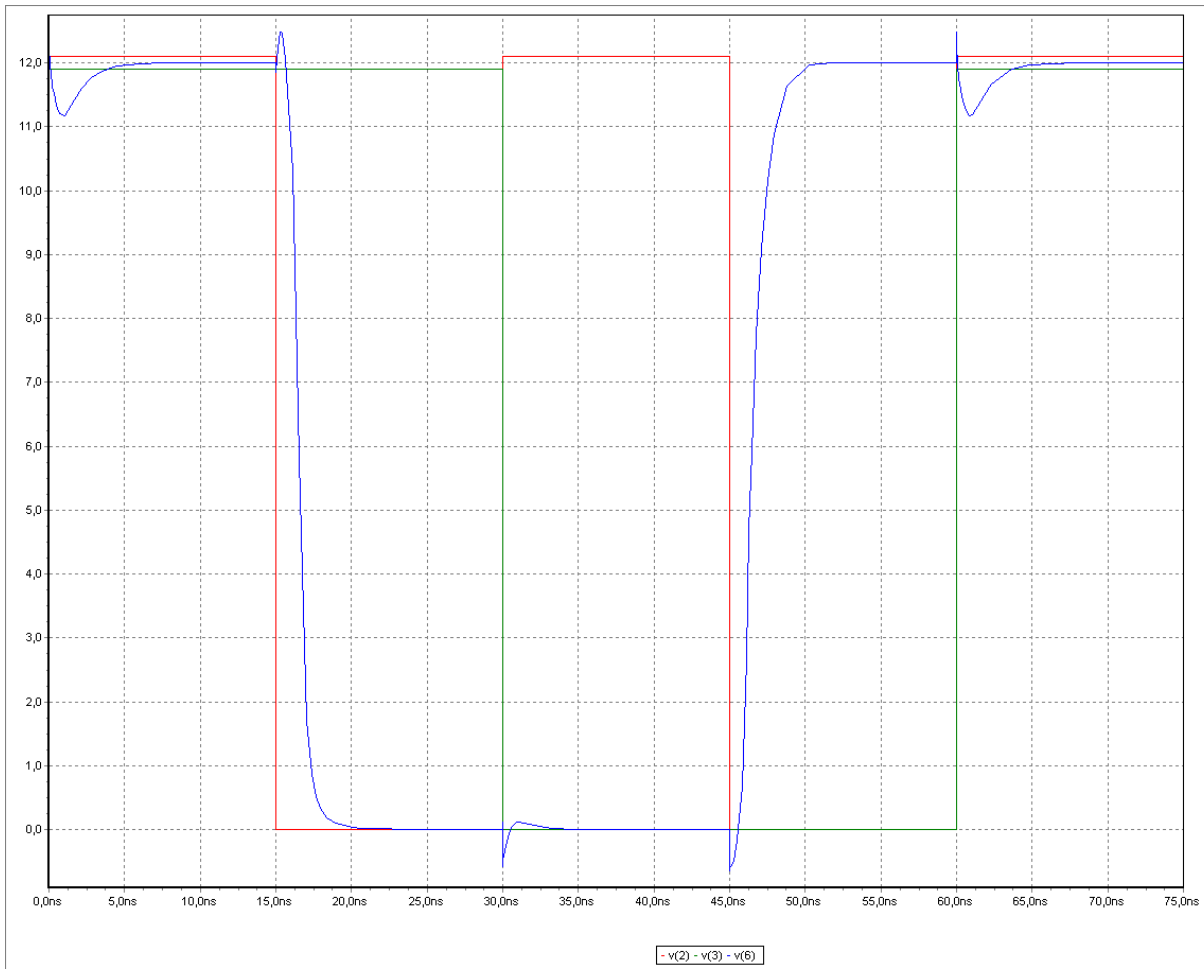
mn1 out in 0 0 modn
.ends inv

x1 3 4 1 inv
x2 2 3 4 5 6 1 xnor2
c1 6 0 50f

.tran 0.001n 75n
.print tran v(2) v(3) v(4) v(6) v(10) v(90)
.end

```

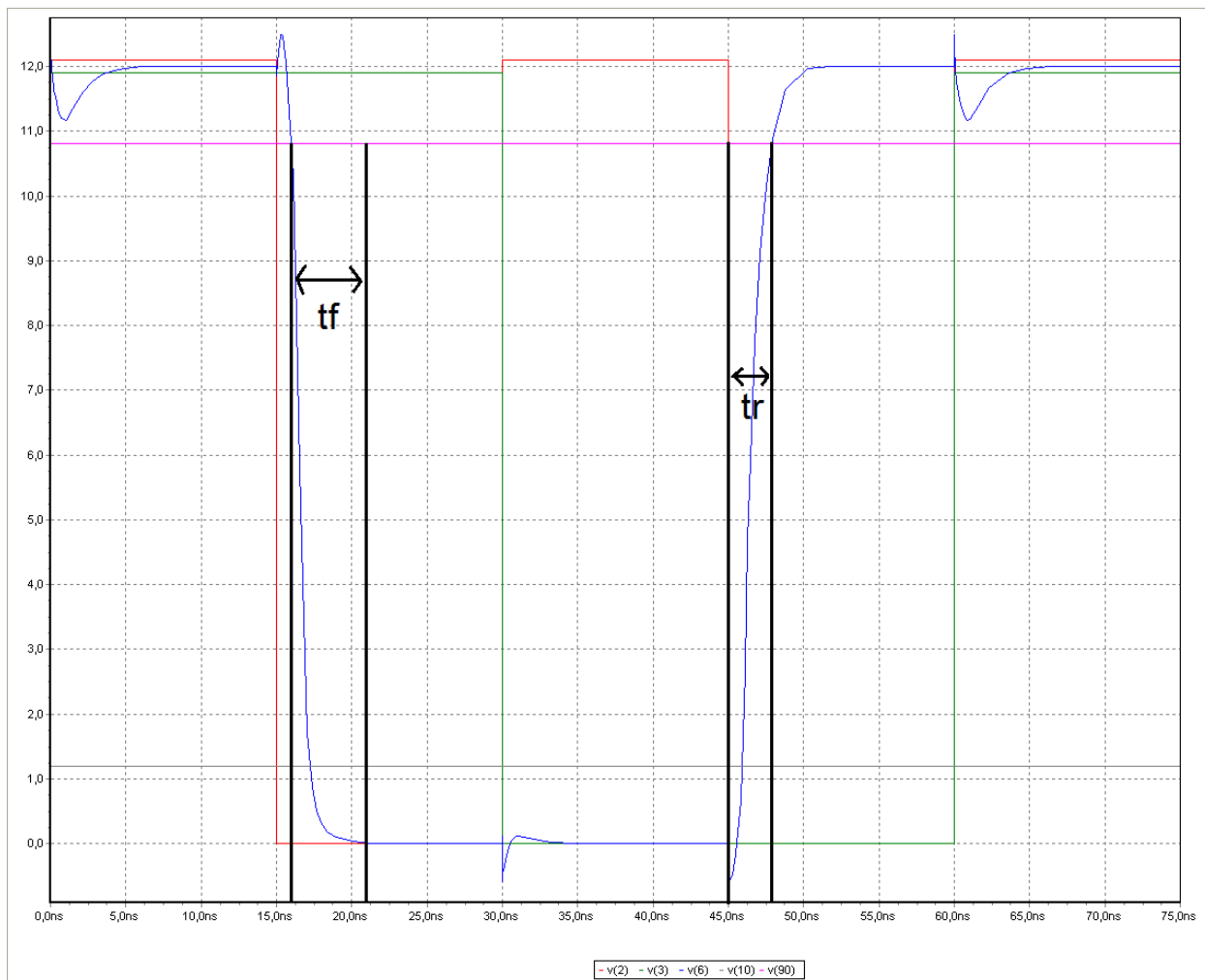
3.3 Gráfico de funcionamento para de todas as combinações da porta XNOR2



AP05_tB - Gabriel Barufi, João Gross - Combinações de entrada para a porta lógica XNOR2

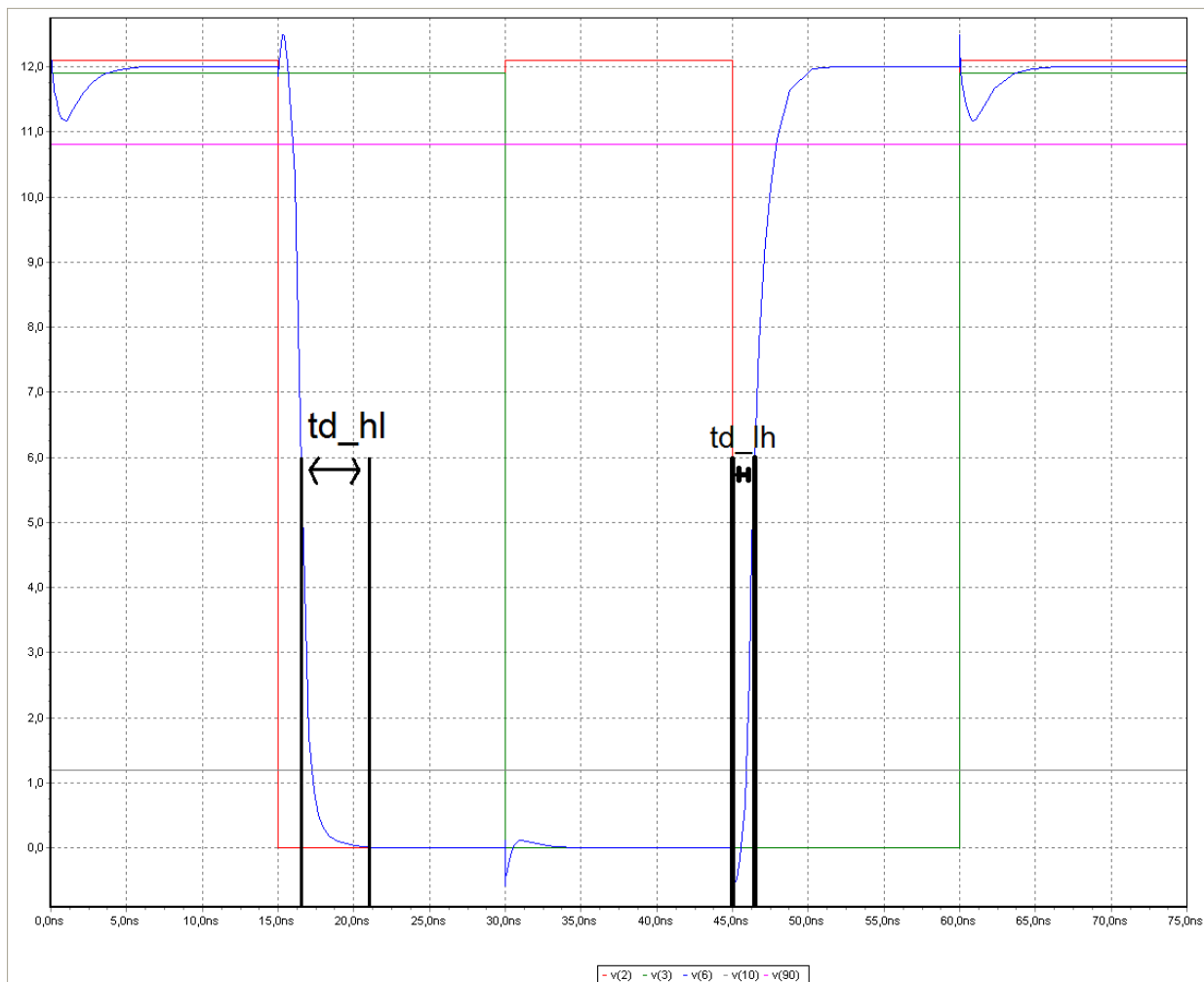
Figura 10: Todas as combinações de entrada para a porta lógica XNOR2

3.4 Gráfico com as medidas temporais da porta XNOR2



AP05_tB Gabriel Barufi e João Gross - medidas do tempo t_f e t_r na porta XNOR2

Figura 11: Medidas dos tempos t_r e t_f na porta XNOR2



AP05_tB Gabriel Barufi e João Gross - medidas do tempo td_{hl} e td_{lh} na porta XNOR2

Figura 12: Medidas dos tempos td_{lh} e td_{hl} na porta XNOR2

Comparação dos tempos

Tabela 1: Medidas de tempo nas 3 portas lógicas

Portas Lógicas	td_{lh} (ns)	td_{hl} (ns)	t_r (ns)	t_f (ns)
INV	0,54163	0,15942	1,80374	0,6022
NOR4	5,93504	0,05191	11,57598	0,34583
XNOR2	1,45519	1,55391	1,971	1,24956

Pudemos perceber que a porta lógica inversora apresentou o menor tempo de subida do sinal e um tempo de descida bastante baixo também. Já a porta lógica NOR4 apresentou tempo de subida do sinal bastante alto, cerca de 6x mais demorado do que o sinal das portas inversora e XNOR2 e um tempo de descida menor do que da inversora.

O tempo de subida na porta NOR4 foi muito superior às demais portas, pois para que conseguisse gerar um sinal de saída em nível alto (1), os 4 transistores PMOS em série precisavam estar conduzindo, o que apresentou uma resistência bastante elevada e por isso o sinal de subida ficou lento. Na porta INV e na XNOR2 os tempos foram menores pois havia uma resistência final associada menor do que na porta NOR4 para o nível 1.

Entretanto o tempo de descida na porta NOR4 foi o menor, pois para gerar sinal em nível baixo (0) dos 4 transistores NMOS do circuito, pelo menos um transistor precisava estar conduzindo, o que implica que na parte PMOS pelo menos um transistor estava aberto, proporcionando dessa forma um sinal de saída de 0V. Logo, para uma saída de 0V na porta NOR4, a resistência final associada tende a diminuir a medida que mais transistores NMOS conduzem ao mesmo tempo, pois a resistência equivalente em uma configuração paralela tende a diminuir com o aumento da quantidade de elementos em paralelo, e dessa forma a mudança de nível 1 para nível 0 é mais rápida do que de 0 para 1. E como nas demais portas havia menos transistores em paralelo conduzindo ao ir para nível 0, a porta NOR4 foi a mais rápida das 3 portas no tempo de descida.

A análise dos tempos t_{d_lh} e t_{d_hl} é análoga aos tempos t_r e t_f , visto que seguem um comportamento bastante semelhante, t_{d_lh} ao de t_r e t_{d_hl} ao de t_f .

Feita essa comparação observamos que, de modo geral, a porta inversora apresenta o tempo de resposta mais rápido, pois tem menos transistores CMOS e a porta NOR4 o tempo de resposta mais lento, pois possui a configuração elétrica com a maior quantidade de transistores CMOS.

Conclusões

Pudemos aprender durante a aula prática que é muito mais vantajoso simular um sistema em vez de construí-los fisicamente, assim é possível visualizar, através de gráficos, o comportamento do circuito e como a configuração dos transistores afetam os tempos de propagação do sinal no circuito e como o chaveamento dos transistores pode causar picos na tensão de saída do transistor. No mais, não houve grandes dificuldades na implementação dos exercícios propostos.