

UFRGS - Universidade Federal do Rio Grande do Sul Ciência da Computação e Engenharia da Computação

Lista de Exercícios – Área 3 Circuitos Seqüenciais

Disciplina: Técnicas Digitais

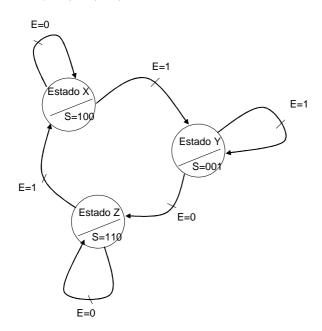
Professor: Fernanda Gusmão de Lima Kastensmidt

Exercício 1:

Monte a tabela verdade do próximo estado e desenhe o circuito seqüencial representado a seguir na maquina de estados tipo Moore usando:

a) flip-flops tipo D

b) flip-flops tipo JK



Estado Atual		Entrada	Próximo estado		Saída
Q1	Q0	Е	D0 D1	J0 K0 J1 K1	S3S2S1S0

Exercício 2:

Projete um contador capaz de contar de 0 a 15 com possibilidade de up/down e habilita contagem. Utilize flip-flops do tipo JK.

UD = 0, conta para baixo UD =1, conta para cima H=0, desabilita contagem H=1, habilita contagem

Exercício 3:

Projete um registrador de 4 bits capaz de realizar o deslocamento aritmético para a direita (D=1) e carga (L=1). Quando D=0, L=0, o registrador mantém o valor armazenado.

Exercício 4:

Projete um sistema capaz de mandar de coletar dados paralelamente do barramento E e enviar serialmente esses dados por um cabo de rede e receber esse dado serialmente e disponibilizar paralelamente para o barramento de dados F. Mostre detalhadamente essa conversão Paralelo-Serie-Paralelo.

Exercício 5:

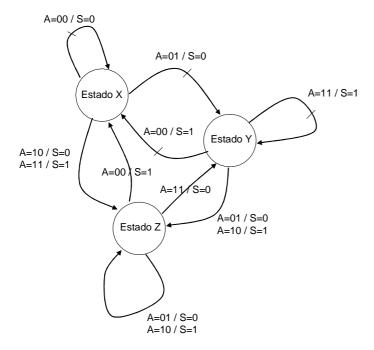
Projete o circuito seqüencial capaz de detectar a seqüência de entrada0010.... Toda vez que essa seqüência ocorrer, a saída H devera acender e passar ao estado de espera de nova seqüência. É melhor usar a implementação de maquina de Moore ou de Mealy para esse circuito? Por quê?

Exercício 6:

Monte a tabela verdade e desenhe o circuito seqüencial representado a seguir pela maquina de estados tipo Mealy. Utilize flip-flops do tipo D.

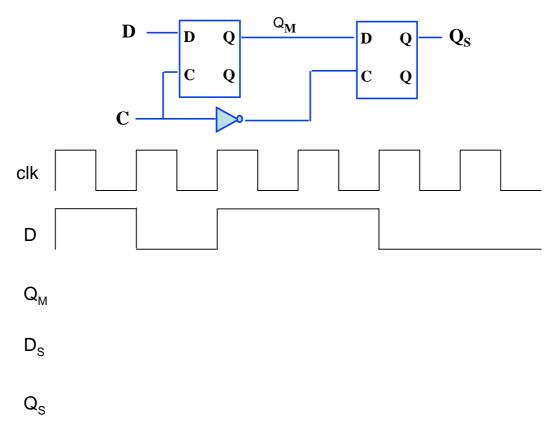
Exercício 7:

Monte a tabela verdade e desenhe o circuito seqüencial representado a seguir pela maquina de estados tipo Mealy. Utilize flip-flops do tipo D.

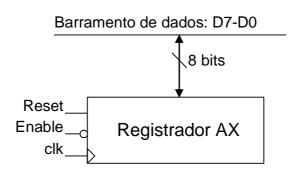


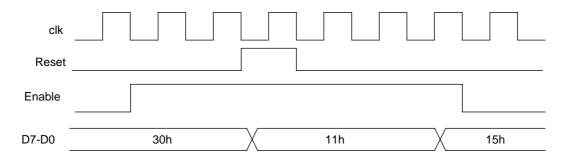
Exercício 8:

Complete o diagrama de tempos do flip-flop mestre-escravo a seguir.



Exercício 9: Complete o diagrama de tempos do registrador AX como representado abaixo. O sinal de *Reset* é assíncrono, ou seja, não depende do relógio (*clk*) e o sinal de *enable* (habilita) é síncrono.





Registrador AX

Exercício 10: Complete a tabela abaixo.

Símbolo	Esquemático	Tabela Verdade
	$R \longrightarrow \overline{Q}$	
D Q — clk — Q —		