

Código do Laboratório: AP12

Data: 28/05/2009

Turma D

Nomes: Bruno Jurkovski – Cartão número 172865

Marcos Vinicius Cavinato – Cartão número 171774

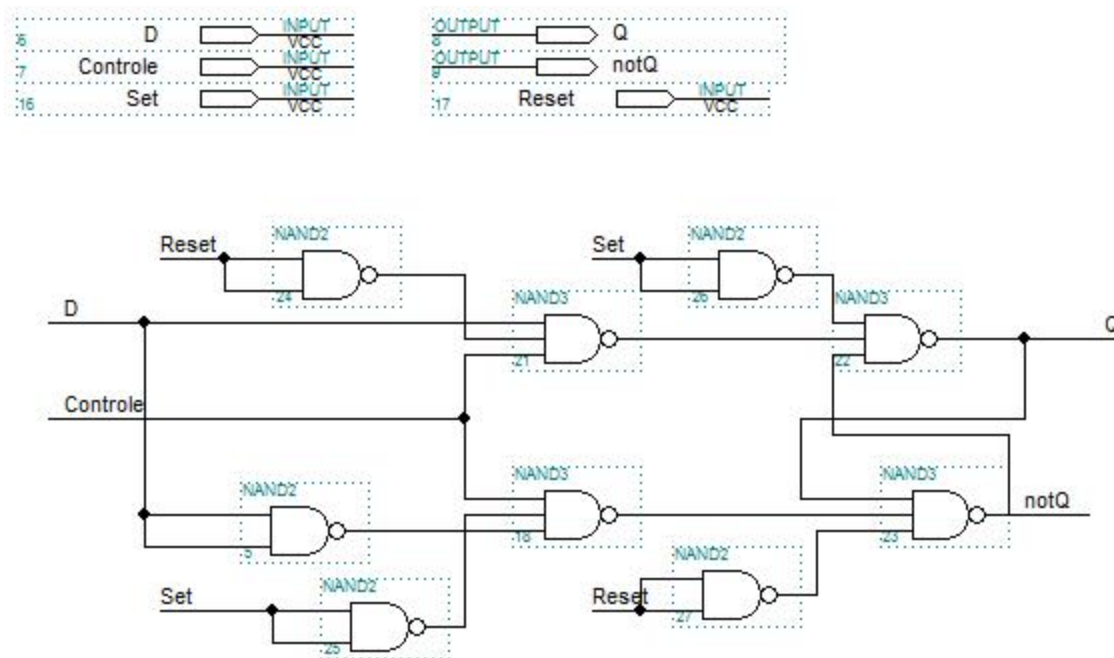
## Introdução

A aula prática do dia 28/05 teve como objetivo a implementação e simulação de um registrador tipo D e de um Flip-Flop tipo D, ambos com sinais de Set e Reset assíncronos. Para tanto, foi usado o software MaxPLUSII.

Para a implementação do registrador do tipo D, foram usadas apenas portas NAND. Foram feitas simulações temporais para entender melhor seu funcionamento.

Para o Flip-Flop tipo D sensível a borda foi feita uma implementação com os três latches, um para set, um para reset e outro para saída. Por fim avaliamos e caracterizamos, através das simulações temporais, os resultados obtidos.

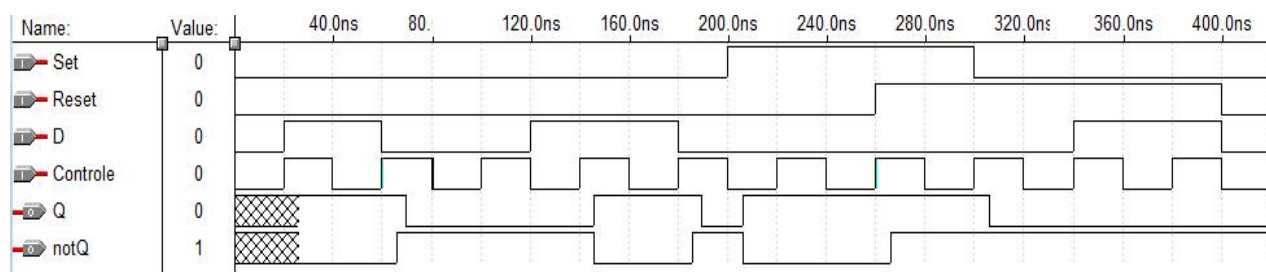
## Latch Tipo D



Implementação de um Latch tipo D com Set e Reset assíncronos (ativados em 1)

Input				Output	
Controle	D	Set	Reset	Qn	!Qn
0	x	0	0	Qn-1	!Qn-1
x	x	1	1	1	1
x	x	1	0	1	0
x	x	0	1	0	1
1	0	0	0	0	1
1	1	0	0	1	0

Tabela verdade do Latch



Simulação temporal do Latch

O latch desempenha a função de uma célula de memória, guardando em seu laço o valor lógico 1 ou 0. A implementação realizada em aula é sensível ao nível 1 do clock e possui sinais de Set e Reset assíncronos. Assim, sempre que o sinal de controle está no nível lógico 1, a saída (Q) recebe o valor da entrada D, a menos que o sinal de Set ou Reset estejam ativados (em 1 lógico). Quando o sinal de controle está em 0, a saída anterior é mantida. Quando o sinal de Set está em 1, a saída Q passa para 1, independente da entrada D e do sinal de clock. Quando o sinal de Reset está em 1, a saída !Q passa para 1, independente da entrada D e do sinal de clock. Quando ambos os sinais de Set e Reset estão ativos, ambas as saídas ficam em 1.

#### Análise Temporal:

Primeiramente foi testado o funcionamento do sinal D, tanto com o sinal de clock em 1 quanto em 0. Após comprovada a correção deste sinal, foram testados os sinais de Set e Reset, que ignoram o sinal D e o clock. Todos funcionaram corretamente. A seguir, a matriz representando os atrasos máximos medidos nas transições de cada sinal de entrada:

## Delay Matrix

	Destination	
	notQ	Q
Controle	6.0ns	6.0ns/9.6ns
D	6.0ns	6.0ns/9.6ns
Reset	6.0ns	6.0ns/9.6ns
Set	6.0ns	6.0ns/9.6ns

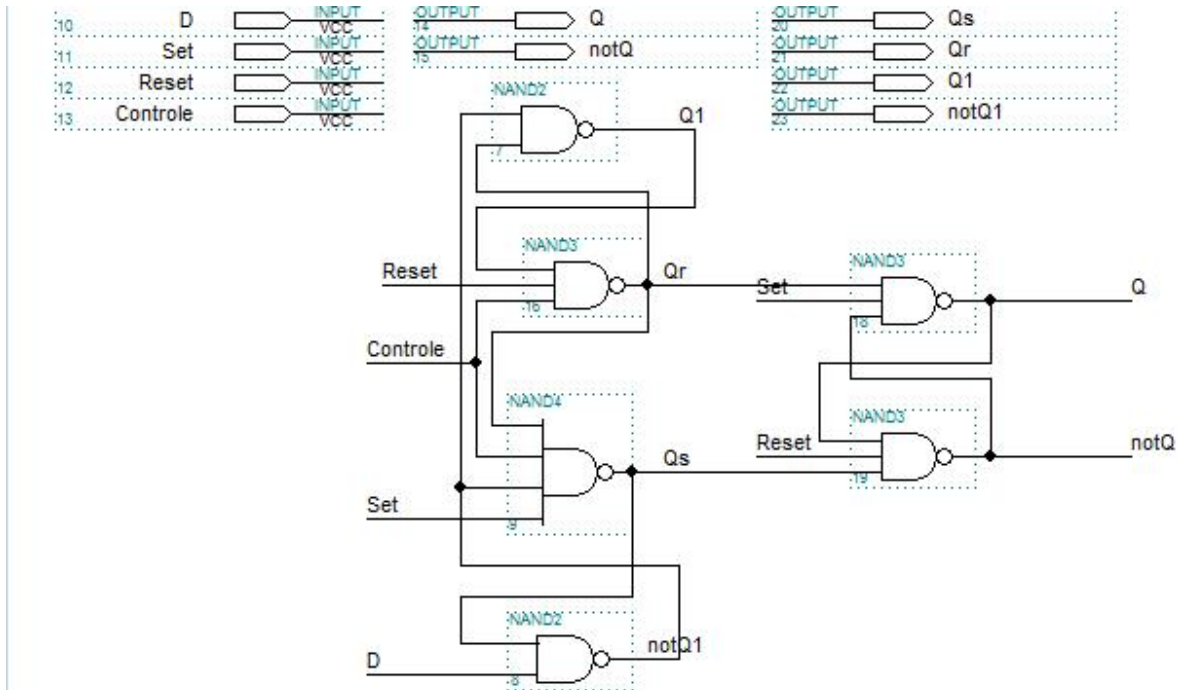
S  
o  
u  
r  
c  
e

Matriz de atrasos do Latch

Pode ser observado que o atraso para o sinal !Q é de 6ns e para o sinal Q é de até 9.6ns. Logo, seria necessário esperar pelo menos 9.6ns para realizar a medida do sinal com segurança. Com base nesses valores de atraso, podemos calcular a frequência máxima de operação do circuito, que se dá pela fórmula:

$$f = \frac{1}{T} = \frac{1}{9.6\text{ns}} = 104,1667 \text{ MHz}$$

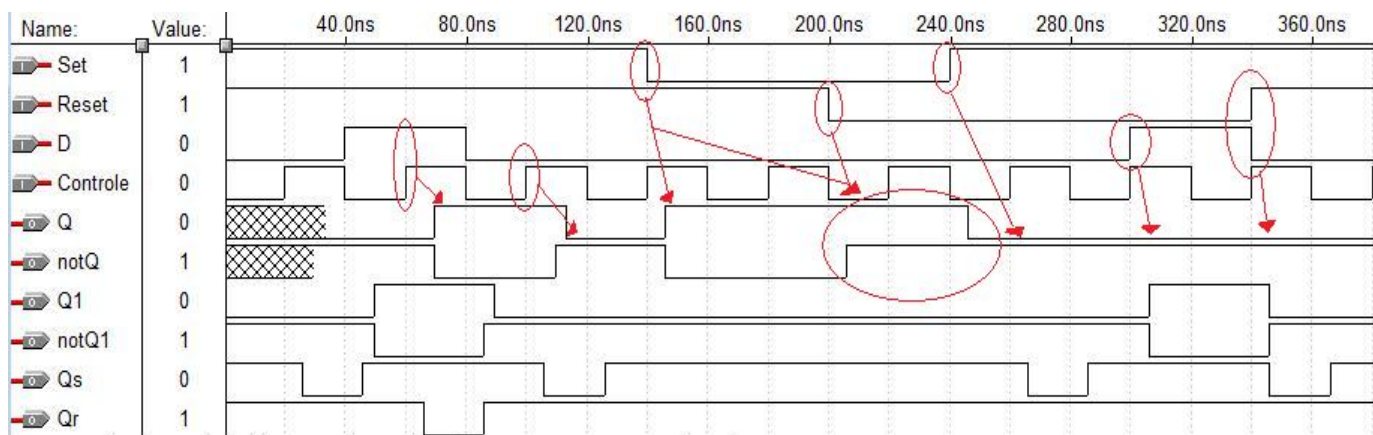
## Flip-Flop Tipo D



Implementação de um Flip-Flop Tipo D sensível a borda (transição de 0 para 1), com sinais de Set e Reset assíncronos e ativados em 0

Input				Output	
Controle	D	Set	Reset	Qn	!Qn
0 ou 1	x	1	1	Qn-1	!Qn-1
x	x	0	0	1	1
x	x	0	1	1	0
x	x	1	0	0	1
0->1	0	1	1	0	1
0->1	1	1	1	1	0
legenda				0->1: transição de 0 para 1	
				0 ou 1: valores estáveis	

Tabela verdade do Flip-Flop



Simulação temporal do Flip-Flop

Na figura acima observamos alguns importantes casos de teste na implementação de um flip-flop. É importante notar que o circuito é sensível à subida do clock, ou seja, uma variação em D só é passada a Q quando o clock passa do nível lógico 0 para 1 (dois primeiros casos circulados). A seguir, foram testados os sinais assíncronos (independentes da variação ou do nível do clock) de Set e Reset (ativados em 0). Quando ambas as entradas Set e Reset ficam em 0 (ativadas), o circuito fica em um estado indefinido (Q e !Q em 1). Outra consideração importante é que os sinais de Set e Reset têm prioridade mais alta que a entrada D. Isso fica claro no último caso circulado, em que a entrada D é passada para 1, o clock sobe mas a saída Q permanece em 0 (já que Reset está ativado simultaneamente).

Análise temporal:

Foram medidos os tempos de atraso de cada uma das saídas (externas e internas), e observou-se o seguinte resultado em cada uma delas:

## Delay Matrix

		Destination					
		notQ	notQ1	Q	Qr	Qs	Q1
S o u r c e	Controle	9.6ns/13.2ns	9.6ns/13.2ns	9.6ns/16.8ns	6.0ns/9.6ns	6.0ns/9.6ns	9.6ns/13.2ns
	D	9.6ns/13.2ns	6.0ns/13.2ns	9.6ns/16.8ns	6.0ns/9.6ns	6.0ns/9.6ns	6.0ns/13.2ns
	Reset	6.0ns/13.2ns	13.2ns	9.6ns/16.8ns	6.0ns	9.6ns	9.6ns/13.2ns
	Set	6.0ns/13.2ns	9.6ns	6.0ns/16.8ns	9.6ns	6.0ns	9.6ns/13.2ns

Matriz de atrasos do Flip-Flop

Como esperado, os tempos de atraso do flip-flop foram superiores aos do latch, já que este é composto basicamente por 3 latches (um para Set, um para Reset e outro para a saída).

Tendo em vista que o maior tempo de atraso foi de 16.8ns, podemos calcular a frequência máxima de operação do circuito, que será dada por:

$$f = \frac{1}{T} = \frac{1}{16.8\text{ns}} = 59,5238 \text{ MHz}$$

Este tempo (16.8ns) é também o menor tempo necessário a se esperar entre cada medição para uma garantia de resultado correto.

## Conclusões: Interesse no Laboratório, Dificuldades e Sugestões

Esta aula prática permitiu a criação, simulação e análise de dois elementos básicos da construção de circuitos sequenciais: Flip-Flops e Latches.

A importância dessas implementações se dá pelo fato de serem estruturas básicas de memória. Através do uso dessas estruturas, podemos começar a construir circuitos sequenciais mais elaborados, como, por exemplo, o uso de Flip-Flops em paralelo para construir registradores e, somado a lógica combinacional, contadores.

As dificuldades na simulação se apresentaram na hora de definir os valores de entrada para o teste, uma vez que os valores dependem de vários fatores, do estado do clock e dos valores anteriores. Para se conseguir o resultado esperado, não bastou inserir todas as combinações possíveis, como se fez no circuito combinacional. Precisou-se analisar o que era válido e o que não era, o que seria lido e o que seria ignorado, e vários outros fatores.