

INF01113 - Organização de Computadores B  
Turma B – 2010/2 – Prof. Philippe O. A. Navaux  
2ª Lista de Exercícios

---

Exercícios retirados de Computer Architecture: A Quantitative Approach[Hennessy 96]

**1** - Mostre como um compilador poderia escalonar o código abaixo para a execução em um processador VLIW com 4 unidades de execução, sendo que cada uma pode executar qualquer tipo instrução. Instruções de LOAD possuem uma latência de 3 ciclos e todas as outras instruções têm latência de apenas 1 ciclo. Assuma que o compilador examina todas as possibilidades de ordenamento de instruções para encontrar o melhor escalonamento possível (pois o compilador poder utilizar muito mais recursos e tempo para encontrar o melhor escalonamento do que o usualmente disponível no hardware de processadores superescalares). Certifique-se de incluir as instruções NOP para operações não utilizadas.

```
ADD r1, r2, r3
SUB r5, r4, r5
LD r4, (r7)
MUL r4, r4, r4
ST (r7), r4
```

**2** - Mostre como um compilador poderia escalonar o seguinte programa para execução em um processador VLIW com 4 unidades de execução, sendo que cada uma pode executar qualquer tipo instrução. Instruções de LOAD possuem uma latência de 3 ciclos e todas as outras instruções têm latência de apenas 1 ciclo. Tenha em mente que em um VLIW, o valor antigo de um registrador de destino de uma instrução mantém-se disponível para leitura até que a referida instrução seja completada.

```
SUB r4, r7, r8
MUL r10, r11, r12
DIV r14, r13, r15
ADD r9, r3, r2
LD r7, (r20)
LD r8, (r21)
LD r11, (r22)
LD r12, (r23)
LD r13, (r24)
LD r15, (r25)
LD r3, (r30)
LD r2, (r31)
ST (r26), r4
ST (r27), r10
ST (r28), r14
ST (r29), r9
```

**3** - Quais as diferenças entre máquinas superescalares e máquinas VLIW?

4 - Descreva as características gerais de um programa que exiba alta localidade temporal e baixa localidade espacial, no que diz respeito ao acesso a dados. Escreva um programa que exemplifique a situação. Esse exemplo pode ser em pseudocódigo.

5 - Descreva as características gerais de um programa que exiba baixa localidade temporal e alta localidade espacial, no que diz respeito ao acesso a dados. Escreva um programa que exemplifique a situação. Esse exemplo pode ser em pseudocódigo.

6 -A seguir apresentaremos uma série de referências, a endereços de palavras: 1, 4, 8, 5, 20, 17, 19, 56, 9, 11, 4, 43, 5, 6, 9, 17. Considerando a cache mapeada diretamente, com 16 blocos de uma palavra cada, que estava inicialmente vazia, identifique cada referência na lista como um MISS ou HIT no acesso a cache e mostre o conteúdo final da cache, após o processamento de todas as referências.

7 - Usando a série de referências do exercício 6, mostre as faltas, os acertos e o conteúdo final da cache quando os acessos forem a uma cache mapeada diretamente, com quatro palavras por bloco, e um tamanho total de 16 palavras.

8 - Considere uma hierarquia de memória usando uma das três organizações para a memória principal mostradas na Figura 1. Suponha que o tamanho do bloco da cache é de 16 palavras, que o comprimento da organização b. da figura é de quatro palavras, e que a organização c. tem quatro bancos. Se a latência de memória principal para um novo acesso for de 10 ciclos de relógio e o tempo de transferência for de 1 ciclo, qual será a penalidade por falta para cada uma dessas organizações?

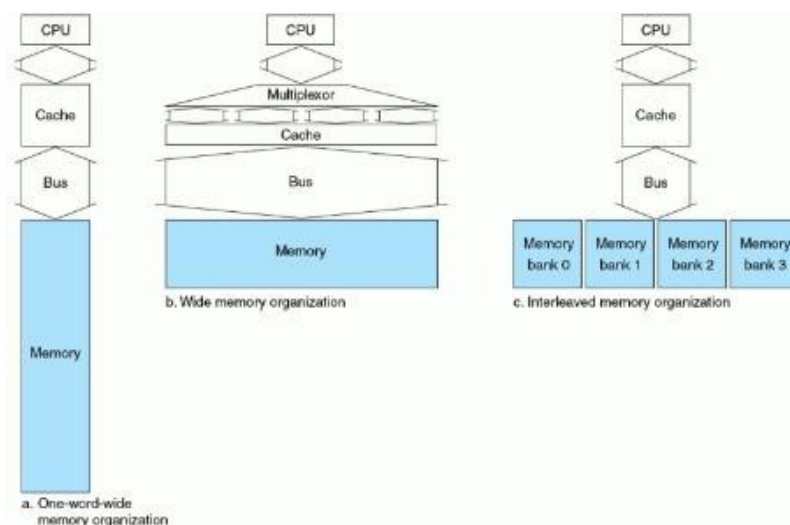


Figura 1

9 - Considere uma cache C1, mapeada diretamente com 16 blocos de uma palavra cada. Considere também uma cache C2, mapeada diretamente, com blocos de 4 palavras cada. Suponha que a penalidade por falta em C1 é de 8 ciclos de relógio e para C2 é de 11 ciclos. Partindo do princípio de que as caches estão inicialmente vazias, encontre um conjunto de referências para o qual C2 tenha uma taxa de faltas menor do que a de C1, mas gaste mais ciclos nas faltas do que C1. Use endereçamento à palavra.

**10** - Usando a série de referências do Exercício 6, mostre os acertos, as faltas e o conteúdo final armazenado em uma cache associativa por conjunto com duas posições, com blocos de uma palavra e um tamanho total de 16 palavras. Considere o uso da substituição LRU.

**11** - Considere três máquinas com diferentes configurações na cache:

Cache 1: mapeamento direto com blocos de uma palavra

Cache 2: mapeamento direto com blocos de 4 palavras

Cache 3: associativa por conjunto com duas posições e blocos de 4 palavras

Foram feitas as seguintes medidas para a taxa de faltas:

Cache 1: taxa de faltas para instruções de 4% e para dados de 8%

Cache 2: taxa de faltas para instruções de 2% e para dados de 5%

Cache 3: taxa de faltas para instruções de 2% e para dados de 4%

Considere que metade das instruções contém uma referência a dado. Suponha que a penalidade por falta no acesso a cache é de  $(6 + \text{tamanho do Bloco em palavras})$ . A CPI para este workload foi medida em uma máquina com a cache 1, e o valor obtido foi 2,0. Determine qual das máquinas gasta mais ciclos para atender a uma falta no acesso à cache.

**12** - Considere um sistema de memória virtual com as seguintes propriedades:

- Endereço virtual de 40 bits referenciando byte
- Páginas de 16KB
- Endereço físico de 36 bits referenciando byte

Com base nisto, calcule o tamanho total da tabela de páginas para cada um dos processos desta máquina, assumindo que os bits de residência, de proteção, de modificação e de utilização gastam um total de quatro bits e que todas as páginas virtuais estão sendo usadas. (Suponha que os endereços do disco não estão armazenados na tabela de páginas)

**13** - Suponha que o sistema de memória virtual do exercício anterior é implementado com um TLB associativa por conjunto de duas posições, com um total de 256 entradas. Mostre como se realiza o mapeamento dos endereços virtuais em endereços físicos, por meio de uma figura semelhante à Figura 2. Certifique-se de ter identificado o tamanho de cada um dos campos e sinais envolvidos.

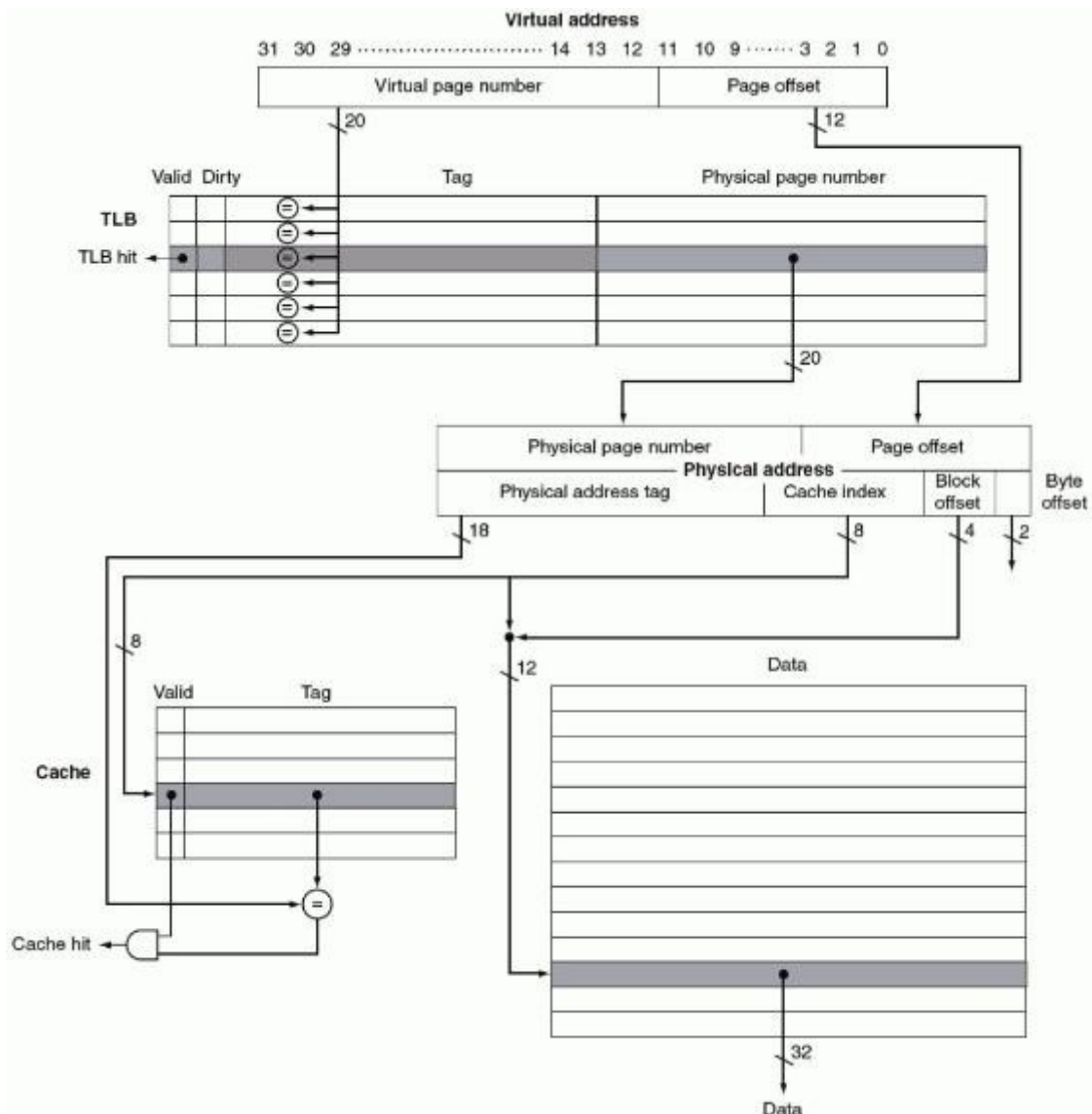


Figura 2.

14 - Um barramento síncrono de 500MHz utiliza 1 ciclo de relógio (ou 2 ns) para transferir palavras de 32 bits. O barramento gasta ainda um ciclo adicional para cada transferência de endereço à memória (este pode ser o endereço inicial de um bloco de memória de tamanho qualquer). A memória está organizada em 4 bancos independentes, de modo que o tempo de acesso à mesma é de 24ns para cada bloco de 4 palavras de 32 bits cada. Numa leitura de vários blocos consecutivos, a transferência dos dados do bloco atual através do barramento pode se dar em paralelo com a leitura do bloco seguinte. O número de ciclos necessário para a transferência de blocos de 4 e de 16 palavras consecutivas é respectivamente de:

- (a) 17 ciclos e 53 ciclos
- (b) 17 ciclos e 65 ciclos
- (c) 29 ciclos e 101 ciclos
- (d) 14 ciclos e 50 ciclos
- (e) 26 ciclos e 98 ciclos