

Projekt

Návrh číslicových systémů

Tomáš Martínek

martinto@fit.vutbr.cz

Přístupový terminál

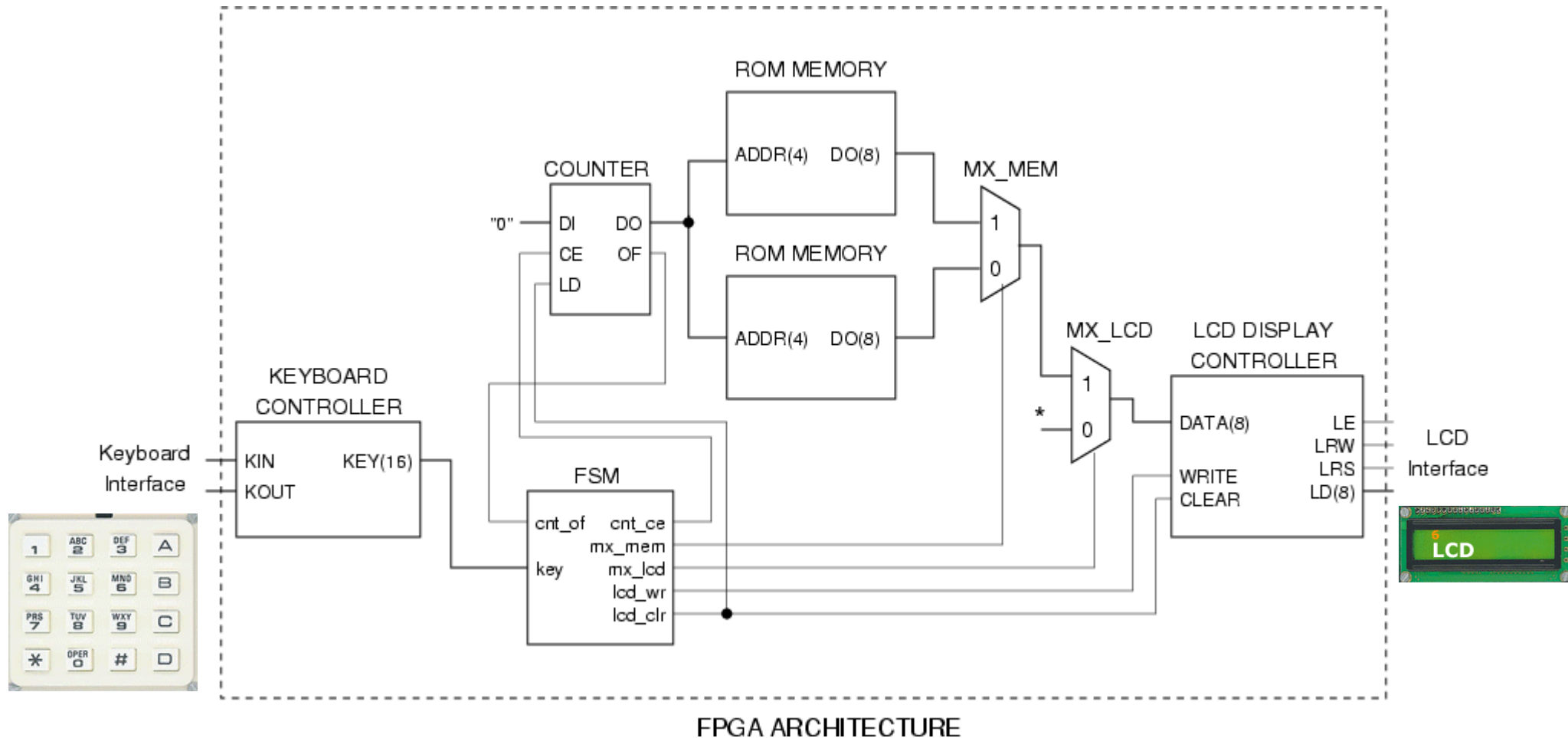
- Přístupový terminál je jednoduché elektronické zařízení, které **povoluje oprávněným uživatelům vstup** do chráněných objektů.
- Obvykle je složeno z **klávesnice, LCD displeje a řídicí jednotky**.
- Každý uživatel musí před vstupem do objektu vyťukat na klávesnici přístupového terminálu aktivací kód a na jeho základě získá nebo nezíská přístup do objektu.



Potřebné nástroje

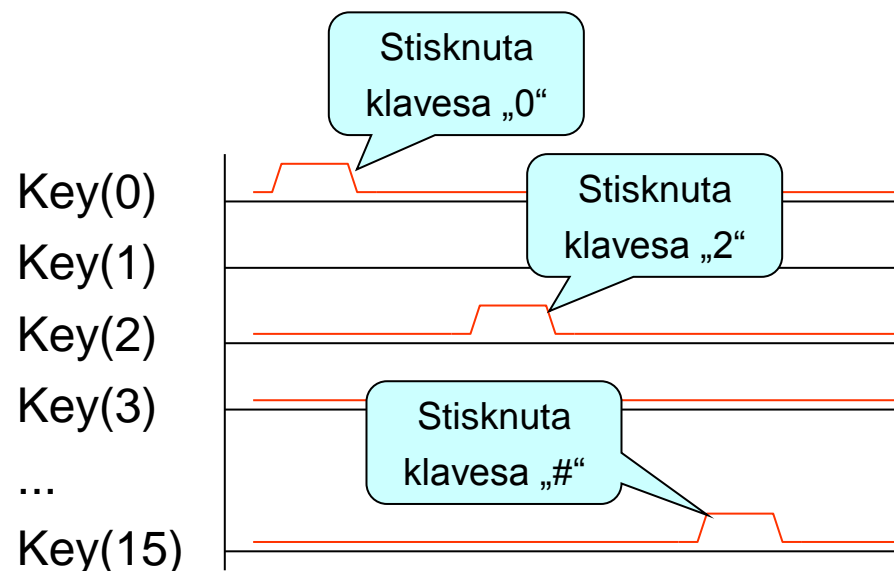
- **Fitkit**
 - možné zapůjčit ve fakultní knihovně
- **Software:**
 - **Xilinx ISE WebPack**: Vývojové prostředí pro FPGA obvody
 - **MSPGCC**: Kompilátor programů v C pro mikrokontrolér MSP430
 - **QDevKit**: Grafické prostředí pro snadnou práci s Fitkitem
- **Návody na instalaci (na osobním počítači):**
 - <http://merlin.fit.vutbr.cz/FITkit/navody.html>
- **Na místo vlastní instalace doporučujeme použít již předpřipravený obraz virtuálního stroje** (pro VirtualBox) obsahující všechny potřebné nástroje
(<https://merlin.fit.vutbr.cz/FITkit/private/web/download.php>)

Architektura obvodu uvnitř FPGA

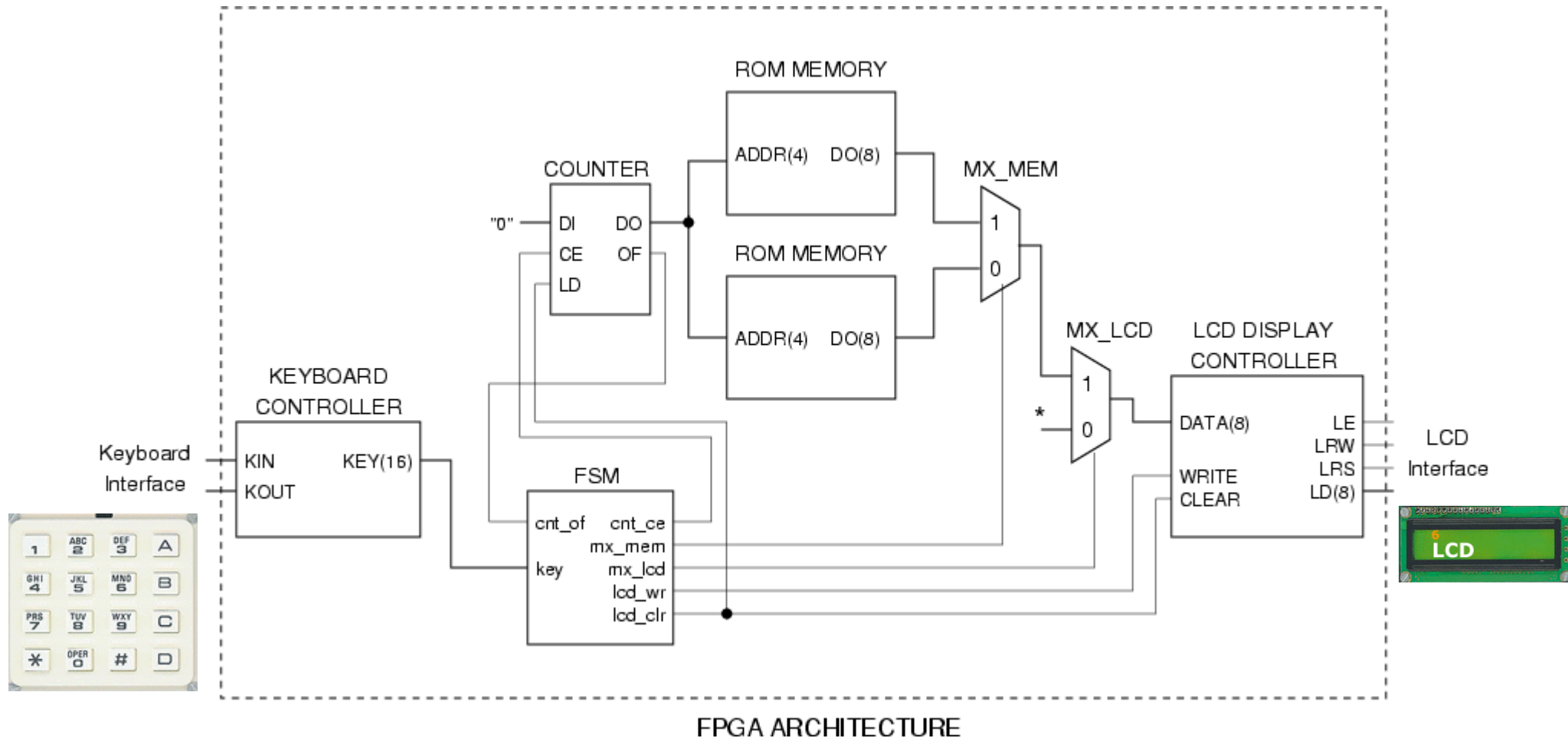


Vstup z klávesnice

- Vstupy z klávesnice jsou pravidelně testovány pomocí řadiče klávesnice (**Keyboard Controller**)
- Jakmile je detekován stisk některé klávesy, nastaví řadič na svém výstupu **KEY** jeden z 16-ti signálů
 - **KEY(0..9)** odpovídají klávesám 0..9
 - **KEY(10..13)** odpovídají klávesám A..D
 - **KEY(14)** odpovídá klávese "*"
 - **KEY(15)** odpovídá klávese "#"

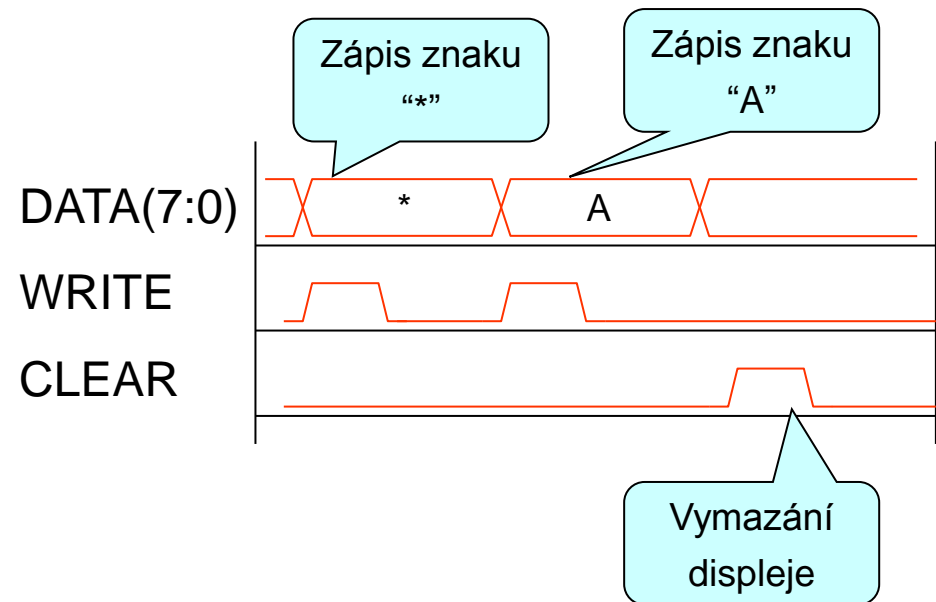
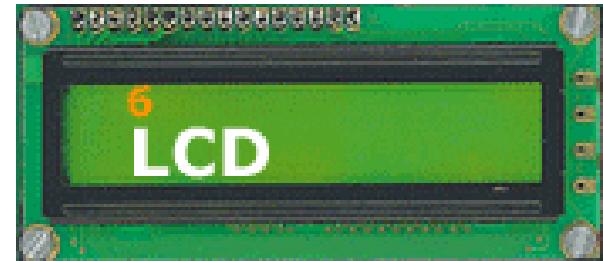


Architektura obvodu uvnitř FPGA

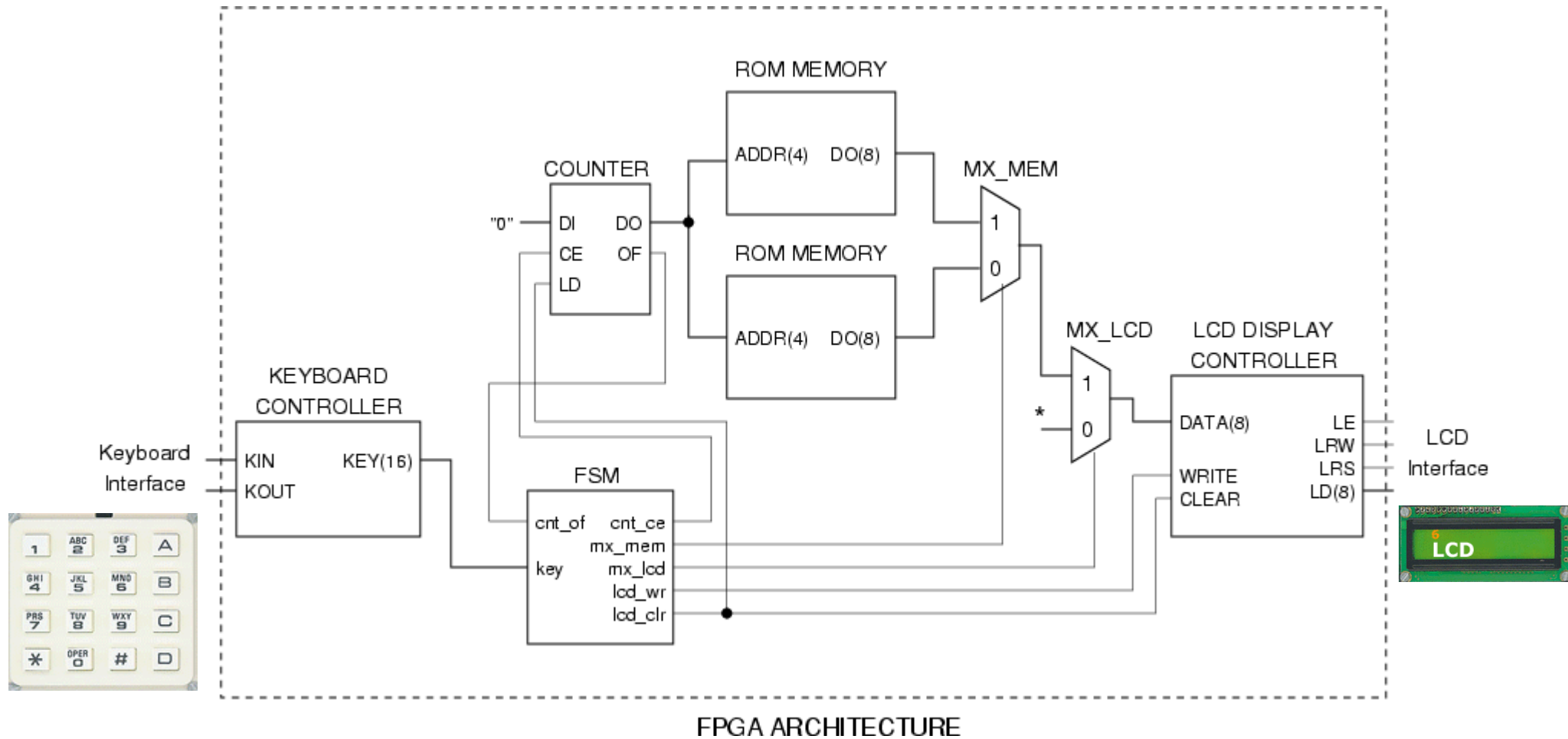


Výstup na LCD display

- Pro snadné vypisování znaků na LCD displej je v obvodu připojen řadič LCD displeje
- Komunikace probíhá skrze jednoduchý protokol:
 - **DATA(7:0)** – ASCII kód vypisovaného znaku
 - **WRITE** – zápis znaku na LCD display
 - **CLEAR** – vymazání obsahu LCD displeje



Architektura obvodu uvnitř FPGA



Automat FSM

- **Funkce automatu:**

- Automat sleduje posloupnost stisknutých kláves **KEY(15:0)**
- V průběhu zadávání kódu vypisuje na LCD displeji znak "*"
- Po potvrzení kódu klávesou "#" vypíše na displej zprávu "Pristup povolen" nebo "Pristup odepren"
- Aktivací signálu **CNT_CE** postupně vypíší jednotlivé znaky řetězce, při posledním znaku se aktivuje **CNT_OF**
- Opětovným stisknutím klávesy "#" přechází obvod opět do stavu čekajícího na vstupní kód.

- **Vstupy:**

- **KEY(15:0)** – identifikuje stisknutou klávesu
- **CNT_OF** – identifikace přetečení čítače

- **Výstupy:**

- **CNT_CE** – clock enable signál čítače
- **MX_MEM** – multiplexor pro výběr paměti
- **MX_LCD** – multiplexor pro výběr vstupu na LCD
- **LCD_WR** – zápis znaku na LCD
- **LCD_CLEAR** – vymazání LCD

Postup

- Spustíte si **obraz virtuálního stroje** s využitím nástroje **VirtualBox**
- Stáhněte si z IS soubor **projekt.zip** a rozbalte si jej do adresáře **C:\FitkitSVN\apps\demo\terminal**
- V souboru **kod.txt** v IS si vyhledejte svůj login a u něj naleznete také dva přístupové kódy pro Váš projekt
- Navrhněte řídicí jednotku (konečný automat). Při návrhu dbejte na následující požadavky:
 - Přístupový terminál musí akceptovat **pouze Vaše dva přístupové kódy** (tzn. terminál vypíše hlášení "Přístup povolen", pokud uživatel zadá správně libovolný z obou kódů).
 - Pokud uživatel v průběhu zadávání kódu stiskne špatnou klávesu, nesmí to Váš automat nijak dát najevo, dokud není stisknuta potvrzovací klávesa **"#"**.
 - Identifikujte **Mealyho** a **Moorovy** výstupy.
 - Sestavte si **graf přechodů** automatu.

Postup

- Navržený konečný automat implementujte v jazyce VHDL a uložte do předpřipraveného souboru `fsm.vhd` v adresáři `fpga`.
- Proved'te **simulaci** VHDL kódu pomocí programu **ISIM** (simulace se spouští skrze **QDevKit**).
- **Jakmile je ověřena funkce přístupového terminálu v simulacích, je možné přistoupit k testování přímo na FITKitu.**
- Proved'te **překlad zdrojových** souborů do binární podoby (pomocí nástroje **QDevKit**).
- Vytvořený binární soubor **nahrajte do FPGA** čipu (pomocí nástroje **QDevKit**).

Výstupy projektu

1. Soubor *fsm.vhd* se zdrojovým kódem konečného automatu.
 2. Soubor *accterm.bin* s konfigurací FPGA čipu (naleznete v podadresáři *build*)
 3. Soubor *zprava.pdf* s výstupní zprávou (ve formátu PDF) obsahující následující informace:
 - Identifikace Mealyho a Moorových výstupů
 - Graf přechodu konečného automatu
- Rozsah zprávy nesmí překročit jednu stranu A4.
 - **Všechny tři soubory zabalte do archívu s názvem *<login>.zip* a odevzdejte prostřednictvím informačního systému.**
 - **Před odevzdáním archivu do IS si jej otestujte skrze sadu skriptů v souboru *student_test.zip*. Podrobný návod na otestování naleznete uvnitř přiloženého README souboru.**

Výstupy projektu

- **Důležité upozornění:**
 - V případě odhalení plagiátorství nebo nedovolené spolupráce na projektu, bude proto student odměněn neudělením zápočtu z předmětu INC (0 bodů za projekt). Případně i předvoláním před disciplinární komisí.