

**МИНОБРНАУКИ РОССИИ
САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ
ЭЛЕКТРОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
«ЛЭТИ» ИМ. В. И. УЛЬЯНОВА (ЛЕНИНА)
кафедра РС**

**Отчет по лабораторной работе №2
по дисциплине «Схемотехника цифровых устройств»
Тема: «Построение схемы заданной диаграммой Вейча»
Вариант 8**

Студент гр. 3114

Зинковский Ю. А.

Преподаватель

Овчинников М. А.

Санкт-Петербург
2025

		x_4					
		1	1	1	1		
x_2		1	1	0	0	x_1	
		0	0	1	1		
		0	0	1	1		

x_3

Рис. 1: Диаграмма Вейча

1. Построение МКНФ

		x_4					
		1	1	1	1		
x_2		1	1	0	0	x_1	
		0	0	1	1		
		0	0	1	1		

x_3

Рис. 2: Объединение кубов

Запишем МКНФ:

$$y = (\bar{x}_2 \vee x_4) \wedge (\bar{x}_4 \vee x_1 \vee x_2) \quad (1)$$

2. Таблица истинности

Построим таблицу истинности для найденной МКНФ:

Таблица 1: Таблица истинности для логической функции Таблица истинности для логической функции $y = (\bar{x}_2 \vee x_4) \wedge (\bar{x}_4 \vee x_1 \vee x_2)$

x_1	x_2	x_3	x_4	$\bar{x}_2 \vee x_4$	$\bar{x}_4 \vee x_1 \vee x_2$	$(\bar{x}_2 \vee x_4) \wedge (\bar{x}_4 \vee x_1 \vee x_2)$
0	0	0	0	1	1	1
0	0	0	1	1	0	0
0	0	1	0	1	1	1
0	0	1	1	1	0	0
0	1	0	0	0	1	0
0	1	0	1	1	1	1
0	1	1	0	0	1	0
0	1	1	1	1	1	1
1	0	0	0	1	1	1
1	0	0	1	1	1	1
1	0	1	0	1	1	1
1	0	1	1	1	1	1
1	1	0	0	0	1	0
1	1	0	1	1	1	1
1	1	1	0	0	1	0
1	1	1	1	1	1	1

3. Блок-диаграмма

Построим блок-схему устройства, реализующую МКНФ используя редактор блок-схем Quartus:

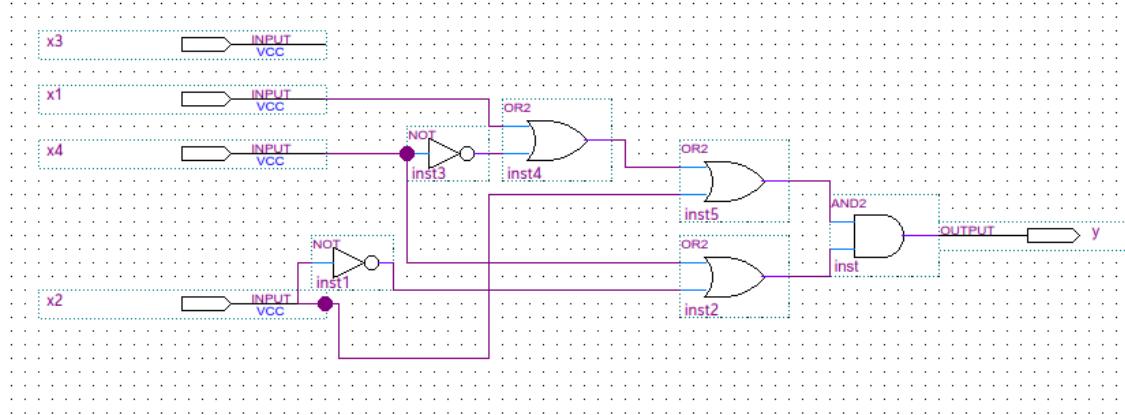


Рис. 3: Блок диаграмма, построенная в редакторе Quartus

Воспользуемся компонентом RTL Viewer:

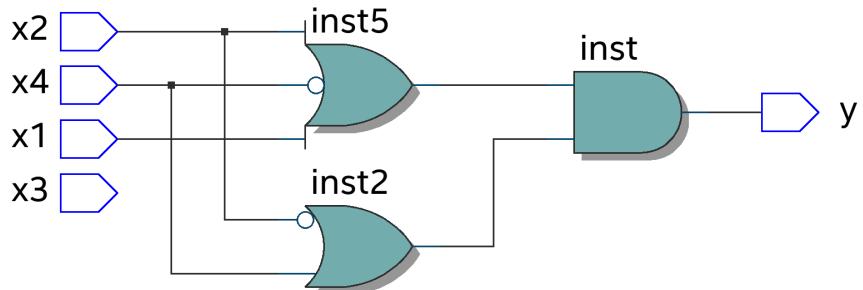


Рис. 4: Блок диаграмма построенная RTL viewer

4. Моделирование с помощью Verilog

Смоделируем устройство, описываемое МКНФ (1) с помощью языка описания аппаратуры Verilog. Код Verilog:

```
module simple(a1, a2, a3, a4, y);
  input a1, a2, a3, a4;
  output y;
  assign y = (~a2 | a4) & (~a4 | a1 | a2);
```

endmodule

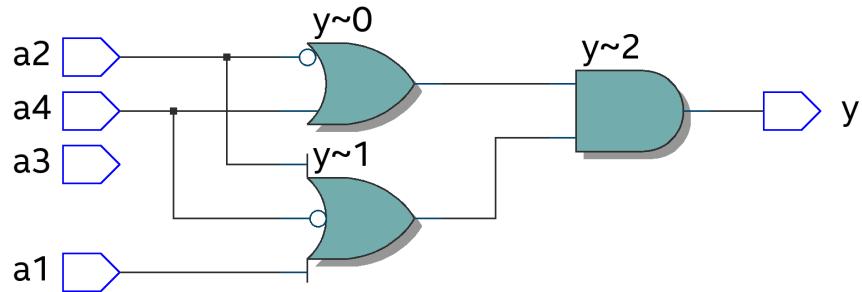


Рис. 5: Блок диаграмма построенная RTL viewer

Схемы 4 и 5 отличаются расположением переменных и вентилей, но описывают одно и то же выражение.

5. Временные диаграммы

Построим временные диаграммы с задержкой и без для устройства, описываемого ККНФ (1):

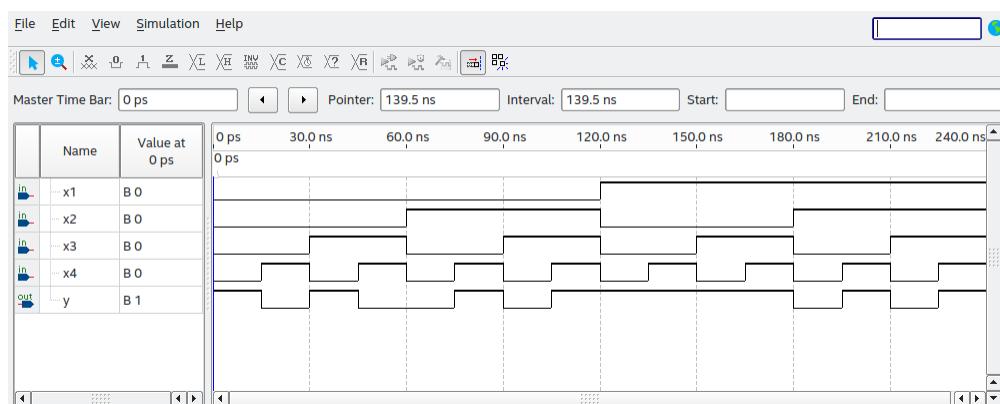


Рис. 6: Временная диаграмма без задержки на выходе

Расположение переменных и значения выхода y_1 соответствуют таблице истинности.

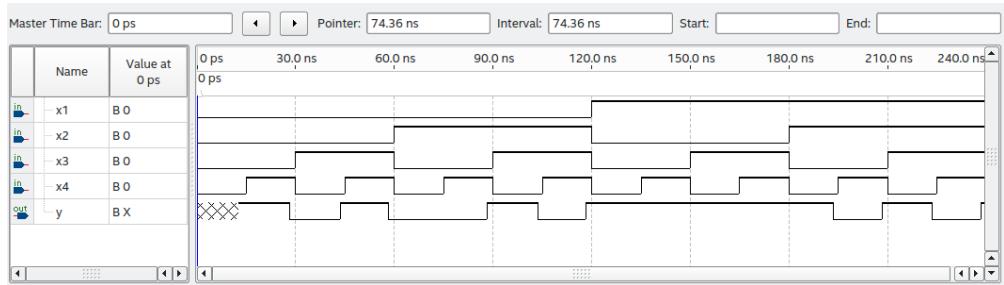


Рис. 7: Временная диаграмма с задержкой на выходе

Временная диаграмма с задержкой из-за протекания в ПЛИС переходных процессов.

Вывод

В ходе работы по диаграмме Вейча была составлена МКНФ и построена соответствующая таблица истинности. Двумя способами было смоделировано цифровое устройство, описываемое работой данной МКНФ: с помощью графического редактора и с помощью языка описания аппаратуры Verilog. Результаты работы компонента RTL Viewer в двух случаях представлены на рисунках 4 и 5. Для модели на Verilog были получены временные диаграммы (6, 7), отражающие как идеальный случай, так и реальное устройство с наличием задержки на выходе.