

МИНОБРНАУКИ РОССИИ
САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ
ЭЛЕКТРОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
«ЛЭТИ» ИМ. В. И. УЛЬЯНОВА (ЛЕНИНА)
кафедра РС

ЛАБОРАТОРНАЯ РАБОТА №1

по дисциплине «Цифровая схемотехника»

Тема: «Построение схемы, заданной логическим выражением»

Вариант 8

Студент гр. 3114

Злобин М. А.

Преподаватель

Комаров Г. В.
Овчинников М. А.

Санкт-Петербург
2025

1. Задание

1. Найти МДНФ переключательной функции, заданной в виде диаграммы Вейча
2. Построить таблицу истинности найденной МДНФ.
3. Собрать в графическом редакторе схему цифрового устройства, работы которого описывается найденной ранее МДНФ и показать результаты работы компонента RTL Viewer.
4. Смоделировать это же цифровое устройство в текстовом редакторе с помощью языка описания аппаратуры Verilog и также показать результат работы RTL Viewer.
5. Сравнить результаты работы компонента RTL Viewer для устройства, смоделированного в двух редакторах: графическом и текстовом.
6. Построить временные диаграммы при наличии и отсутствии задержек.

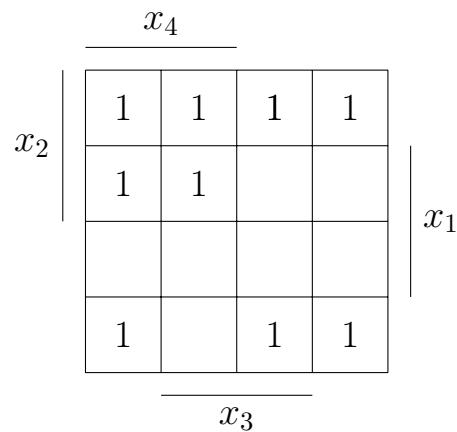


Рис. 1: Диаграмма Вейча

2. Построение МДНФ

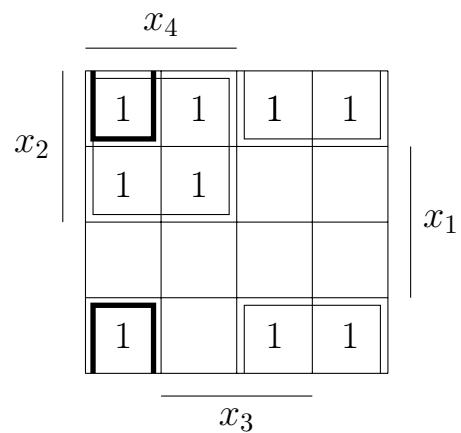


Рис. 2: Объединение кубов

Запишем МДНФ:

$$y = (x_2 \wedge x_4) \vee (\overline{x_4} \wedge \overline{x_1}) \vee (\overline{x_1} \wedge \overline{x_3}).$$

3. Таблица истинности

Таблица 1: Таблица истинности для логической функции $(x_4 \wedge x_4) \vee (\overline{x}_4 \wedge \overline{x}_1) \vee (\overline{x}_1 \wedge \overline{x}_3)$.

x_1	x_2	x_3	x_4	$x_2 \wedge x_4$	$\overline{x}_4 \wedge \overline{x}_1$	$\overline{x}_1 \wedge \overline{x}_3$	$(x_2 \wedge x_4) \vee (\overline{x}_4 \wedge \overline{x}_1) \vee (\overline{x}_1 \wedge \overline{x}_3)$
0	0	0	0	0	1	1	1
0	0	0	1	0	0	1	1
0	0	1	0	0	1	0	1
0	0	1	1	0	0	0	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	1	1
0	1	1	0	0	1	0	1
0	1	1	1	1	0	0	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0
1	0	1	0	0	0	0	0
1	0	1	1	0	0	0	0
1	1	0	0	0	0	0	0
1	1	0	1	1	0	0	1
1	1	1	0	0	0	0	0
1	1	1	1	1	0	0	1

4. Блок-диаграмма

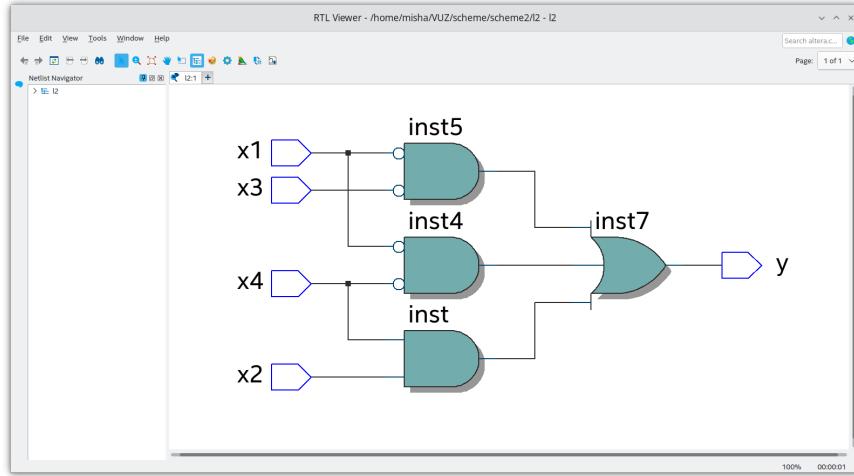


Рис. 3: Блок диаграмма построенная RTL viewer

5. Моделирование с помощью Verilog

Код Verilog:

```
module simple (a1, a2, a3, a4, y1);
  input a1, a2, a3, a4;
  output y1;
  assign y1 = a2 & a4 | ~a4 & ~a1 | ~a1 & ~a3;
endmodule
```

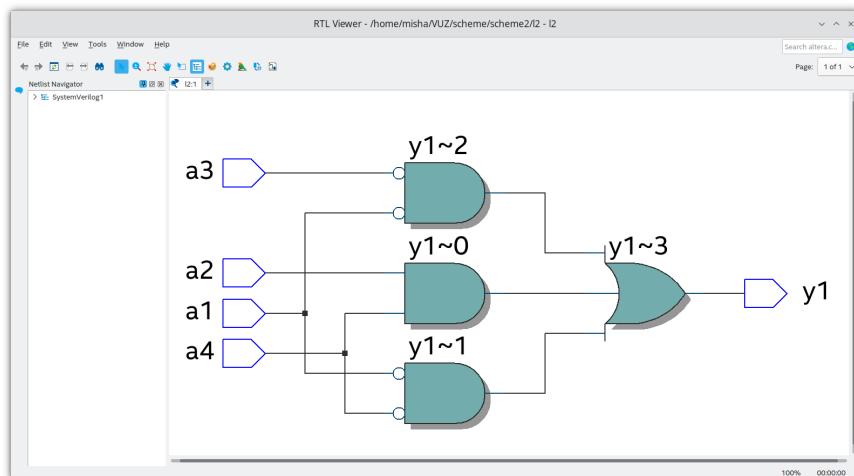


Рис. 4: Блок диаграмма построенная RTL viewer

Схемы 3 и 4 отличаются расположением переменных и вентилей, но описывают одно и то же выражение.

6. Временные диаграммы

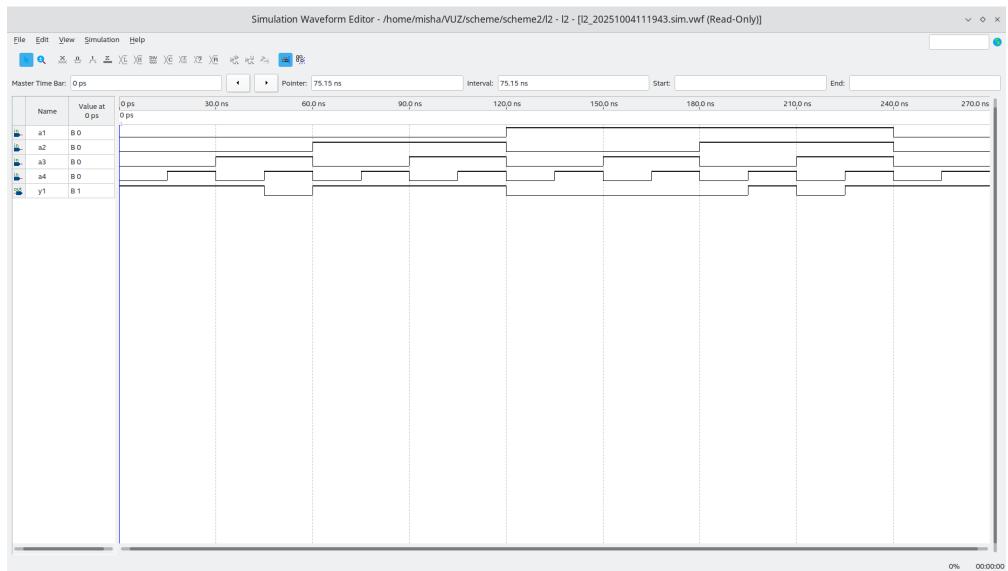


Рис. 5: Временная диаграмма без задержки на выходе

Расположение переменных и значения выхода $y1$ соответствуют таблице истинности.

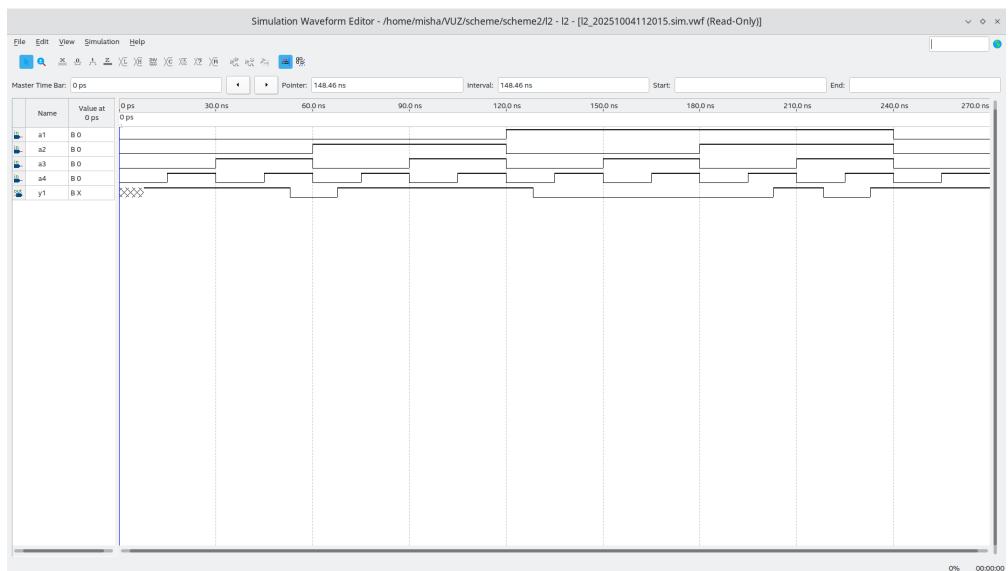


Рис. 6: Временная диаграмма с задержкой на выходе

Временная диаграмма с задержкой, обусловленной протеканием в ПЛИС переходных процессов.

Вывод

В ходе работы по диаграмме Вейча была составлена МДНФ и построена соответствующая таблица истинности. Двумя способами было смоделировано цифровое устройство, описываемое работой данной МДНФ: с помощью графического редактора и с помощью языка описания аппаратуры Verilog. Результаты работы компонента RTL Viewer в двух случаях представлены на рисунках 3 и 4. Для модели на Verilog были получены временные диаграммы (5, 6), отражающие как идеальный случай, так и реальное устройство с наличием задержки на выходе.