

**МИНОБРНАУКИ РОССИИ
САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ
ЭЛЕКТРОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
«ЛЭТИ» ИМ. В. И. УЛЬЯНОВА (ЛЕНИНА)
кафедра РС**

**Отчет по лабораторной работе №4
по дисциплине «Схемотехника цифровых устройств»
Тема: «Исследование работы синхронных D- и J-K-триггеров»
Вариант 8**

Студент гр. 3114

Злобин М. А.

Преподаватель

Овчинников М. А.

Санкт-Петербург
2025

1. Задание

1. Собрать схему синхронного D-триггера, изучить ее временные диаграммы и блок схему (время моделирования 1400 нс, период clock 40 нс)
2. Собрать схему синхронного D-триггера с сигналом set, изучить ее временные диаграммы и блок схему (время моделирования 1400 нс, период clock 40 нс)
3. Собрать схему синхронного J-K-триггера, изучить ее временные диаграммы и блок схему (время моделирования 700 нс, период clock 20 нс)

2. синхронный D-триггер

Построим синхронный D-триггер на языке Verilog:

Листинг 1: Описание синхронного D-триггера на языке Verilog

```
1 module dff_my ( clock , Data , q );  
2 input clock , Data ;  
3 output q ;  
4 reg q ;  
5 always @( negedge clock )  
6     q<=Data ;  
7 endmodule
```

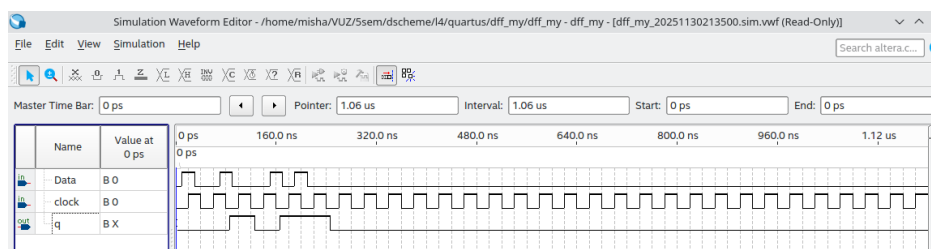


Рис. 1: схема синхронного d-триггера, созданного в текстовом редакторе

Результат работы компонента RTL-Viewer:

Из рис. 2 видно, что схема такого триггера аналогична схеме асинхронного DL-триггера, с тем отличием, что в роли сигнала L теперь выступает спад тактового сигнала clock.

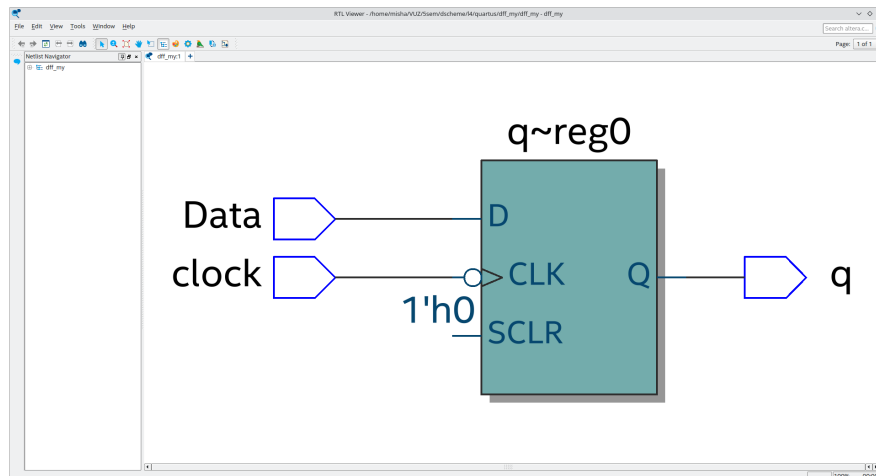


Рис. 2: Схема синхронного D-триггера

3. синхронный D-триггер с сигналом set

Построим синхронный D-триггер с сигналом set на языке Verilog:

Листинг 2: Описание синхронного D-триггера с сигналом set на языке Verilog

```

1 module dff_my(clock , Data , set , q);
2 input clock , Data , set;
3 output q;
4 reg q;
5 always @(negedge clock)
6     begin
7         if ( set )
8             q <= 1'b1;
9         else
10            q <= Data;
11        end
12 endmodule

```

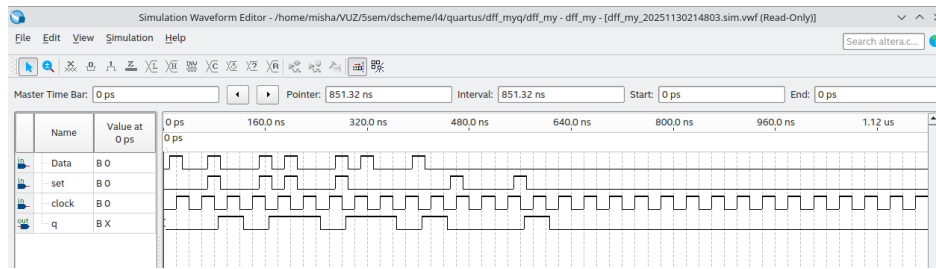


Рис. 3: Временная диаграмма синхронного D-триггера с сигналом set, созданного в текстовом редакторе

Результат работы компонента RTL-Viewer:

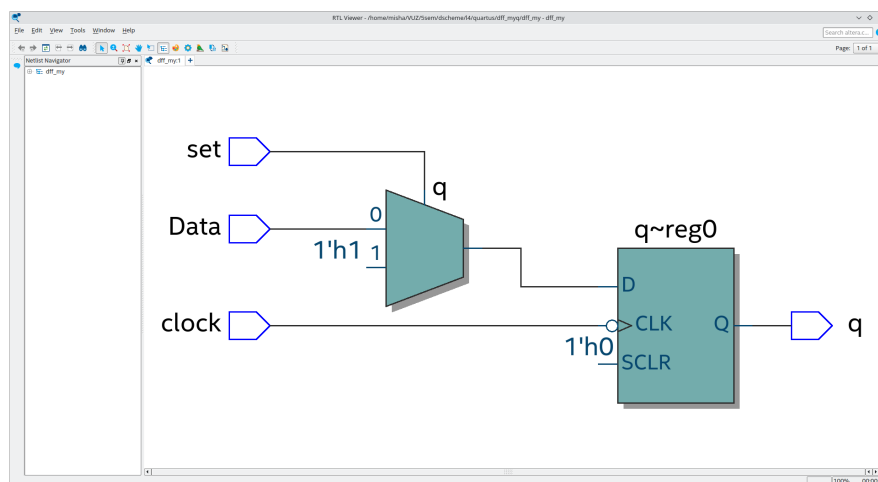


Рис. 4: Схема синхронного D-триггера с сигналом set

Из листинга видно, что сигнал set является асинхронным, т. к. находится в блоке always (управление в него передается только в момент спада тактового сигнала)

4. синхронный J-K-триггер

Построим синхронный J-K-триггер:

Листинг 3: Описание синхронного J-K-триггера на Verilog

```

1 module jkff_my ( clock , J , K , q );
2   input  clock , J , K;
3   output q;
4   reg q;

```

```

5  always @(posedge clock)
6      case ({ J , K })
7          2'b0_0 : q <= q;
8          2'b0_1 : q <= 1'b0;
9          2'b1_0 : q <= 1'b1;
10         2'b1_1 : q <= ~q;
11     endcase
12 endmodule

```

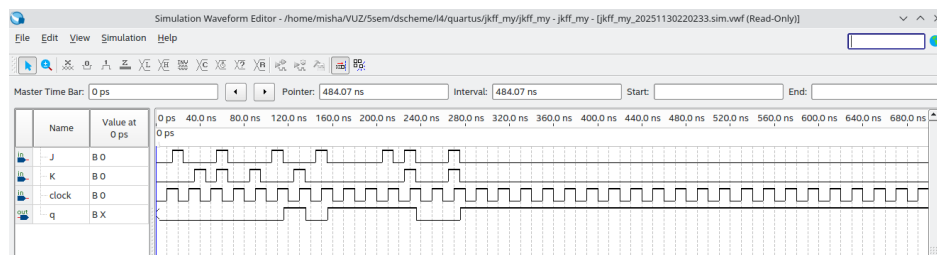


Рис. 5: Временная диаграмма синхронного J-K-триггера, созданного в текстовом редакторе

Результат работы компонента RTL-Viewer:

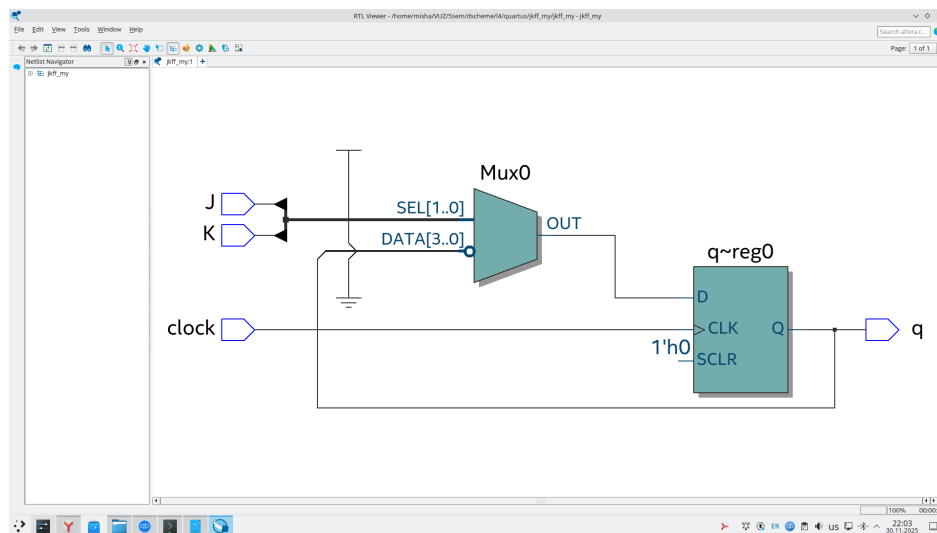


Рис. 6: Схема синхронного J-K-триггера

Схема реализована с помощью блока Mux – мультиплексора, на вход поступают данные из двух последовательных шин, и в зависимости от значения битов SEL (J и K) выбирается нужный бит шины DATA. Выход мультиплексора задерживается защелкой до нужного перепада тактового сигнала.

5. J-K-триггер с подавление дребезга контактов

Построим синхронный J-K-триггер с подавлением дребезга контактов на языке Verilog:

Листинг 4: Описание синхронного J-K-триггера на языке Verilog

```
1 module lab3_new (clk , clk_JK , J , K, rst_n_inp , q);
2 input clk , clk_JK , J , K, rst_n_inp;
3 output q;
4 reg q;
5 wire J_state , K_state , clk_state;
6
7 Debouncer J_button (J,clk ,rst_n_inp , J_state);
8 Debouncer K_button (K,clk ,rst_n_inp , K_state);
9 Debouncer CLK_button (clk_JK ,clk ,rst_n_inp , clk_state);
10
11 always @(posedge clk_state)
12 begin
13     if (J_state==1 && K_state==0)
14         q<=1'b1;
15     else
16         if (J_state==0 && K_state==1)
17             q<=1'b0;
18         else
19             if (J_state==1 && K_state==1)
20                 q<=~q;
21 end
22 endmodule
23
24 module Debouncer
25 (
26     input      Signal ,
27     input      clk ,
28     input wire  reset_n ,
29     output reg  Button_state
```

```

30 );
31
32 /* Register definition */
33 reg Button_sync_0;
34 reg Button_sync_1;
35 reg [17:0] Button_cnt;
36
37 always @(posedge clk or negedge reset_n)
38 begin
39     if (!reset_n)
40         Button_sync_0 <= 1'b0;
41     else
42         Button_sync_0 <= !Signal;
43 end
44
45 always @(posedge clk or negedge reset_n)
46 begin
47     if (!reset_n)
48         Button_sync_1 <= 1'b0;
49     else
50         Button_sync_1 <= Button_sync_0;
51 end
52
53 wire Button_idle = (Button_state==Button_sync_1);
54 wire Button_cnt_max = &Button_cnt;
55
56 always @(posedge clk or negedge reset_n)
57 begin
58     if (!reset_n)
59         Button_cnt <= 18'h0;
60     else
61         begin
62             if (Button_idle)
63                 Button_cnt <= 18'h0;

```

```

64         else
65         begin
66             Button_cnt      <= Button_cnt
67                               + 18'd1;
68             if (Button_cnt_max)
69                 Button_state <= ~
70                               Button_state;
71         end
72     end
73 endmodule

```

Результат работы компонента RTL-Viewer:

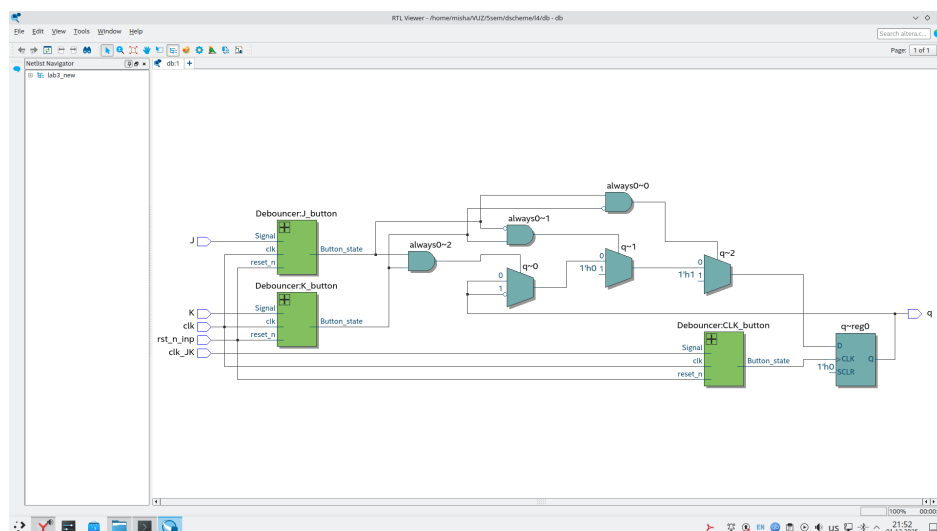


Рис. 7: Схема синхронного J-K-триггера с подавление дребезга контактов

Логика Debouncer основана на счете тактов, в течение которых кнопка пребывает в измененном состоянии. Если число таких тактов, идущих подряд, составляет 2^{18} , то кнопка считается нажатой, в случае же дребезга изменения не применяются. Также в коде Debouncer используются регистры Button_sync_0 и Button_sync_1, второй на один такт запаздывает относительно первого, и служат они для подавления метастабильного состояния – дается дополнительный такт на ее разрешение. В остальном код триггера отличается от описанного ранее синхронного J-K-триггера лишь тем, что в нем

вместо объединения J и K в последовательную шину используются логические выражения.

Вывод

В ходе работы были исследованы синхронные D-триггер, D-триггер с синхронным set сигналом, J-K-триггер, построены их временные диаграммы и схемы. Также был изучен код на Verilog, описывающий подавление дребезга контактов синхронного J-K-триггера. Его принцип работы состоит в считывании с помощью специального модуля Debouncer числа тактов, в течении которых кнопка находится в измененном состоянии, и только при сохранении этого состояния в течении определенного числа тактов (17) подряд, состояние кнопки (выходной сигнал Debouncer) меняется на противоположное, в остальном логика работы идентична обычному синхронному J-K-триггеру.