

**МИНОБРНАУКИ РОССИИ  
САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ  
ЭЛЕКТРОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ  
«ЛЭТИ» ИМ. В. И. УЛЬЯНОВА (ЛЕНИНА)  
кафедра РС**

**Отчет по лабораторной работе №3  
по дисциплине «Схемотехника цифровых устройств»  
Тема: «Исследование работы асинхронных RS- и DL-триггеров»  
Вариант 8**

Студент гр. 3114

\_\_\_\_\_

Злобин М. А.

Преподаватель

\_\_\_\_\_

Овчинников М. А.

Санкт-Петербург  
2025

## 1. Задание

1. Собрать и схему RS-триггера в текстовом редакторе, изучить схему с помощью RTL-Viewer
2. Построить временные диаграммы с учетом задержек (время моделирования задать 450 нс)
3. Прodelать все то же самое в графическом редакторе
4. Собрать схему асинхронного DL-триггера в текстовом редакторе, изучить схему с помощью RTL-Viewer
5. Построить временную диаграмму с учетом задержек (время моделирования задать 300 нс)

## 2. асинхронный RS-триггер в текстовом редакторе

Листинг 1: Описание асинхронного RS-триггера на языке Verilog

```
1 module s_r_ff (not_set , reset , q , not_q );
2 input not_set , reset ;
3 output q , not_q ;
4 assign not_q = ~q ;
5 reg q ;
6 always @ ( not_set or reset )
7 begin
8 if (~not_set)
9 q <= 1'b1 ;
10 else if (reset)
11 q <= 1'b0 ;
12 end
13 endmodule
```

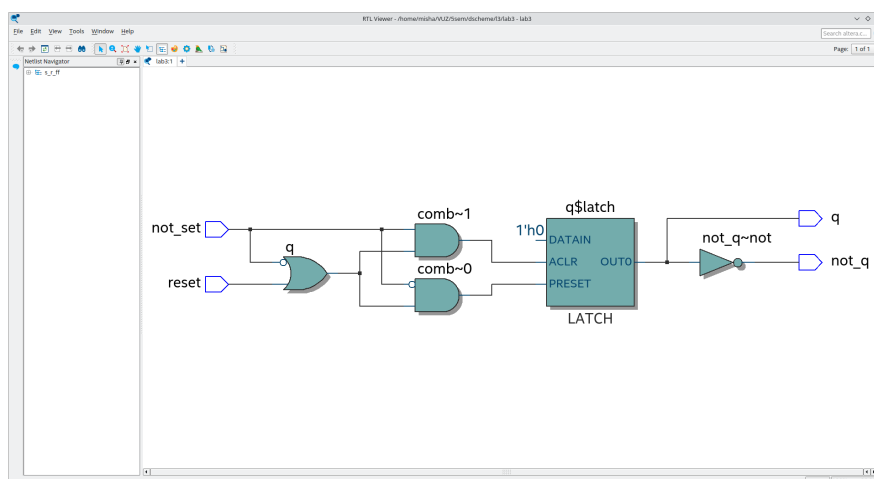


Рис. 1: Схема асинхронного RS-триггера, созданного в текстовом редакторе

В схеме использован блок LATCH ("защелка"), блок по факту и реализует логику RS-триггера, переводя выходной сигнал  $q$  в 0 при сигнале на ACLR и в 1 при сигнале на PRESET. При этом блоки "или" и "и" перед защелкой служат для обхода запрещенного состояния: сигналы на ACLR и PRESET не могут быть одновременно 1. На сигнал DATAIN подается 0, триггер от него не зависит.

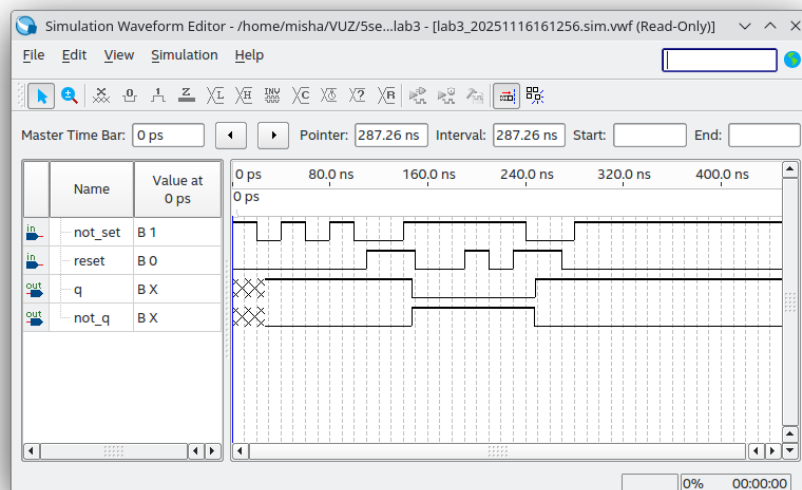


Рис. 2: Временная диаграмма асинхронного RS-триггера, созданного в текстовом редакторе

На временной диаграмме видно, что в запрещенном режиме ( $R = S = 1$ ) сигнал  $q = 1$ , сигнал  $not\_q = 0$ .

### 3. асинхронный RS-триггер в графическом редакторе

Построим асинхронный RS-триггер в базе ”и-не” в графическом редакторе:

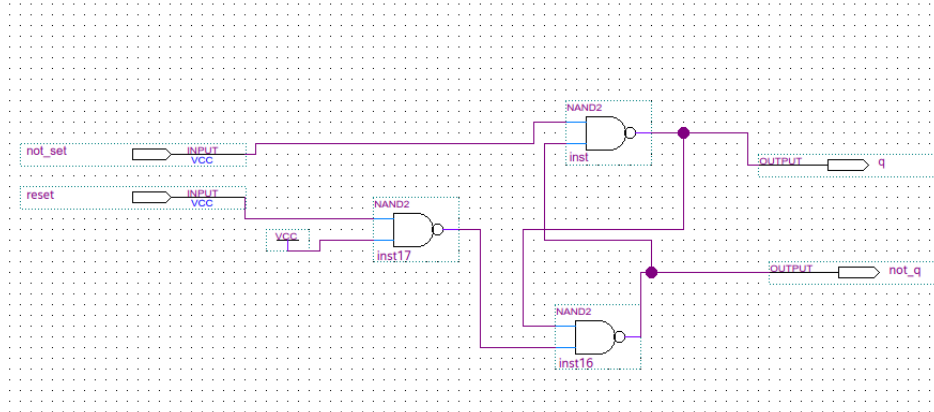


Рис. 3: Построение асинхронного RS-триггера в базе и-не

Результат работы компонента RTL-Viewer:

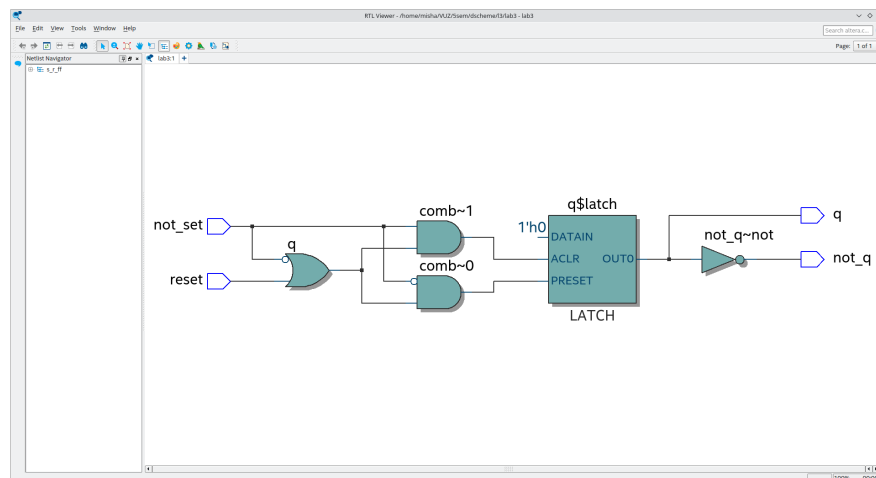


Рис. 4: Схема асинхронного RS-триггера, созданного в графическом редакторе

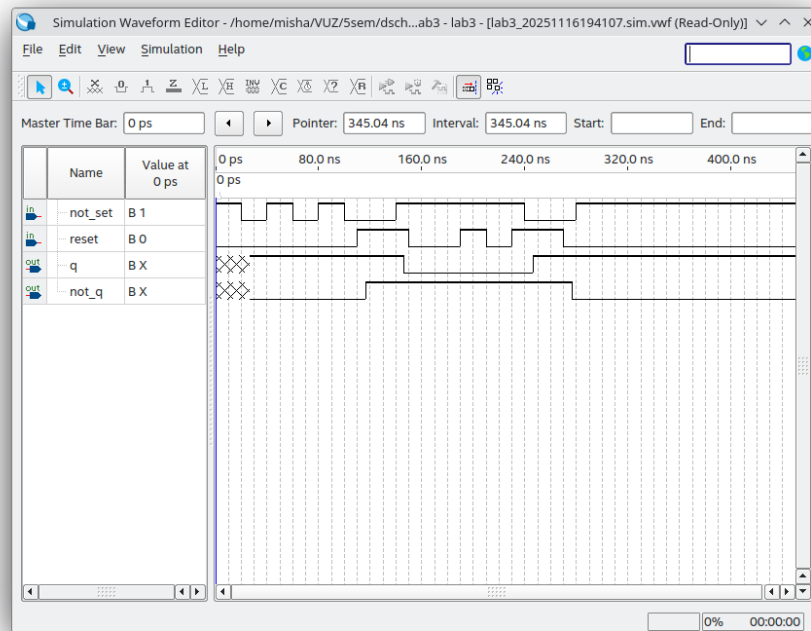


Рис. 5: Временная диаграмма асинхронного RS-триггера, созданного в графическом редакторе

Видно, что в запрещенном состоянии сигналы  $q$  и  $not\_q$  не являются инверсными, оба 1.

#### 4. Асинхронный DL-триггер

Описание асинхронного DL-триггера на языке Verilog:

Листинг 2: Описание асинхронного DL-триггера на языке Verilog

```

1 module d_l_ff (data , load , q);
2 input data , load;
3 output q;
4 reg q;
5 always @(load or data)
6 begin
7 if (load)
8 q <= data;
9 end
10 endmodule

```

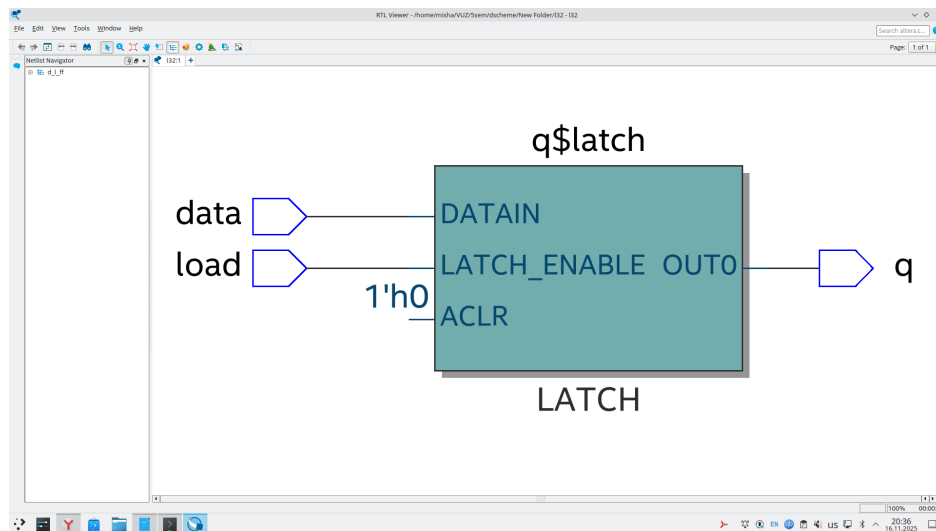


Рис. 6: Схема асинхронного DL-триггера

Также, как и в случае с RS-триггером, использован блок LATCH, выполняющий функции DL-триггера (входы DATAIN и LATCH\_ENABLE соответствуют входам data и load). На вход ACLR подается 0, т. к. выход триггера устанавливается в 0 комбинацией других сигналов.

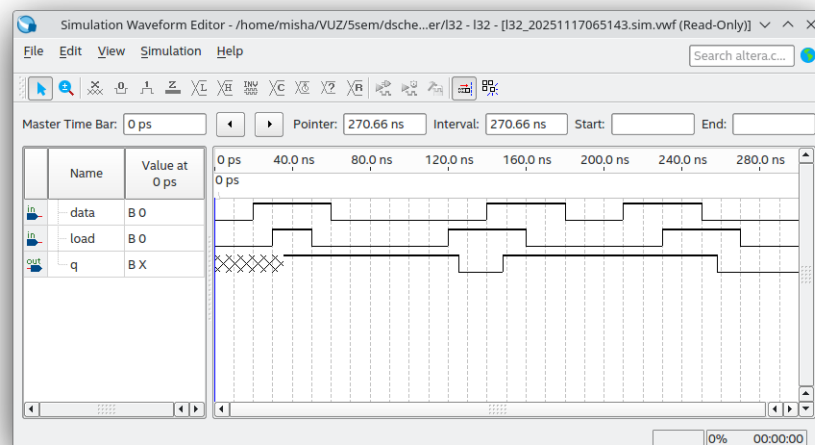


Рис. 7: Временная диаграмма асинхронного RS-триггера, созданного в графическом редакторе

При замене в 5 строке `@always(loar or data)` на `@always(data)`, изменений замечено не было:

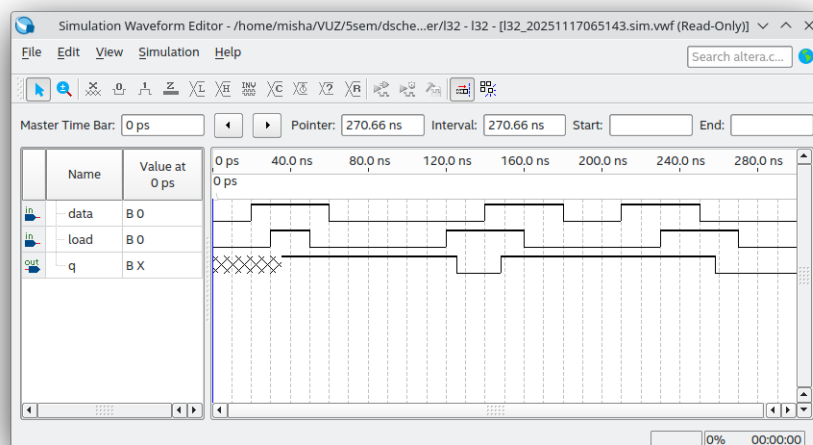


Рис. 8: Временная диаграмма асинхронного RS-триггера

Схема RTL-Viewer также совпала.

## Вывод

В ходе работы были построены две модели RS-триггера: в текстовом и графическом редакторах, построены их временные диаграммы и схемы. Они отличаются лишь поведением триггера в запрещенном состоянии. Также в текстовом редакторе был построен DL-триггер, построена его временная диаграмма и схема. При изменении списка чувствительности always его поведение не изменяется.