

**МИНОБРНАУКИ РОССИИ
САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ
ЭЛЕКТРОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
«ЛЭТИ» ИМ. В. И. УЛЬЯНОВА (ЛЕНИНА)
кафедра РС**

**Отчет по лабораторной работе №1
по дисциплине «Схемотехника цифровых устройств»
Тема: «Построение схемы, заданной логическим выражением»
Вариант 8**

Студент гр. 3114

Злобин М. А.

Преподаватель

Овчинников М. А.

Санкт-Петербург
2025

1. Задание

Дано логическое выражение $\overline{x_3 \wedge x_2} \vee x_1$;

1. Построить таблицу истинности для данного выражения
2. Собрать в графическом редакторе схему цифрового устройства, работа которого описывается данным логическим выражением.
3. Показать результат работы компонента RTL Viewer.
4. Построить временные диаграммы, иллюстрирующие работу устройства, при наличии и отсутствии задержек.

2. Таблица истинности

Построим таблицу истинности для заданного логического выражения:

Таблица 1. Таблица истинности для выражения $\overline{x_3 \wedge x_2} \vee x_1$.

x_1	x_2	x_3	$x_3 \wedge x_2$	$\overline{x_3 \wedge x_2}$	$\overline{x_3 \wedge x_2} \vee x_1$
0	0	0	0	1	1
0	0	1	0	1	1
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	0	1	1
1	0	1	0	1	1
1	1	0	0	1	1
1	1	1	1	0	1

3. Блок-схема

Построим блок-схему с помощью редактора блок-схем в Quartus:

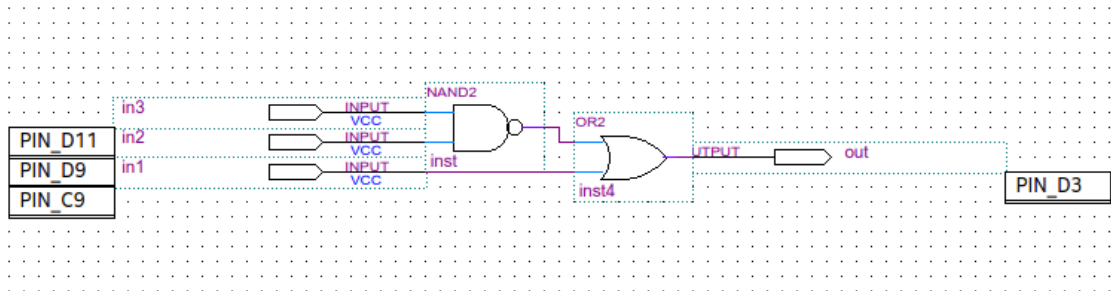


Рис. 1: Схема логического выражения, построенная в редакторе блок-схем

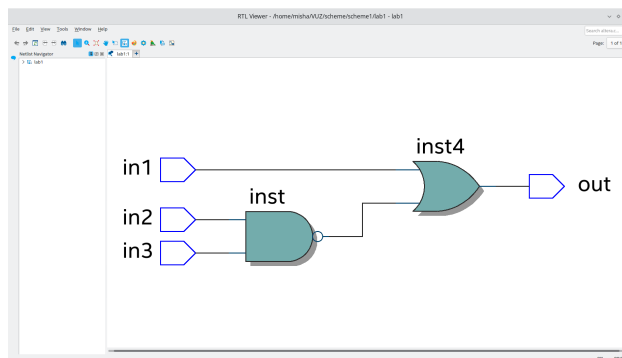


Рис. 2: Блок-схема исследуемого выражения, построенная RTL Viewer

Построим временные диаграммы с задержкой и без:

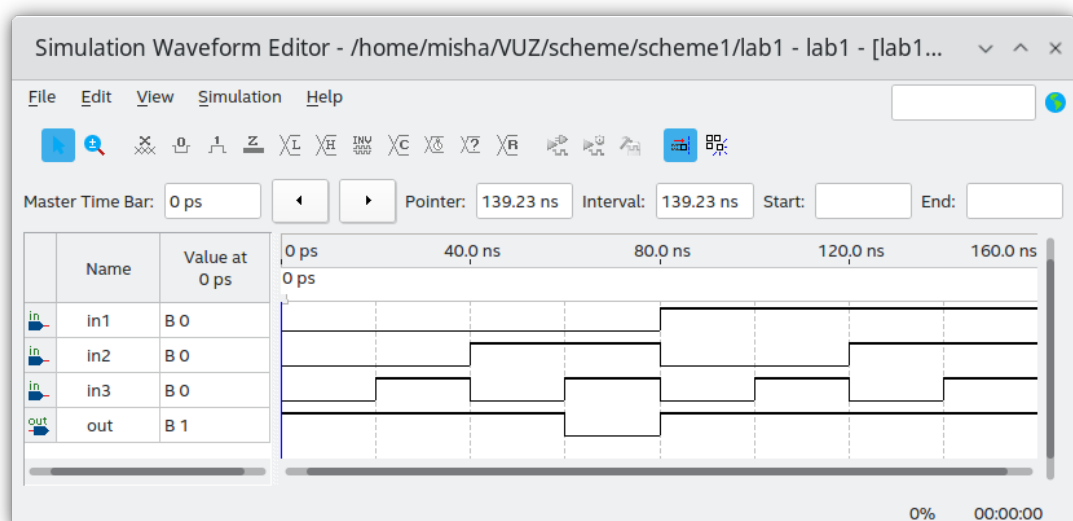


Рис. 3: Временная диаграмма без задержки

Выходной сигнал *out* соответствует последнему столбцу в таблице истинности.

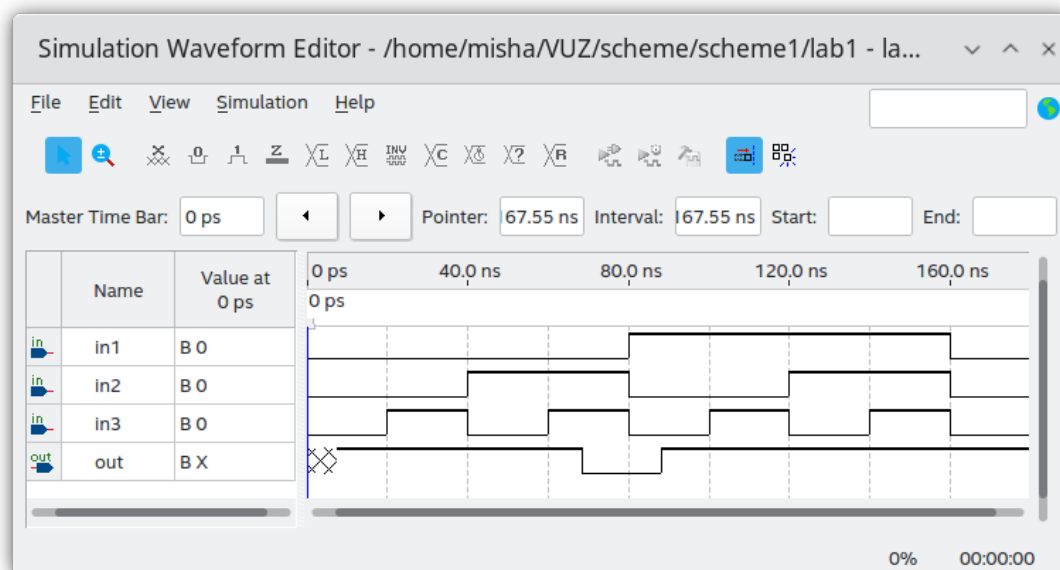


Рис. 4: Временная диаграмма с задержкой

Подобная диаграмма моделирует реальную систему, в которой задержка выходного сигнала возникает из-за протекания в ПЛИС переходных процессов, обусловленных паразитными емкостями *p-n* переходов.

Вывод

В ходе выполнения работы в графическом редакторе программы Quartus было составлено логическое выражение, которым был ”прошит” ПЛИС семейства Cyclone IV E. Были проанализированы временные диаграммы, соответствующие идеальной модели и реальному устройству, в котором протекают переходные процессы.