

PONTIFICIA UNIVERSIDAD CATÓLICA DEL PERU
FACULTAD DE ESTUDIOS GENERALES CIENCIAS



Respuestas de la experiencia 1 del Laboratorio

LABORATIO N°3

ALUMNO:

MATEO GUERRERO ISUIZA

CÓDIGO:

20191867

HORARIO:

0441

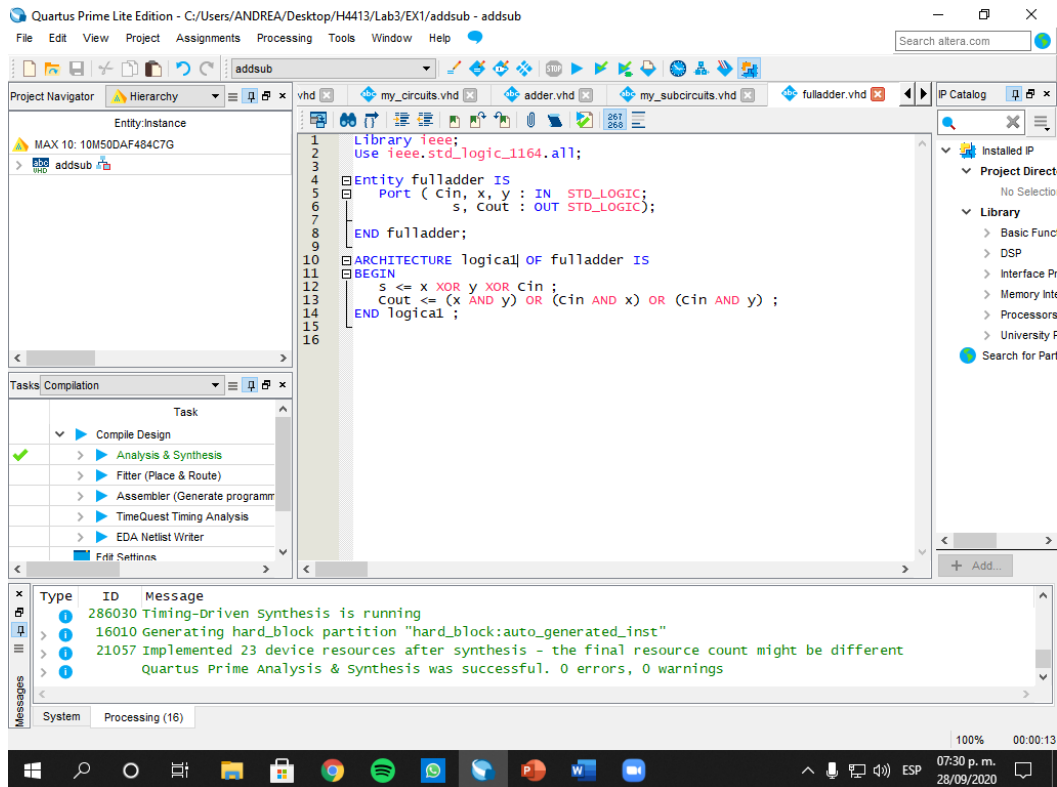
PROFESOR:

Flores Espinoza, Donato

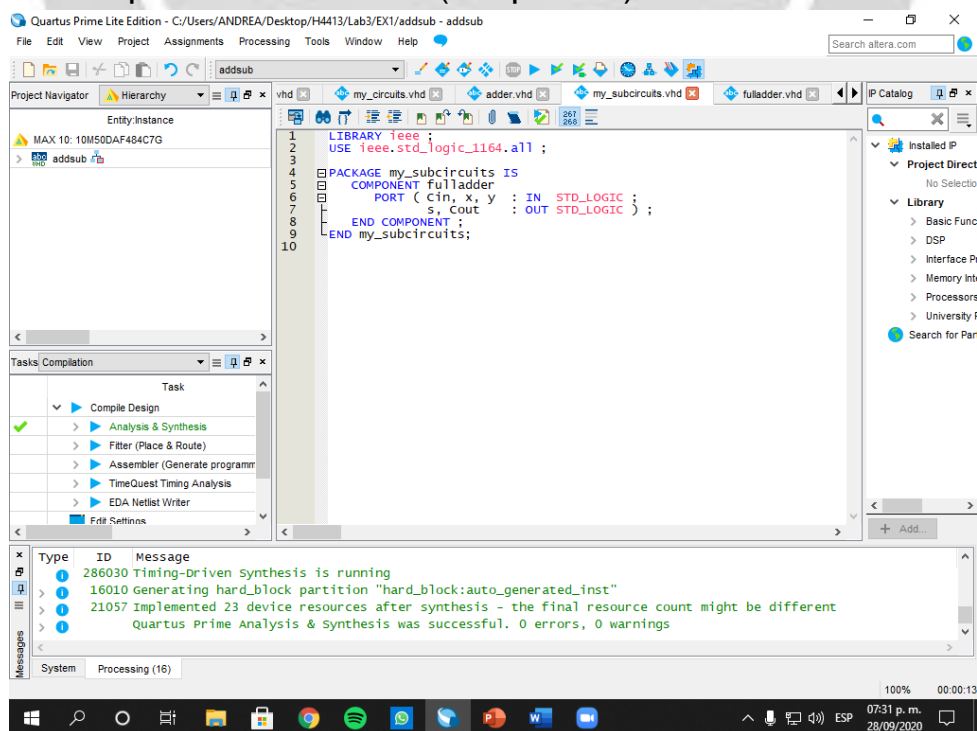
2020-2

Lima, Septiembre, 2020

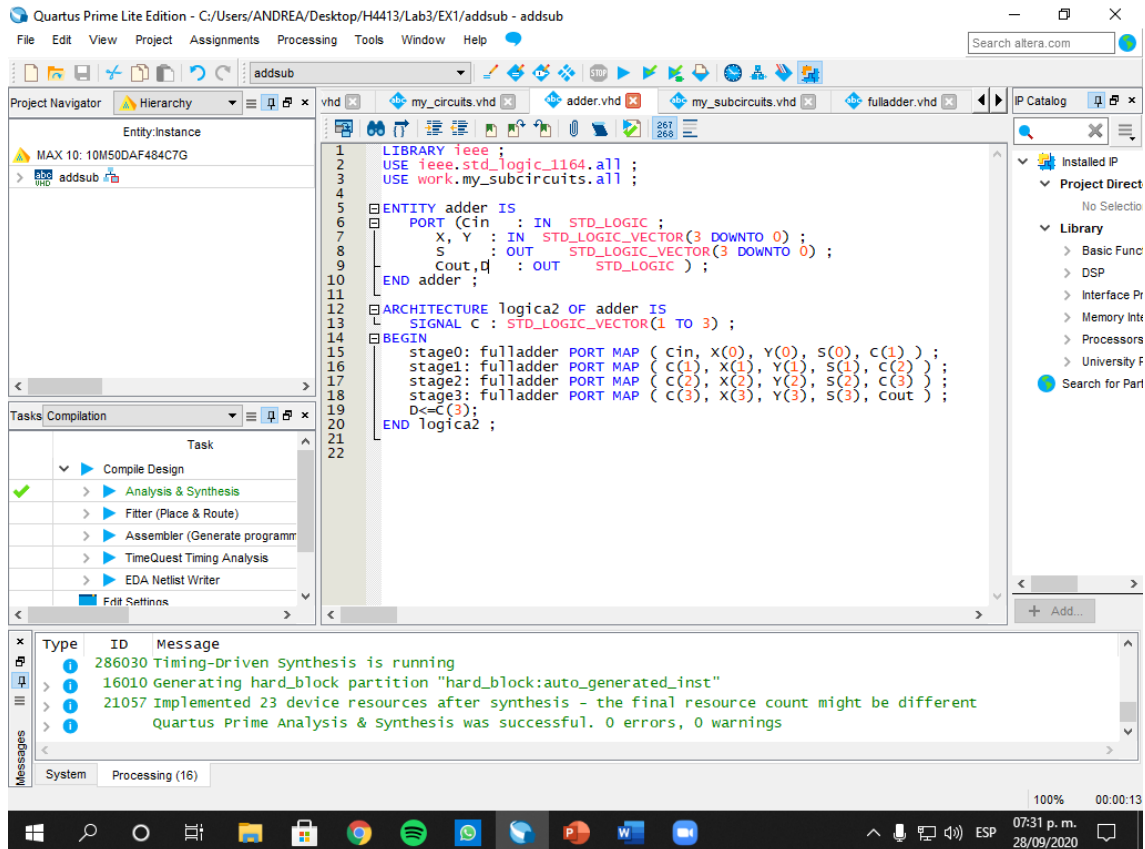
1. Realizar la descripción del circuito fulladder en VHDL. (0.5 puntos)



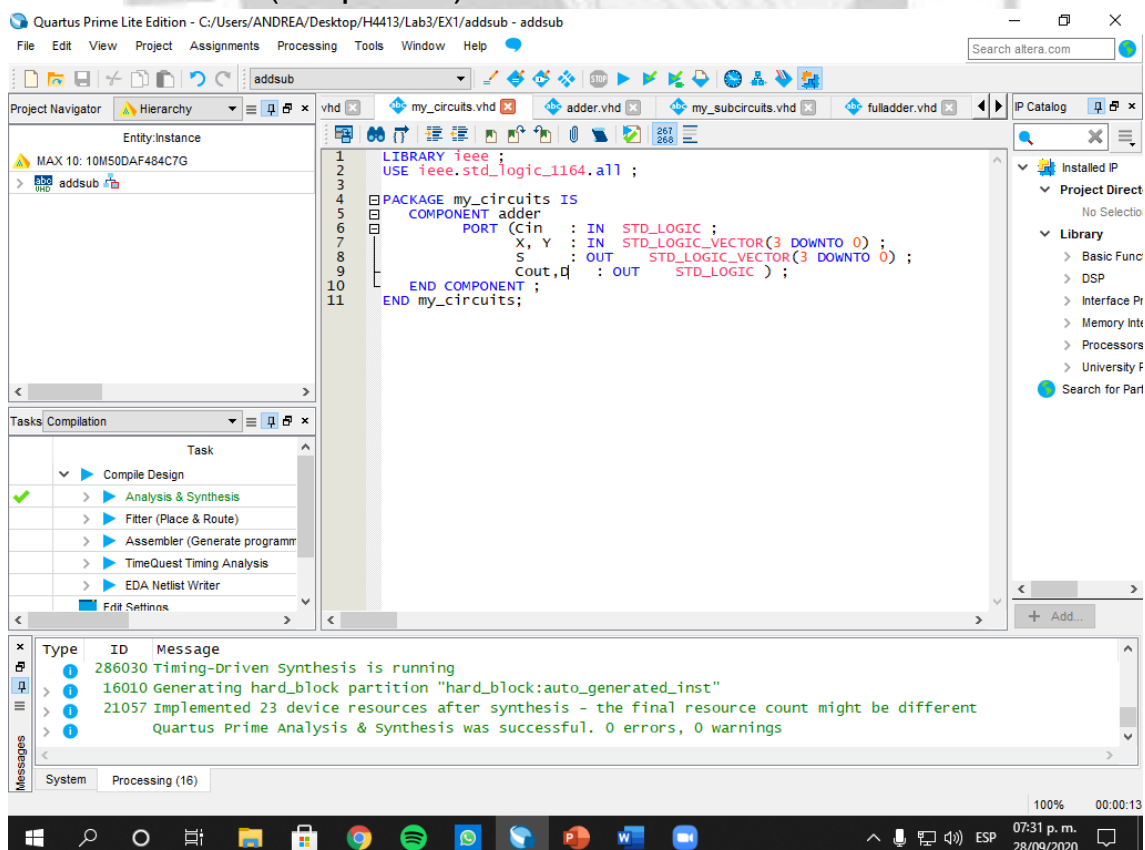
2. Crear un paquete my_subcircuits que contenga al componente fulladder. (0.5 puntos)



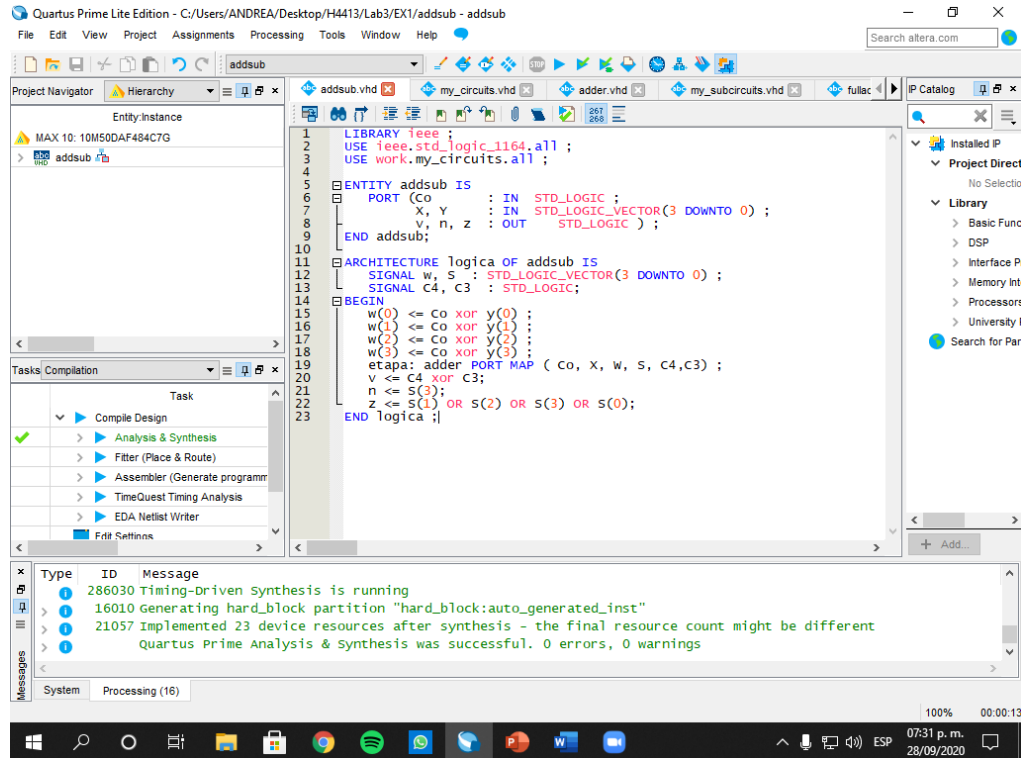
3. Crear el circuito adder. (2.5 puntos)



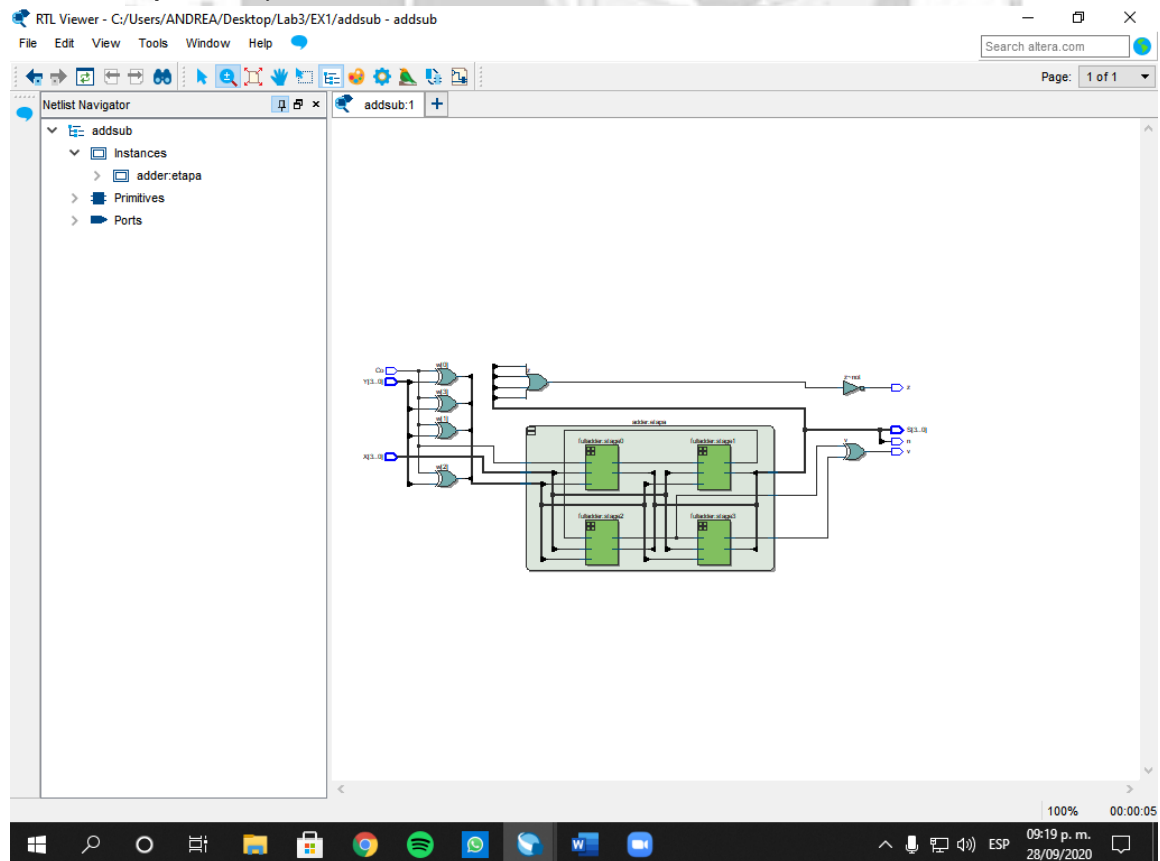
4. Crear un paquete my_circuits que contenga al componente adder. (0.5 puntos)



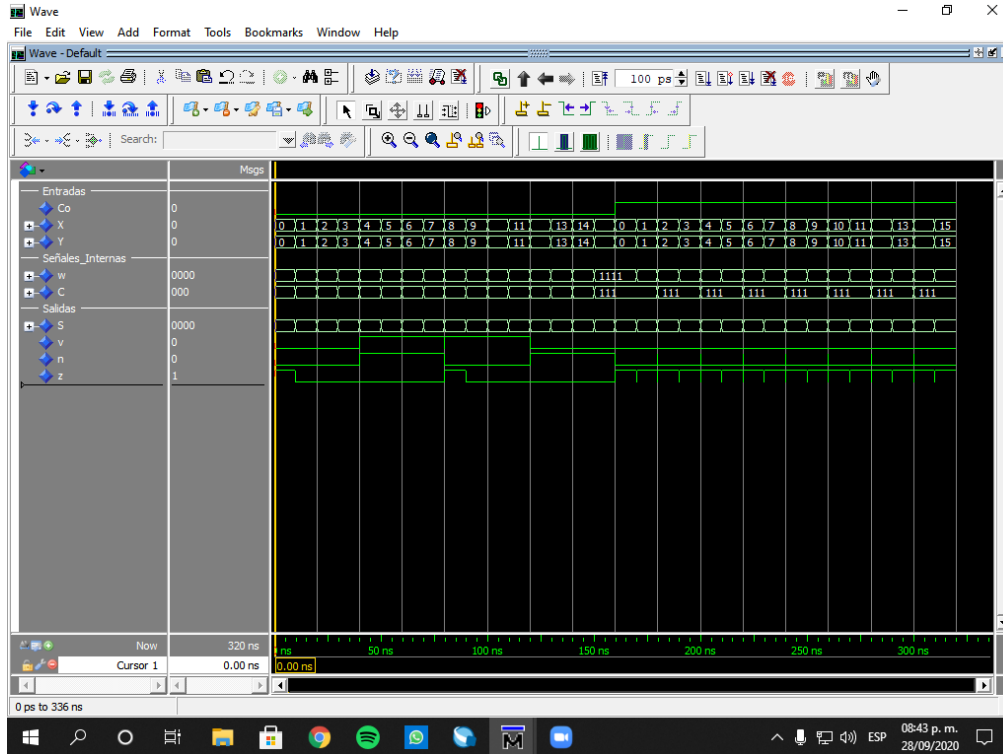
5. Realizar la descripción del circuito addsub. (2.5 puntos)



6. Interpretar el diseño del circuito addsub a nivel RTL2 . (0.5 puntos)



7. Realizar la simulación del circuito addsub3 . (6.0 puntos)



8. Asigna pines para en un futuro implementar el diseño en el dispositivo4 . (2.0 puntos)

Pin Planner - C:/Users/ANDREA/Desktop/Lab3/EX1/addsub - addsub

Report

Pin Legend

- Pin Type
- User IO
- User assigned IO
- Filter assigned IO
- Unbonded pad
- Reserved pin
- Other configuration

Tasks

DEV_OE

DEV_CLR

DFF_n

DFF_p

DQ

DQS

DQSB

CLK_n

Top View - Wire Bond

MAX 10 - 10M50DAF484C7G

Node Name	Direction	Location	IO Bank	VREF Group	IO Standard	Reserved	Current Strength	Slew Rate
Co	Input	PIN_B12	7	B7_N0	2.5 V (default)		12mA (default)	
n	Output	PIN_B11	7	B7_N0	2.5 V (default)		12mA (default)	2 (default)
S[3]	Output	PIN_B10	7	B7_N0	2.5 V (default)		12mA (default)	2 (default)
S[2]	Output	PIN_A10	7	B7_N0	2.5 V (default)		12mA (default)	2 (default)
S[1]	Output	PIN_A9	7	B7_N0	2.5 V (default)		12mA (default)	2 (default)
S[0]	Output	PIN_A8	7	B7_N0	2.5 V (default)		12mA (default)	2 (default)
v	Output	PIN_A11	7	B7_N0	2.5 V (default)		12mA (default)	2 (default)
X[3]	Input	PIN_C12	7	B7_N0	2.5 V (default)		12mA (default)	
X[2]	Input	PIN_D12	7	B7_N0	2.5 V (default)		12mA (default)	
X[1]	Input	PIN_C11	7	B7_N0	2.5 V (default)		12mA (default)	
X[0]	Input	PIN_C10	7	B7_N0	2.5 V (default)		12mA (default)	
Y[3]	Input	PIN_F15	7	B7_N0	2.5 V (default)		12mA (default)	
Y[2]	Input	PIN_B14	7	B7_N0	2.5 V (default)		12mA (default)	
Y[1]	Input	PIN_A14	7	B7_N0	2.5 V (default)		12mA (default)	
Y[0]	Input	PIN_A13	7	B7_N0	2.5 V (default)		12mA (default)	
z	Output	PIN_D14	7	B7_N0	2.5 V (default)		12mA (default)	2 (default)