

Tema: Introdução à linguagem Verilog e simulação em Logisim
Atividade: Projeto de unidade lógica e aritmética

- 01.) Projetar e descrever em Verilog usando portas nativas uma unidade lógica e aritmética (ALU) com um somador algébrico para calcular a soma e a subtração, para 03 bits (sinal=1+amplitude=2) de dados por operando, selecionável pela entrada *carryIn* do primeiro subcircuito (soma=*carryIn*=0; subtração=*carryIn*=1).
O nome do arquivo deverá ser Exemplo0031.v, e poderá seguir o modelo descrito anteriormente.
Incluir previsão de testes.
Simular o módulo no Logisim e apresentar *layout* do circuito e subcircuitos.
DICA: Usar o subcircuito para calcular o complemento de 2 usando portas XOR.
- 02.) Ampliar o somador algébrico com um módulo/subcircuito para detectar se o resultado da operação (soma/subtração) é igual a zero (sim=1; não=0) – ZERO *flag*.
O nome do arquivo deverá ser Exemplo0032.v, e poderá seguir o modelo descrito anteriormente.
Incluir previsão de testes.
Simular o módulo no Logisim e apresentar *layout* do circuito e subcircuitos.
- 03.) Ampliar o somador algébrico com um módulo/subcircuito para realizar o incremento de 1 (*inc*) de um operando, para 03 bits (sinal=1+amplitude=2) de dados.
O nome do arquivo deverá ser Exemplo0033.v, e poderá seguir o modelo descrito anteriormente.
Incluir previsão de testes.
Simular o módulo no Logisim e apresentar *layout* do circuito e subcircuitos.
- 04.) Ampliar o somador algébrico com um módulo/subcircuito para realizar a detecção de CARRY e de OVERFLOW para 03 bits (sinal=1+amplitude=2) de dados.
O nome do arquivo deverá ser Exemplo0036.v, e poderá seguir o modelo descrito anteriormente.
Incluir previsão de testes.
Simular o módulo no Logisim e apresentar *layout* do circuito e subcircuitos.

05.) Ampliar o somador algébrico com um módulo/subcircuito para realizar a detecção de sinal (PLUS=0; MINUS=1) para 03 bits (sinal=1+amplitude=2) de dados.
O nome do arquivo deverá ser Exemplo0037.v,
e poderá seguir o modelo descrito anteriormente.
Incluir previsão de testes.
Simular o módulo no Logisim e
apresentar *layout* do circuito e subcircuitos.

Extra

06.) Ampliar o somador algébrico com um módulo/subcircuito para realizar o decremento de 1 (**dec**) de um operando, para 03 bits (sinal=1+amplitude=2) de dados.
O nome do arquivo deverá ser Exemplo0034.v,
e poderá seguir o modelo descrito anteriormente.
Incluir previsão de testes.
Simular o módulo no Logisim e
apresentar *layout* do circuito e subcircuitos.

07.) Projetar e descrever em Verilog usando portas nativas uma unidade lógica e aritmética (ALU) com um comparador aritmético para determinar se um valor é maior, menor ou igual a outro, para 03 bits (sinal=1+amplitude=2) de dados por operando.
O nome do arquivo deverá ser Exemplo0035.v,
e poderá seguir o modelo descrito anteriormente.
Incluir previsão de testes.
Simular o módulo no Logisim e
apresentar *layout* do circuito e subcircuitos.