

PONTIFÍCIA UNIVERSIDADE CATOLICA DE MINAS GERAIS

Marcio Santana Correa – 345368

MELHOR ESCOLHA ENTRE VHDL E VERILOG PARA PRINCIPIANTES

Belo Horizonte

2012

MELHOR ESCOLHA ENTRE VHDL E VERILOG PARA PRINCIPIANTES

Artigo com intuito de esclarecer dúvidas aos usuários das linguagens de programação Verilog HDL e VHDL sobre a melhor opção a ser escolhida para utilização em cada caso.

1. CRITÉRIOS PARA ESCOLHA
2. FACILIDADES DE USO
3. CONCLUSÃO
4. REFERÊNCIA

1. CRITÉRIOS PARA ESCOLHA

Primeiramente o projeto deve ser analisado e discutido, observando os fatores envolvidos. É esperado que a utilização da linguagem retorne benefícios para o trabalho. Pode ser um ganho na quantidade ou até mesmo em qualidade. Verificar também se o design terá suporte necessário à linguagem. Deve-se analisar quais são seus objetivos em usar um HDL, se você precisa focar na produtividade ou na questão mais acadêmica do programa, se a linguagem de sintaxe tem de ser simples para rápida absorção e adaptação da equipe que irá fazer uso. Sempre é importante ficar atento as incompatibilidades e lembrar do motivo pelo qual foi adotado um HDL e seus benefícios.

2. FACILIDADES DE USO

A usabilidade pode ser dividida em três categorias.

A categoria A é relacionado a facilidade de aprendizagem da linguagem ou conversões nela própria.

A categoria B se relaciona com a facilidade de uso para usuários inexperientes.

E finalmente a categoria C, que utiliza a linguagem de acordo com suporte para as exigências atuais e futuras.

O aumento da produtividade pode vir da facilidade com que as pessoas encaram a linguagem do HDL, aonde o Verilog tem provado ser mais simples de programar.

3. CONCLUSÃO

Para obtermos o melhor em projetos utilizando as linguagens de programação, primeiramente devemos realizar uma análise profunda de tudo o que está sendo planejado. Com isso podemos identificar qual a melhor linguagem que atenda de forma satisfatória as nossas necessidades.

A partir da leitura do artigo percebemos que devido a facilidade de uso, a velocidade de processamento, a maneira mais realista de programação (podendo ser em portas), sua

superioridade em produção e a facilidade de debugar, faz do Verilog HDL a melhor opção em parâmetros gerais.

4. REFERENCIA

1. Bill Fuchs / President & CEO - Simucad / Chairman BoD – OVI

Título: Verilog HDL vs. VHDL - For the First Time User

Data: 1995

2. José Soares Augusto

Título: Projecto de Circuitos Digitais com Verilog...

Un. de Lisboa, Fac. De Ciências, Dep. de Física

PAI – 2004/5

3. Pecheux, F.

Título: VHDL-AMS and Verilog-AMS as alternative hardware description languages for efficient modeling of multidiscipline systems

Fev 2005

4. Michael D. Ciletti University of Colorado, Colorado Spring

Título: MODELING, SYNTHESIS, AND RAPID PROTOTYPING WITH THE VERILOG" HDL