

PUC-Minas - Ciência da Computação
ARQ1 – Guia 03
Período: 20-24/08/2012

Tema: Introdução à linguagem Verilog e simulação em Logisim
Atividade: Projeto de unidade lógica e aritmética

01.) Projetar e descrever em Verilog, usando portas nativas, uma unidade lógica (LU) com operações AND e OR, simultâneas, para 04 bits.

O nome do arquivo deverá ser Exemplo0031.v, e poderá seguir o modelo descrito abaixo.

Incluir previsão de testes.

Simular o módulo no Logisim e apresentar *layout* do circuito e subcircuitos.

```
// -----  
// Exemplo0031 - F4  
// Nome: xxx yyy zzz  
// Matricula: 999999  
// -----  
  
// -----  
// f4_gate  
// -----  
module f4 (output [3:0] s,  
           input  [3:0] a,  
           input  [3:0] b);  
  
// descrever por portas  
  
endmodule // f4  
  
module test_f4;  
// ----- definir dados  
    reg [3:0] x;  
    reg [3:0] y;  
    wire [3:0] z;  
  
    f4 modulo (z, x, y);  
  
// ----- parte principal  
  
    initial begin  
        $display("Exemplo0031 - xxx yyy zzz - 999999");  
        $display("Test LU's module");  
  
        x = 4'b0011;    y = 4'b0101;  
  
        // projetar testes do modulo  
        #1 $display("%3b %3b %3b",x,y,z);  
  
    end  
  
endmodule // test_f4
```

- 02.) Projetar e descrever em Verilog, usando **portas nativas**, uma unidade lógica (LU) com operações AND e OR, selecionável, para operando de 01 bit.
O nome do arquivo deverá ser Exemplo0032.v.
Incluir previsão de testes.
Simular o módulo no Logisim e apresentar *layout* do circuito e subcircuitos.
DICA: Usar um sinal extra para a seleção (0-OR;1-AND).
- 03.) Projetar e descrever em Verilog, usando **portas nativas**, uma unidade lógica (LU) com o acréscimo das operações NAND e NOR, simultâneas, para operando de 01 bit, além de AND E OR; mas com resultados selecionáveis entre o grupo (AND, OR) ou o grupo (NAND, NOR).
O nome do arquivo deverá ser Exemplo0033.v.
Incluir previsão de testes.
Simular o módulo no Logisim e apresentar *layout* do circuito e subcircuitos.
DICA: Usar um sinal extra para a seleção (0-OR/AND;1-NOR/NAND).
- 04.) Projetar e descrever em Verilog, usando **portas nativas**, uma unidade lógica (LU) com o acréscimo das operações XOR e XNOR, simultâneas, para operando de 01 bit, além de OR E NOR; mas com resultados selecionáveis entre o grupo (XOR, XNOR) ou o grupo (OR, NOR).
O nome do arquivo deverá ser Exemplo0034.v.
Incluir previsão de testes.
Simular o módulo no Logisim e apresentar *layout* do circuito e subcircuitos.
DICA: Usar um sinal extra de 2 bits para a seleção (00-OR; 01-NOR;10-XOR; 11-XNOR).
- 05.) Projetar e descrever em Verilog, usando **portas nativas**, uma unidade lógica (LU) com o acréscimo das operações NOT, OR, NOR, AND, NAND, XOR, XNOR, simultâneas, mas com resultado selecionável.
O nome do arquivo deverá ser Exemplo0035.v.
Incluir previsão de testes.
Simular o módulo no Logisim e apresentar *layout* do circuito e subcircuitos.
DICA: Usar um sinal extra de 3 bits para a seleção.

Extras

- 06.) Projetar e descrever em Verilog, usando portas nativas, uma unidade aritmética (LU) com um comparador para calcular a igualdade ou diferença, para 2 bits, selecionável (0-igual; 1-diferente).
O nome do arquivo deverá ser Exemplo0036.v.
Incluir previsão de testes.
Simular o módulo no Logisim e apresentar *layout* do circuito e subcircuitos.
DICA: Montar a tabela-verdade e identificar os mintermos.
- 07.) Projetar e descrever em Verilog, usando portas nativas, uma unidade aritmética (LU) com um comparador para calcular se maior ou menor, para 2 bits, selecionável (0-menor; 1-maior).
O nome do arquivo deverá ser Exemplo0037.v.
Incluir previsão de testes.
Simular o módulo no Logisim e apresentar *layout* do circuito e subcircuitos.
DICA: Montar a tabela-verdade e identificar os mintermos.