

PUC-Minas - Ciência da Computação
ARQ1 – Guia 04
Período: 22-26/08/2011

Tema: Introdução à linguagem Verilog e simulação em Logisim
Atividade: Projeto de unidade lógica e aritmética

- 01.) Projetar e descrever em Verilog usando portas nativas uma unidade aritmética (AU) com um somador completo, modelo compacto, para 06 bits (sinal=1+amplitude=5). O nome do arquivo deverá ser Exemplo0021.v,. e poderá seguir o modelo descrito abaixo. Incluir previsão de testes. Simular o módulo no Logisim e apresentar layout do circuito e subcircuitos.

```
// -----  
// Exemplo0021 – FULL ADDER  
// Nome: xxx yyy zzz  
// Matricula: 999999  
// -----  
  
// -----  
// full adder  
// -----  
module fullAdder (output s,  
                  input a,  
                  input b,  
                  input carryIn);  
  
// descrever por portas  
  
endmodule // fullAdder  
  
module test_fullAdder;  
// ----- definir dados  
    reg [5:0] x;  
    reg [5:0] y;  
    reg carry;  
    wire [5:0] soma;  
  
// ----- parte principal  
    initial begin  
        $display("Exemplo0021 - xxx yyy zzz - 999999");  
        $display("Test ALU's full adder");  
  
// projetar testes do somador completo  
  
    end  
  
endmodule // test_fullAdder
```

- 02.) Projetar e descrever em Verilog usando portas nativas uma unidade aritmética (AU) com um subtrator completo, modelo compacto, para 06 bits (sinal=1+amplitude=5).
O nome do arquivo deverá ser Exemplo0022.v,.
e poderá seguir o modelo descrito anteriormente.
Incluir previsão de testes.
Simular o módulo no Logisim e
apresentar layout do circuito e subcircuitos.
- 03.) Projetar e descrever em Verilog usando portas nativas uma unidade lógica (LU) com um comparador para igualdade, para 06 bits (sinal=1+amplitude=5).
O nome do arquivo deverá ser Exemplo0023.v,.
e poderá seguir o modelo descrito anteriormente.
Incluir previsão de testes.
Simular o módulo no Logisim e
apresentar layout do circuito e subcircuitos.
- 04.) Projetar e descrever em Verilog usando portas nativas uma unidade lógica (LU) com um comparador para diferença, para 06 bits (sinal=1+amplitude=5).
O nome do arquivo deverá ser Exemplo0024.v,.
e poderá seguir o modelo descrito anteriormente.
Incluir previsão de testes.
Simular o módulo no Logisim e
apresentar layout do circuito e subcircuitos.
- 05.) Projetar e descrever em Verilog usando portas nativas uma unidade lógica (LU) com um módulo para calcular o complemento de 2 de um valor binário com 06 bits.
O nome do arquivo deverá ser Exemplo0025.v,.
e poderá seguir o modelo descrito anteriormente.
Incluir previsão de testes.
Simular o módulo no Logisim e
apresentar layout do circuito e subcircuitos.
DICA: Construir um subcircuito para calcular o complemento de 1.

Extras

- 06.) Projetar e descrever em Verilog usando portas nativas uma unidade aritmética (AU) com um somador algébrico para calcular a igualdade ou a diferença, para 06 bits (sinal=1+amplitude=5), selecionável pela entrada carryIn do primeiro subcircuito (soma=carryIn=0; subtração=carryIn=1). O nome do arquivo deverá ser Exemplo0026.v, e poderá seguir o modelo descrito anteriormente. Incluir previsão de testes. Simular o módulo no Logisim e apresentar layout do circuito e subcircuitos. DICA: Usar o subcircuito para calcular o complemento de 2.
- 07.) Projetar e descrever em Verilog usando portas nativas uma unidade lógica (LU) com um comparador para calcular a igualdade ou a diferença, para 06 bits (sinal=1+amplitude=5), selecionável por uma entrada extra (chave). O nome do arquivo deverá ser Exemplo0027.v, e poderá seguir o modelo descrito anteriormente. Incluir previsão de testes. Simular o módulo no Logisim e apresentar layout do circuito e subcircuitos.