

Uma comparação entre VHDL e Verilog HDL

Wadson Ferreira - 460631*

Resumo

Falando em termos de suporte, facilidade de uso e expectativa de vida útil, o *Verilog* possui uma ampla vantagem sobre o VHDL. A linguagem possui suporte ao controle de tempo, possibilitando implementações de códigos sequenciais e paralelos, tratamento de processadores multi-núcleo, sintaxe de fácil entendimento e um amplo apoio da comunidade acadêmica e comercial.

Palavras-chave: Verilog, VHDL, HDL.

1 Introdução

Na década de 80, diversos projetos militares estavam sendo desenvolvidos pelo exército americano, onde cada tecnologia era criada por uma empresa diferente (evitando a concentração de informações em um único lugar). Esta forma de desenvolvimento tinha alguns pontos negativos, como a dificuldade de juntar as tecnologias, já que não havia um padrão de documentação de projeto e cada empresa documentava sua criação de uma forma diferente. Ciente do problema, o Departamento de Defesa decidiu criar um padrão de documentação, que veio a se chamar *VHDL*[3]¹. Após a concepção do *VHDL*, percebeu-se que o mesmo não servia apenas documentar o hardware, mas também para descrever, simular e testar de uma forma mais simples, sem a necessidade de definir todas as ligações a nível de transistores e portas lógicas. Com isso, a linguagem *VHDL* foi adotada por diversas empresas para descrever seus projetos. Com o passar do tempo, percebeu-se algumas limitações na linguagem, como o tratamento temporal ou a limitação em simular processamento paralelo. Visando resolver este e outros problemas, surgiu na década de 90 a linguagem *Verilog*, também chamada de *Verilog HDL*[2].

2 Por que usar Verilog HDL

Já compreendido o porque de se utilizar uma linguagem para descrever hardware, cabe escolher qual usar. O *Verilog* se destaca pelo controle temporal simples, bastando apenas usar blocos *begin-end* para definir se determinada parte do código será executada de forma sequencial ou paralela. Este controle de tempo permite aos desenvolvedores uma flexibilidade maior ao trabalhar com atrasos de

*Estudante de Ciência da Computação - Pontifícia Universidade Católica de Minas Gerais

¹ *VHSIC Hardware Description Language*, onde *VHSIC* significa *Very High Speed Integrated Circuits*.

circuitos e simular de forma mais simples e precisa um processamento utilizando processadores multi-núcleos. Alguns pontos importantes devem ser levados em consideração na escolha de uma linguagem, como sua vida útil, status atual e possível evolução para suportar o desenvolvimento tecnológico. O Verilog se entende muito bem com todos estes pontos, afinal o investimento em linguagem de descrição de hardware tem sido cada vez maior, chegando a exceder os "20 milhões de dólares investidos em 8 anos". (Bill Fuchs, 1995)[1] No quesito status, o *Verilog* atualmente é ensinado em diversas universidades e é comprovadamente adotado pelas maiores empresas no ramo de desenvolvimento de circuitos e por permitir descrever o desenvolvimento de baixo nível, a linguagem *Verilog* se entende de forma simples com a evolução da tecnologia, como o desenvolvimento de circuitos em escala cada vez menores.

3 Conclusão

A linguagem *VHDL* tornou-se complicada de usar devido ao fraco suporte oferecido pelas empresas que desenvolvem circuitos, suporte não prestado por causa da grande dificuldade de desenvolver bibliotecas para projetos grandes usando *VHDL*, tendo em vista seu grande consumo de memória. Já o *Verilog* é uma linguagem bem estruturada, com um amplo suporte por parte das empresas e com um grande futuro graças ao desenvolvimento paralelo e sequencial. Conta com uma ampla comunidade dedicada a investir na linguagem e possui uma sintaxe de fácil entendimento.

Referências

- [1] Bill Fuchs. Verilog hdl vs. vhd: For the first time user. 1995.
- [2] Verilog. <http://pt.wikipedia.org/wiki/verilog>, 2012. [Acesso em 12 de Outubro de 2012].
- [3] VHDL. <http://pt.wikipedia.org/wiki/vhdl>, 2012. [Acesso em 12 de Outubro de 2012].