

Verilog HDL vs. VHDL

Procurar pelo HDL perfeito é o mesmo que procurar pela perfeição na vida, provavelmente não existe. A decisão de qual usar se baseia inúmeros fatores. Para a maior parte, a utilização de uma estratégia de design baseado HDL deve melhorar a produtividade do usuário pela primeira vez, embora na maioria dos casos, isso pode não se realizar durante algum tempo. A principal razão para a utilização de um nível de HDL deve ser um ganho geral de produtividade, embora isto possa ser difícil de quantificar. Se você não pode racionalmente prever um ganho de produtividade ou se uma perda considerável de produtividade é altamente provável, não desista da investigação HDL. Apenas lembre-se, é importante reconhecer que um ganho de produtividade pode não ser reconhecível, até um número de modelos passarem pelo processo de design baseado em HDL, e mesmo assim não pode assumir uma forma facilmente mensurável.

O fator mais importante é usabilidade, que pode ser dividido em categorias:

Categoria A, facilidade de aprendizagem, isso se relaciona com o quão fácil é aprender a língua sem experiência prévia com HDLs.

Categoria B, facilidade de uso, significa que uma vez que o usuário aprendeu a língua, vai ser fácil de usar a língua para seu projeto específico requisitos.

Categoria C, Usabilidade Futura, significa embora a linguagem pode ser suficiente para exigências de hoje, será que será suficiente para o futuro ?. Isto baseia-se no potencial da linguagem , tal como definido pelo seu projeto futuro, e não uma ferramenta de posicionamento de futuros fornecedores da língua ou das ferramentas.

Outro fator importante é a forma como o HDL pode integrar para o projeto atual do ambiente e da filosofia de design existente. Cada usuário tem desenvolvido certas metodologias de projeto e estratégias. Essencialmente, não se deve adotar uma estratégia de HDL em detrimento de sacrificar todo o resto. A estratégia escolhida HDL-base deve misturar-se com as ferramentas de design e metodologias existentes, oferecendo assistência em movê-lo para um modo em maiores ganhos de produtividade pode ser realizado. No mundo real, isso significa tomar uma implementação estrutural, geralmente em portas ou transistores. O HDL deve apoiar todas construções necessárias que podem permitir que o designer que utiliza pela primeira vez este tipo de metodologia para seus projetos em um prazo razoável.

Como usuário que usa eles pela primeira vez, é importante entender um pouco sobre os dois idiomas. Muitas vezes, sabendo a origem, dá uma base sólida sobre o que desenvolvedores originais destinaram quando compuseram o HDL.

VHDL foi desenvolvido por um comitê destinado a documentar hardware digital comportamentalmente. A intenção para o idioma era apenas para o propósito explícito de documentação. A comunidade de design propôs uma metodologia para ajudar VHDL a se movimentar em direção a uma linguagem de design mais útil. Este esforço inicial foi chamado de Iniciativa VHDL Para Bibliotecas ASIC, ou VITAL. VITAL foi o suposto ser a metodologia específica para a descrição VHDL portão estruturas de nível e tempo. Qualquer linguagem será tão boa quanto as ferramentas que o apoiam, e VHDL não é exceção. Só depois de VHDL foi adotado por um número de empresas EDA com seus exclusivos HDLs fez a linguagem tornar-se útil como ferramenta de projeto prático. Apesar de muitas dessas empresas EDA tinham seus próprios HDLs proprietários integrados nos próprios ambientes de simulação, que optou por adotar VHDL. A razão dessas empresas EDA não adotar Verilog HDL é que todos eles tem uma filosofia básica que afirma que deve possuir toda a sua tecnologia de núcleo. Verilog HDL vem do mundo comercial e foi desenvolvido como parte de completar um sistema de simulação. Também foi desenvolvido para ser utilizado para descrever digitalmente com base em sistemas de hardware. Verilog HDL deixou a sua marca, permitindo que designers representassem seus projetos no método familiar, bem como abstratamente ou comportamentalmente. Ao permitir que esta de cima para baixo ou de baixo para cima metodologia que proporcionou os designers um período de aprendizagem, e obter ganhos significativos de produtividade. Durante os anos de formação Verilog HDL, foi melhorada em uma base regular levando a entrada dos usuários para pedidos de tecnologia, melhorar e modificar o linguagem para os requisitos de design prático sem tempo hábil.

Technical Mis-Match-up

As duas línguas têm diferentes forças técnicas que significativamente diferencia o seu foco de mercado. A força técnica Verilog HDLs é na sua capacidade para representar hardware digital (e hardware analógico em Verilog-A) a forma como um projetista de hardware irá imaginar e implementar o projeto. Verilog HDL proporciona ao desenhista uma sintaxe da linguagem simples e estruturada, esta capacidade, ao contrário de VHDL, permite ao projetista aprender a língua rapidamente e desenvolver modelos mais concisos e eficazes. A facilidade de utilização de HDL Verilog traduz bem nos ambientes de simulação apoiados e sua performance característica. Modelos de VHDL, por outro lado, são inerentemente indeciso, devido a programação e, portanto, não fornecem um quadro para desempenho adequado de suas respectivas ferramentas de simulação. Verilog HDL foi projetado com características (tais como variáveis globais), que são necessárias para modelar o ambiente do sistema. Portanto, é fácil de modelar um "banco de ensaio" usando Verilog HDL. Esta capacidade é uma deficiência significativa em VHDL. Verilog HDL também permite o uso de código de controle dentro de um modelo para segurar que os erros são capturados no início do processo de design. O código de modelação não tem nenhuma analogia física e simplesmente não pode ser tratada facilmente em VHDL.

As duas línguas têm um apelo totalmente diferente para diferentes setores do mercado. Primeiro, VHDL vem de uma esfera mais acadêmica de influência. Verilog HDL vem da indústria e, portanto, mais adequado para "time to market" base requisitos do projeto. Dominância Verilog HDL no setor de mercado comercial é destacado pela grande disparidade de dólares gastos em ferramentas de EDA de ano para ano. A diferença entre o mercado europeu, e o resto do mundo, é fácil entender. Em primeiro lugar, nem o desenho Gateway, ou Cadence focada no Mercado europeu. Em segundo lugar, a Europa é um mercado muito diferente, com tão estreita fronteiras, a diversidade linguística,

filosofias de negócios e diferentes culturas empresariais. Devido a esta diversidade e as fronteiras geopolíticas próximos. A Europa desenvolveu uma história e uma prática de adotar padrões formais. Em seu desejo de adotar padrões, estes muitas vezes adotou padrões que estão em vários estágios de completude. Quando chegou a hora de adotar um padrão HDL, Empresas europeias eletrônicos, em sua maior parte, selecionados VHDL. a única razão prática para isso foi que VHDL foi um emergente padrão IEEE, enquanto Verilog HDL foi de propriedade da Cadence (gateway). No entanto, hoje, as empresas de eletrônicos não pode levar um projeto, desde a concepção a produção utilizando VHDL. Para as empresas de eletrônicos que têm de tomar uma projetar para a conclusão, eles devem usar Verilog HDL após a síntese. Só desta maneira eles podem concluir seu processo de design, porque após a síntese do projeto com certeza vai exigir detalhes nível do portão e o carregamento de condicional completa informação de tempo. Apenas as grandes empresas de eletrônicos pode dar ao luxo de usar dois HDLs pode justificar a sua decisão inicial de usar VHDL.

Verilog HDL tem sido desenvolvido e continuará a evoluir para abordar as necessidades e aplicações comerciais da comunidade de design que fez dela a língua mais bem sucedido em uso hoje. A comunidade de design tem investido quase 20 bilhões de dólares em Verilog HDL e ferramentas relacionadas ao longo dos últimos 8 anos. A capacidade para tratar maiores construções de linguagem de nível são bem suportados na linguagem, juntamente com seus rocha sólida estruturais (nível portão e interruptor) pontos fortes. Enquanto designers e suas empresas têm de obter alta qualidade inovadora produtos para o mercado do mundo sensível ao tempo em que todos competem, Verilog HDL continua a ser a solução dominante. Quase todos os principais computador fabricante, o sistema de desenvolvedor, ASIC e semicondutores fabricante usa Verilog HDL como sua linguagem de modelagem. Para o usuário primeiro tempo a seleção de HDL Verilog HDL como sua modelagem linguagem será uma decisão muito sábia.

Extra:

<http://www.freewebs.com/gurprasad/downloads/A%20Comparative%20analysis%20of%20Verilog%20HDL%20over%20VHDL.pdf>

<http://www.fpgarelated.com/showarticle/19.php>