

PONTIFÍCIA UNIVERSIDADE CATÓLICA DE MINAS GERAIS
Graduação em Ciência da Computação

Isabel Bicalho Amaro

**VERILOG HDL VS. VHDL FOR THE FIRST TIME USER:
resumo.**

Belo Horizonte
2012

HDLs: Qual escolher e quais as diferenças entre Verilog HDL e VHDL

Escolher a linguagem certa de programação HDL ao implementar um projeto de simulação de sistemas hardware pode ser, para os programadores, a chave que levará sucesso ao seu design. A decisão de qual linguagem escolher é baseada no número de requerimentos importantes básicos. Além disso, não devemos esquecer de que o tempo é uma importante consideração para o mercado, o que o leva a ser também uma parte integral do processo de determinação. O uso do HDL deve melhorar a produtividade do usuário, mesmo que na maioria dos casos não possa ser observado algumas horas.

Há muitas questões que devem ser levadas em consideração. A primeira delas é ter certeza de que o HDL retornará algum ganho de produtividade, mesmo que este seja difícil de quantificar. Mesmo se você não conseguir prever um ganho de produtividade ou se uma considerável perda da mesma é altamente provável, não desista do HDL. Normalmente, novos designs de HDL são tão diferentes dos demais que o ganho de produtividade pode não ser determinado com facilidade.

Outro importante fator é como o HDL consegue se integrar em um ambiente de projeto atual. A adoção de um HDL deve proporcionar ao projetista alguns ganhos em produtividade, porém não ao custo de uma mudança completa de suas metodologias e estratégias originais. Essencialmente, não se deve adotar uma estratégia de HDL ao custo de sacrificar qualquer outra coisa.

Dois tipos de HDL se encontram em destaque: Verilog HDL e VHDL. O VHDL já foi muito utilizado nas empresas EDA e teve um papel importante no mercado eletrônico europeu. Porém, tal linguagem possuía alguns defeitos nas portas e nos níveis dos transistores. Além disso, era bem difícil manipulação de informações de tempo, diferentemente do Verilog HDL. Segundo entrevistas e pesquisas, Verilog HDL possui simuladores mais rápidos do que VHDL. Isso ocorre porque o VHDL aloca muito mais espaço na memória para a sua execução do que um mesmo código em Verilog, o que não o torna muito aceitável no mercado.

O motivo pelo qual as empresas EDA não utilizaram Verilog foi pelo fato da Cadence ter comprado os direitos autorais sobre o Verilog. Porém, em 1990 a linguagem foi denominada pública e hoje mais de 300 universidades ensinam Verilog e mais de 75 empresas oferecem produtos e serviços em tal linguagem.

Verilog HDL oferece ao designer uma sintaxe e estrutura simples, permitindo o entendimento mais rápido da linguagem e desenvolver modelos mais resumidos e efetivos, diferentemente do VHDL. Estes são propriamente indecisos e, portanto, não provém um desempenho adequado de suas respectivas ferramentas de simulação.

Verilog HDL foi criado com características (como variáveis globais) as quais são requeridas para o modelo de ambiente do sistema. Portanto, é fácil modelar um “test bed” utilizando Verilog. Essa capacidade é uma deficiência significativa no VHDL. Além disso, ele permite o uso de monitoramento de código dentro de um modelo para assegurar que erros foram detidos no processo de design.

As duas linguagens possuem diferentes papéis em diferentes setores do mercado. O VHDL em um setor mais acadêmico, e o Verilog em um setor industrial, onde o tempo é significativo. Para um programador iniciante em HDL, a seleção do Verilog HDL para seus projetos é uma decisão vantajada. Existem muitas bibliotecas disponíveis com uma variedade de recursos que suportam modelos inteiramente baseados em tempo. Existem muitos HDLs disponíveis para a escolha, mas apenas um é comprovado de tempos em tempos de que esse é a única escolha para designs reais.