

PUC-Minas - Ciência da Computação
ARQ1 – Guia 09
Período: 03-070/10/2011

Tema: Introdução à linguagem Verilog
Atividade: Circuitos sequenciais – Flip-Flops
Todos os circuitos deverão ser simulados no Logisim.

- 01.) Projetar e descrever em Verilog um módulo,
com portas e flip-flops tipo T apenas,
para implementar um contador assíncrono decrescente.
DICA: Ver modelo anexo.
- 02.) Projetar e descrever em Verilog um módulo
com portas e flip-flops tipo T apenas,
para implementar um contador assíncrono crescente
- 03.) Projetar e descrever em Verilog um módulo,
com portas e flip-flops tipo T apenas,
para implementar um contador decádico decrescente.
DICA: Ver modelo anexo.
- 04.) Projetar e descrever em Verilog um módulo
com portas e flip-flops tipo T apenas,
para implementar um contador decádico crescente
- 05.) Projetar e descrever em Verilog um módulo,
com portas e flip-flops tipo JK apenas,
para implementar um contador módulo 6.
DICA: Ver modelo anexo.

Extras

- 06.) Projetar e descrever em Verilog um módulo,
com portas e flip-flops tipo JK apenas,
para implementar um contador em anel.
DICA: Ver modelo anexo.
- 07.) Projetar e descrever em Verilog um módulo
com portas e flip-flops tipo JK apenas,
para implementar um contador em anel torcido.
DICA: Ver modelo anexo.

OPS: CLR - 1 - pulse

[illegible]

The image contains two circuit diagrams. The top diagram is labeled 'Ring Counter' and the bottom diagram is labeled 'Twisted Ring Counter'. Both diagrams show a 3-bit counter implemented with three D flip-flops (labeled 'Den0') and an XOR gate. The inputs to the flip-flops are 'clock', 'input' (x1), and 'clear' (x1). The outputs are labeled 'a', 'b', and 'c' (x1, x1, x1). In the Ring Counter, the output of the first flip-flop is connected to the input of the second, and the output of the second is connected to the input of the third. In the Twisted Ring Counter, the output of the first flip-flop is connected to the input of the second, and the output of the second is connected to the input of the third, but the third flip-flop's input is also connected to the output of the first flip-flop through an XOR gate.

```

module dff ( output q, output qnot,
             input  d, input clk );
reg q, qnot;

always @( posedge clk )
begin
    q <= d;      qnot <= ~q;
end

endmodule // dff

module tff ( output q, output qnot,
             input  t, input  clk,
             input  preset, input clear );

reg q, qnot;

always @( posedge clk )
begin
    if ( ~clear )
    begin
        q <= 0;      qnot <= ~q;
    end
    else
    if ( ~preset )
    begin
        q <= 1;      qnot <= ~q;
    end
    else
    begin
        if ( t )
        begin
            q <= ~q;  qnot <= ~q;
        end
    end
end

endmodule // tff

```

```

module srff ( output q, output qnot,
              input  s, input r, input clk );
reg q, qnot;

always @( posedge clk )
begin
    if ( s & ~r )
    begin
        q <= 1;      qnot <= 0;
    end
    else
    if ( ~s & r )
    begin
        q <= 0;      qnot <= 1;
    end
    else
    if ( s & r )
    begin
        q <= 0;      qnot <= 0; // arbitrary
    end
end

endmodule // srff

module jkff ( output q, output qnot,
              input  j, input  k, input clk );
reg q, qnot;

always @( posedge clk )
begin
    if ( j & ~k )
    begin
        q <= 1;      qnot <= 0;
    end
    else
    if ( ~j & k )
    begin
        q <= 0;      qnot <= 1;
    end
    else
    if ( j & k )
    begin
        q <= ~q;      qnot <= ~qnot;
    end
end

endmodule // jkff

```