Pontifícia Universidade Católica de Minas Gerais

Artigo de

Arquitetura de Computadores

Rafael Guimarães de Sousa – 451607

Belo Horizonte

Outubro de 2012

***Verilog HDL vs. VHDL***

***For the First Time User***

**Bill Fuchs / President & CEO - Simucad / Chairman BoD – OVI**

Vamos definir o usuário como alguém que não tem usado HDLs antes e está considerando o uso de um HDL para seu projeto de design atua. Para a maior parte, a utilização de uma estratégia de design HDL base deve melhorar a produtividade do utilizador pela primeira vez, apesar de na maioria dos casos, este não pode ser realizado por um tempo.

O fator mais importante é realmente uma pergunta: Por que eu deveria implementar um HDL no meu processo de design, e quais os benefícios que irá utilizar um HDL fornecer para mim?  
É importante reconhecer que um ganho de produtividade pode não ser reconhecível até um número de projetos já passados pelo processo de design baseado em HDL, e mesmo assim ele não pode assumir uma forma facilmente mensurável. Muitas vezes, projetos de HDL novos são tão diferentes dos projetos do passado que se torna umas maçã com laranjas em comparação e os ganhos de produtividade não podem ser facilmente determinados. Alguns projetos são muito simples para usar um nível de HDL, e alguns podem ser inconsistentes com dois pontos fortes do HDL. No entanto, o fator mais importante será sempre, por que adotar uma HDL e, quais são os benefícios específicos do uso de um HDL?

Só depois de VHDL foi adotado por um número de empresas EDA como seu HDL exclusivo que a língua tornar-se útil como ferramenta de projeto prático. Essas empresas EDA selecionaram VHDL porque VHDL Verilog HDL foi a propriedade intelectual de Design Automation Gateway, e, eventualmente, foi adquirida pela Cadence. A propriedade cadência de HDL Verilog tornou ainda mais fundamental para as empresas EDA para apoiar VHDL e distanciar-se de quaisquer laços estratégicos para Verilog HDL e qualquer controle potencial competitivo da Cadence.  
Verilog HDL deixou a sua marca, permitindo designers representarem seus projetos no método familiar, bem como de forma abstrata ou comportamentalmente.

A força técnica do Verilog HDL está em sua capacidade de representar hardware digital (e hardware analógico em Verilog-A) e a forma como um designer de hardware iria imaginar e implementar o projeto. Verilog HDL foi construído com tipos de hardware predefinidos líquidas (fio, wor, varinha, tri, etc), eliminando assim as questões de interpretação inerentes VHDL.

O formato do atraso Standard (SDF) em Verilog HDL oferece a facilidade de anotação essencial para o carregamento de cálculos pós atraso de rota, um utilitário que não está disponível em VHDL. Quando as forças técnicas de modelagem de porta e chave de nível e construções de tempo específicos são considerados não é de admirar que quase todos os fundições ASIC do planeta "sign-off" para a produção em todos os seus projetos usam Verilog HDL. Hoje apoio à biblioteca ASIC para Verilog HDL é impressionante, com mais de 250 bibliotecas (com parâmetros de tempo inteiro) de mais de 40 empresas diferentes, disponíveis para os usuários de HDL Verilog. Verilog HDL permitiu esse impacto porque as ferramentas de síntese poderam mapear diretamente para Verilog HDL, sem a necessidade de um "pacote" especial para um HDL para atender às necessidades do projeto submicron profunda.

Os EUA eo Japão estabeleceram suas respectivas metodologias de projeto baseado em HDL usando Verilog HD, a única razão prática para isso era que VHDL foi um emergente padrão IEEE, enquanto o HDL Verilog era de propriedade da Cadence (Gateway).  
Para resumir, VHDL foi desenvolvido (para o DOD EUA ) para fornecer uma linguagem de modelagem consistente para a documentação de projetos de hardware digital.  
A comunidade de design investiu quase 20 bilhões de dólares em Verilog HDL e ferramentas relacionadas ao longo dos últimos 8 anos. Há também um grande recurso de Verilog HDL talento de engenharia que já teve experiência com a linguagem para projeto comercial prático para fornecer assistência crítica, se for necessário.

Existem alguns HDLs que você pode escolher man apenas um que te lhe provê tempo e tempo é realmente a única escolha para os verdadeiros designs.

Copyright - Bill Fuchs, Simucad Inc. 1995

Quotations - Copyright - E.E. Times, Rorschach Testing 273 Engineers with the

Verilog-VHDL Contest, October 1995, Author - John Cooley